

Value-Produktlinie, Ultrahochgeschwindigkeits-32-Bit-Bus, 1T 8051-Kern-Flash-MCU, 256B+1KB SRAM, 8KB Flash, 128 Byte unabhängiges EEPROM, 23 Kanäle mit hochempfindlicher Touch-Schaltung, 12-Bit-ADC, 3 Kanäle mit 8+2-Bit-PWM, 3 Timer, UART, SSI, PGA

## 1 Allgemeine Beschreibung

SC93F8333/8332/8331 (im Folgenden als SC93F833X bezeichnet) ist ein erweiterter ultraschneller 1T 32-Bit-Bus 8051-Kern-Flash-Mikrocontroller in Industriequalität mit integrierter Touch-Button-Funktion. Das Befehlssystem ist vollständig kompatibel mit der traditionellen 8051-Produktserie. Es ist etwa 2-mal schneller als andere 1T 8051-Kern-MCUs.

Zusätzlich zu den integrierten 23 Kanälen mit hochempfindlicher luftkapazitiver Berührung, SC93F833X Zusätzlich zur Schaltung sind auch 8 KB Flash-ROM, 256 B + 1 KB SRAM, 128 B EEPROM, bis zu 26 GP-E/A, 13 externe E/A-Interrupts, 3 16-Bit-Timer, 12 Kanäle mit 12-Bit-Hochpräzisions-ADC integriert. und 3 Kanäle mit unabhängigem 8+2-Bit-PWM und können auf 6 Ausgangspins umgeschaltet werden, interner 1 % hochpräziser Hochfrequenz-12/6/2-MHz-Oszillator und 4 % präziser Niederfrequenz-128K-Oszillator, externer Quarzoszillator verbunden, und es gibt einen unabhängigen UART. Ein UART/SPI/IIC-Drei-Auswahl-Kommunikationsport SSI und andere Kommunikationsschnittstellen und andere Ressourcen. Um die Zuverlässigkeit zu verbessern und Kundenschalungen zu vereinfachen, integriert der SC93F833X auch einen optionalen 4-stufigen Spannungs-LVR.

2,4-V-Benchmark-ADC-Referenzspannung, unabhängiger 2-kHz-WDT mit geringem Stromverbrauch und andere hochzuverlässige Schaltkreise. SC93F833X verfügt über eine hervorragende Anti-Interferenz-Leistung und hervorragende Touch-Tasten-Leistung. Es eignet sich sehr gut für Touch-Tasten und Hauptsteuerung in verschiedenen Nutzungsszenarien, wie z. B. große und kleine intelligente Geräte und Smart Homes, Internet der Dinge, drahtlose Kommunikation und Spiele. Maschinen und andere industrielle Steuerungs- und Verbraucheranwendungen.

## 2 Hauptfunktionen

Betriebsspannung: 2,4 V ~ 5,5 V

Betriebstemperatur: -40 ~ 85 °C

Paket:

SC93F8333 (SOP28/TSSOP28)

SC93F8332 (SOP20/TSSOP20)

SC93F8331 (SOP16) **Kern: 1T**

32-Bit-Bus 8051 **Flash-ROM** : 8 KB

Flash-ROM (MOVC verbietet Adressierung

0000H~00FFH) **IAP**:

Codeoption kann auf 0K, 1K oder 8K eingestellt werden.

EEPROM: 128 Byte, kein Löschen erforderlich, 100.000 Schreibvorgänge, mehr als 10 Jahre Speicherlebensdauer

**SRAM**: intern 256 Byte, extern 1 KB

Systemtakt: Eingebauter Hochfrequenz- **24-MHz**- Oszillator

Der Systemtakt für den IC-Betrieb kann über den Programmierer ausgewählt und

eingestellt werden auf: 12 MHz bei 2,9-

5,5 V 6 MHz/2 MHz bei 2,4-5,5 V 24 MHz Bitte

beachten Sie die Anforderungen Kontaktieren Sie den Saiyuan Micro Electronics Engineer

• Frequenzfehler: nicht mehr als  $\pm 1\%$  in Anwendungsumgebungen (4,0 V ~ 5,5 V) und

(-20 ~ 85 °C). • Integrierte

Quarzoszillatorschaltung, kann an einen externen 32k-Oszillator angeschlossen werden

Basis-Timer-Taktquelle, kann STOP aufwachen.

Eingebauter Niederfrequenz- **128-kHz-LRC**-

Oszillator • Frequenzfehler: in Anwendungsumgebungen (4,0 V ~ 5,5 V) und (-20 ~ 85 °C).

Umgebung überschreitet der Frequenzfehler  $\pm 4\%$  nicht.

## Eingebauter **2-kHz**-

Oszillator • Wird als CLK-Quelle für WDT verwendet

## Niederspannungs-Reset (LVR):

• Die Reset-Spannung hat 4 Stufen zur Auswahl: 4,3 V, 3,7 V, 2,9 V,

2,3 V •

Der Standardwert ist der vom Benutzer zum Programmieren der Code-Option ausgewählte Wert.

## Flash- Programmierung und

Simulation: • 2-Draht-JTAG-Programmier- und Simulationsschnittstelle

## Interrupt (INT): •

Timer0, Timer1, Timer2, INT0~2, ADC

, PWM ,

UART, SSI, Base Timer, TK, insgesamt 12 Interrupt-Quellen • Der

externe Interrupt verfügt über 3 Interrupt-Vektoren, insgesamt 13 Interrupt-Ports, die alle können

Einrichten von Anstiegsflanken-, Abfallflanken- und Doppelflanken-Interrupts

• Es können zwei Ebenen der Interrupt-Priorität eingestellt werden

## Digitale

Peripheriegeräte: • Bis zu 26 bidirektionale I/O-Ports, die unabhängig voneinander gesteuert und unabhängig eingestellt werden können

## Pull-

Widerstand • Die Quelltreiberfunktionen der P0- und P2-

Ports werden in vier Ebenen gesteuert. • Alle IOs verfügen über

Treiberfunktionen für große Senkenströme (48 mA).

11-Bit-WDT, optionales Takteilungsverhältnis. 3 Standard-80C51-Timer. Timer0, Timer1

und Timer2 Capture-Funktion realisieren • 3 Kanäle

mit 8+2-Bit-PWM mit gemeinsamem Zyklus und individuell einstellbarem Arbeitszyklus, unterteilt in

Kann auf verschiedene Pin-Ausgänge umgeschaltet werden

(insgesamt 6 Ausgänge). • 5 IOs können als LCD-COM-Ausgänge von 1/2 BIAS

verwendet werden. • 1 unabhängiger UART-

Kommunikationsanschluss. • 1 UART/SPI/IIC-Drei-Auswahl-Kommunikationsanschluss SSI

## Analoge

Peripheriegeräte: • 23 Kanäle hochempfindlicher TK-Schaltkreis

• Kann 23 Kanäle hochempfindlicher Air-Touch-Tasten und abgeleiteter Funktionen realisieren; •

Hochflexible Entwicklungssoftware-Bibliotheksunterstützung, geringe

Entwicklungsschwierigkeiten; • Automatische Debugging-Softwareunterstützung,

intelligente Entwicklung: • 1 Operationsverstärker PGA mit einstellbarer Verstärkung

• Der Ausgang kann direkt mit dem ADC-Eingang

verbunden werden. • Die positiven und

negativen Eingangsanschlüsse sind austauschbar. • Zwei

Verstärkungsstufen sind optional:

20X, 100X. • 1 Temperatursensor. • 12 Kanäle mit

12-Bit  $\pm 2$ LSB ADC. • 2,4 V Referenzspannung mit

integrierter Referenz • ADC Es gibt zwei Möglichkeiten für die Referenzspannung, nämlich

VDD und interne

2,4 V. • Ein interner ADC kann die VDD-Spannung direkt messen, und ein interner ADC kann

die Temperatursensorspannung

messen. • Der Abschluss der ADC-Umwandlung

unterbricht die

Stromversorgung -Der Sparmodus kann eingestellt werden: •

IDLE-Modus, kann durch jeden Interrupt aktiviert werden. • STOP-Modus, aktiviert durch INT0~2 und BaseTimer



# SC93F8333/8332/8331

## 1T 32 -Bit-Bus 8051- Kern 23- Kanal-Touch -Flash-MCU mit hoher Empfindlichkeit

Regeln für die Benennung von Produkten der Serie 93

Name SC	93	F	8	3	3	3	X	M	28	U
Seriennummer	ÿ ÿ ÿ ÿ ÿ ÿ ÿ ÿ									

	Bedeutung
Seriennummer	ÿ Sinone Chip-Abkürzung
ÿ	Name der Produktserie
ÿ	Produkttyp (F: Flash MCU)
ÿ	Seriennummer: 7: GP-Serie, 8: TK-Serie
ÿ	ROM-Größe: 1 ist 2K, 2 ist 4K, 3 ist 8K, 4 ist 16K, 5 ist 32K...
ÿ	Unterseriennummer: 0-9, A-Z
ÿ	Anzahl der Pins: 0: 8-polig, 1: 16-polig, 2: 20-polig, 3: 28-polig, 5: 32-polig, 6: 44-polig, 7: 48-polig, 8: 64-polig, 9: 100pin
ÿ	Versionsnummer: (Standard, B, C, D)
ÿ	Verpackungsform: (D: DIP; M: SOP; X: TSSOP; F: QFP; P: LQFP; Q: QFN; K: SKDIP)
ÿ	Anzahl der Pins
ÿ	Verpackungsmethode: (U: Tube; R: Tablett; T: Klebeband)

Inhaltsverzeichnis

<b>1</b>	<b>Allgemeine Beschreibung</b>	<b>1</b>
<b>2</b>	<b>Hauptfunktionen</b>	<b>1</b>
	Benennungsregeln für Produkte der Serie <b>93</b>	<b>2</b>
	<b>Inhaltsverzeichnis</b>	<b>3</b>
<b>3</b>	<b>Pin- Definition</b>	<b>7</b>
	<b>3.1 Pinbelegung</b>	<b>7</b>
	<b>3.2 Pin-Definition</b>	<b>8</b>
<b>4</b>	<b>Internes Blockdiagramm</b>	<b>11</b>
<b>5</b>	<b>FLASH-ROM- und SRAM- Struktur</b>	<b>12</b>
	<b>5.1 Flash-ROM</b>	<b>12</b>
	<b>5.2 Bereich „Kundenoptionen“ (Benutzerprogrammierungseinstellungen)</b>	<b>13</b>
	Optionsbezogene SFR-Bedienungsanleitungen	<b>14</b>
	<b>5.3 SRAM</b>	<b>15</b>
	Intern 256Byte SRAM	<b>15</b>
	Externes 1KB SRAM	<b>16</b>
<b>6</b>	<b>Sonderfunktionsregister (SFR)</b>	<b>17</b>
	<b>6.1 SFR -Bild</b>	<b>17</b>
	<b>6.2 SFR -Beschreibung</b>	<b>18</b>
	6.2.1 Einführung in die häufig verwendeten Sonderfunktionsregister des 8051-CPU-Kerns	<b>19</b>
<b>7</b>	<b>Power , Reset und Uhr</b>	<b>einundzwanzig</b>
	<b>7.1 Stromkreis</b>	<b>einundzwanzig</b>
	<b>7.2 Power-On-Reset-Vorgang</b>	<b>21</b>
	Phase	<b>21</b>
	Ladeinformationsphase	<b>21</b>
	Betriebsphase	<b>einundzwanzig</b>
	<b>7.3 Reset-Methode</b>	<b>21</b>
	Externer RST zurücksetzen	<b>21</b>
	Unterspannungs-Reset LVR	<b>21</b>
	Reset POR	<b>zweiundzwanzig</b>

7.3.4 Watchdog-Reset WDT .....	22	7.3.5 Zurücksetzen	
Ausgangszustand.....	23		
<b>7.4 Hochfrequenz-Systemtakttschaltung.....</b>			<b>vierundzwanzig</b>
7.5 Niederfrequenz-Oszillator und Niederfrequenz-Taktgeber .....	25		
7.6 STOP- Modus und IDLE- Modus .....	26		
<b>8Zentraleinheit CPU und Befehlssystem.....</b>			<b>28</b>
8.1 CPU.....	28		
8.2 Adressierungsmodus.....	28	8.2.1	
Sofortige Adressierung .....	28	8.2.2	
Direktadressierung.....	28	8.2.3 Indirekt	
Adressierung.....	28	8.2.4	
Registeradressierung.....	28	8.2.5 Relative	
Suchseite.....	28	8.2.6 Indizierte	
Adressierung.....	28	8.2.7 Bit-	
Adressierung.....	28		
<b>9 INTERRUPT Interrupt .....</b>			<b>29</b>
9.1 Interrupt-Quellen und -Vektoren.....	29		
9.2 Interrupt-Strukturdiagramm.....	31		
9.3 Interrupt-Priorität.....	32		
9.4 Verarbeitungsablauf unterbrechen.....	32		
9.5 Interruptbezogene SFR- Register.....	32		
<b>10Timer TIMER0 , TIMER1 .....</b>			<b>36</b>
10.1 Sonderfunktionsregister im Zusammenhang mit T0 und T1 .....	36		
10.2 T0- Arbeitsmodus.....	38		
10.3 T1- Arbeitsmodus.....	39		
<b>11TimerTIMER2 .....</b>			<b>41</b>
11.1 T2 -bezogene Sonderfunktionsregister.....	41		
11.2 T2- Arbeitsmodus.....	43		
<b>12 PWM.....</b>			<b>46</b>
12.1 Blockdiagramm der PWM-Struktur.....	47		
12.2 PWM- bezogene SFR- Register.....	48		

12.3 PWM- Wellenform und Verwendung.....	51
<b>13 GP-E/A.....</b>	<b>54</b>
13.1 GPIO- Strukturdiagramm.....	54
13.2 I/O -Port-bezogene Register .....	55
<b>14 Software- LCD- Treiber .....</b>	<b>57</b>
14.1 Software- LCD- Treiber-bezogene Register.....	57
<b>15 UART0.....</b>	<b>57</b>
15.1 UART0- bezogene Register.....	57
15.2 Baudrate der seriellen Kommunikation.....	58
<b>16 SPI/TWI/UART Dreifachauswahl, eine serielle Schnittstelle SSI.....</b>	<b>59</b>
16.1 SPI.....	60
16.1.1 SPI-operationsbezogene Register.....	60
16.1.2 Signalbeschreibung.....	61
16.1.3 Arbeitsmodus. ....	61
16.1.4 Form der Übermittlung.....	62
16.1.5 Fehlererkennung.....	63
16.2 TWI.....	63
16.2.1 Signalbeschreibung.....	64
16.2.2 Arbeitsmodus.....	64
16.3 UART1.....	66
<b>17 Analog -zu-Digital-Umwandlung ADC.....</b>	<b>67</b>
17.1 ADC- bezogene Register.....	67
17.2 ADC- Umwandlungsschritte.....	69
17.3 Temperatursensor.....	69
<b>18 Verstärker mit variabler Verstärkung PGA.....</b>	<b>70</b>
18.1 PGA- Konfigurationsmethode.....	71
<b>19 Hochempfindliche luftisolierende kapazitive Berührungsschaltung.....</b>	<b>71</b>
<b>20 EEPROM- und IAP- Betrieb.....</b>	<b>72</b>
20.1 EEPROM/IAP- Betriebsbezogene Register.....	72

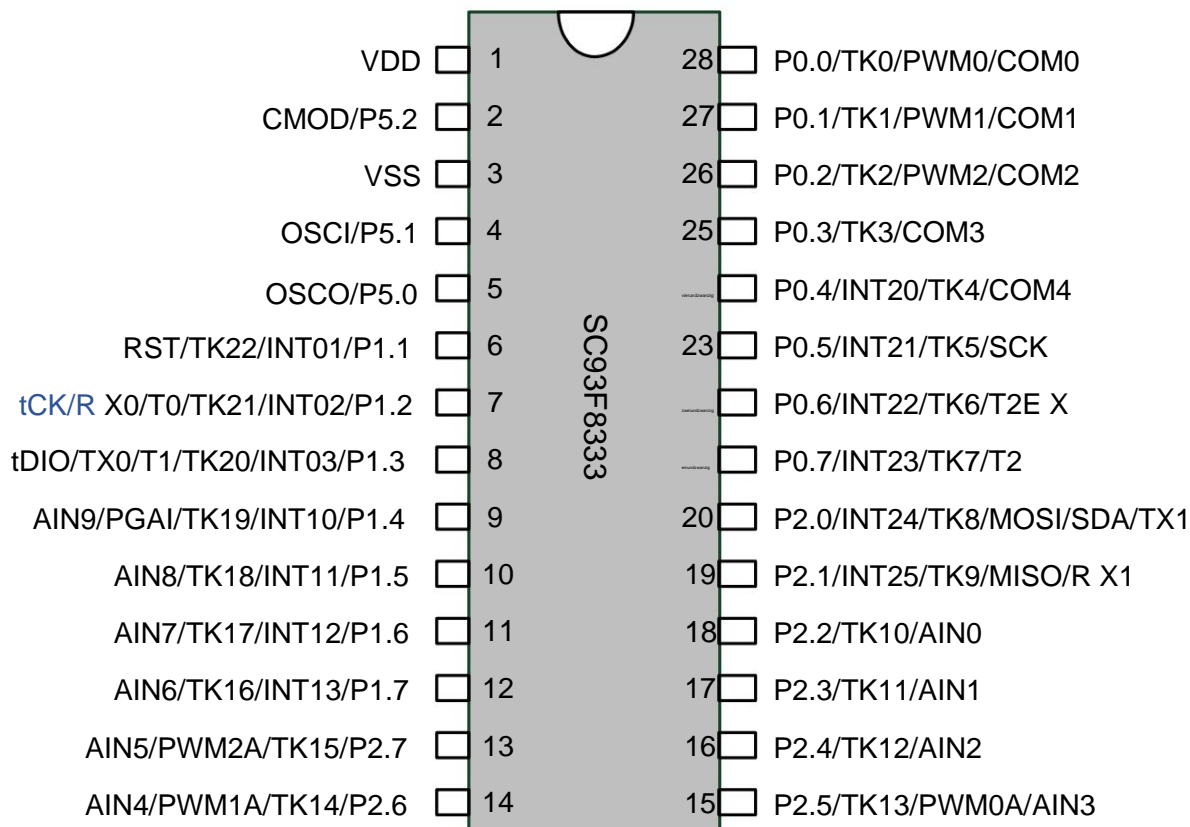


---

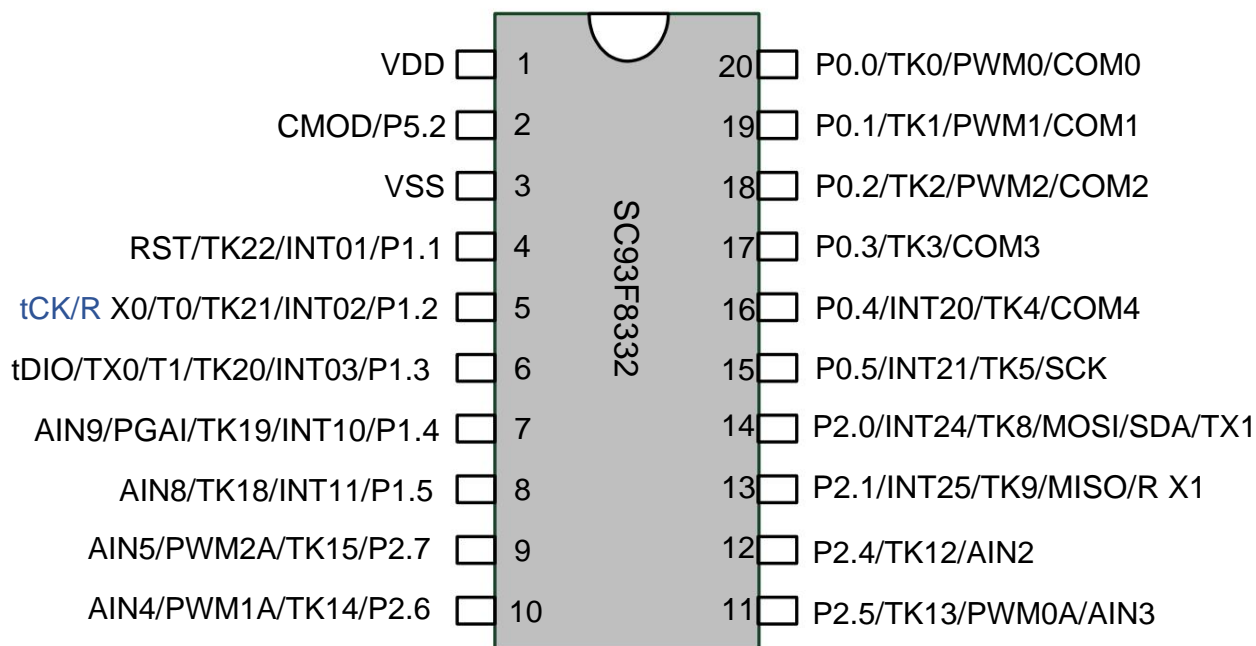
20.2 128Byte unabhängiger EEPROM- Betriebsprozess.....	74
20.2.1 128Byte unabhängige EEPROM-Betriebsroutine.....	74
20.2.2 IAP-Betriebsroutine für den 8-KB-CODE-Bereich.....	75
<b>21 Elektrische Eigenschaften .....</b>	<b>76</b>
21.1 Grenzparameter.....	76
21.2 Empfohlene Arbeitsbedingungen.....	76
21.3 Elektrische Eigenschaften des Gleichstroms.....	76
21.4 Elektrische Eigenschaften von Wechselstrom.....	77
21.5 Elektrische Eigenschaften des ADC.....	78
21.6 Elektrische Eigenschaften von PGA.....	78
<b>22 Anwendungsschaltung .....</b>	<b>79</b>
<b>23 Bestellinformationen .....</b>	<b>81</b>
<b>24 Paketinformationen .....</b>	<b>82</b>
<b>25 Spezifikationsänderungsdatensatz .....</b>	<b>87</b>

### 3- polige Definition

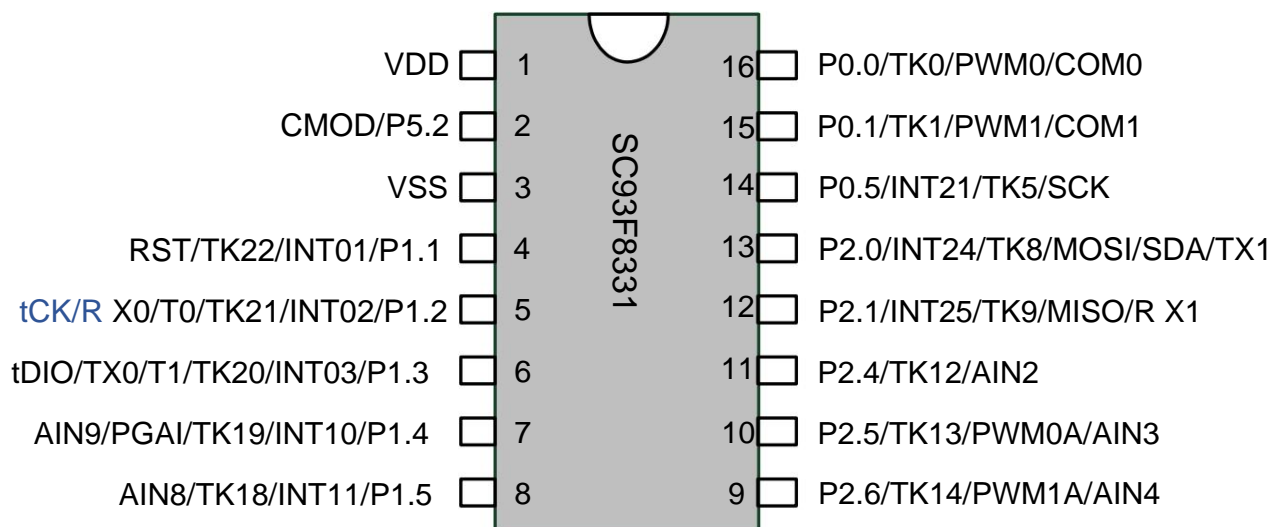
#### 3.1 Pin-Konfiguration



SC93F8333 Pin-Konfigurationsdiagramm



SC93F8332 Pin-Konfigurationsdiagramm



SC93F8331 Pin-Konfigurationsdiagramm

### 3.2 Pin-Definition

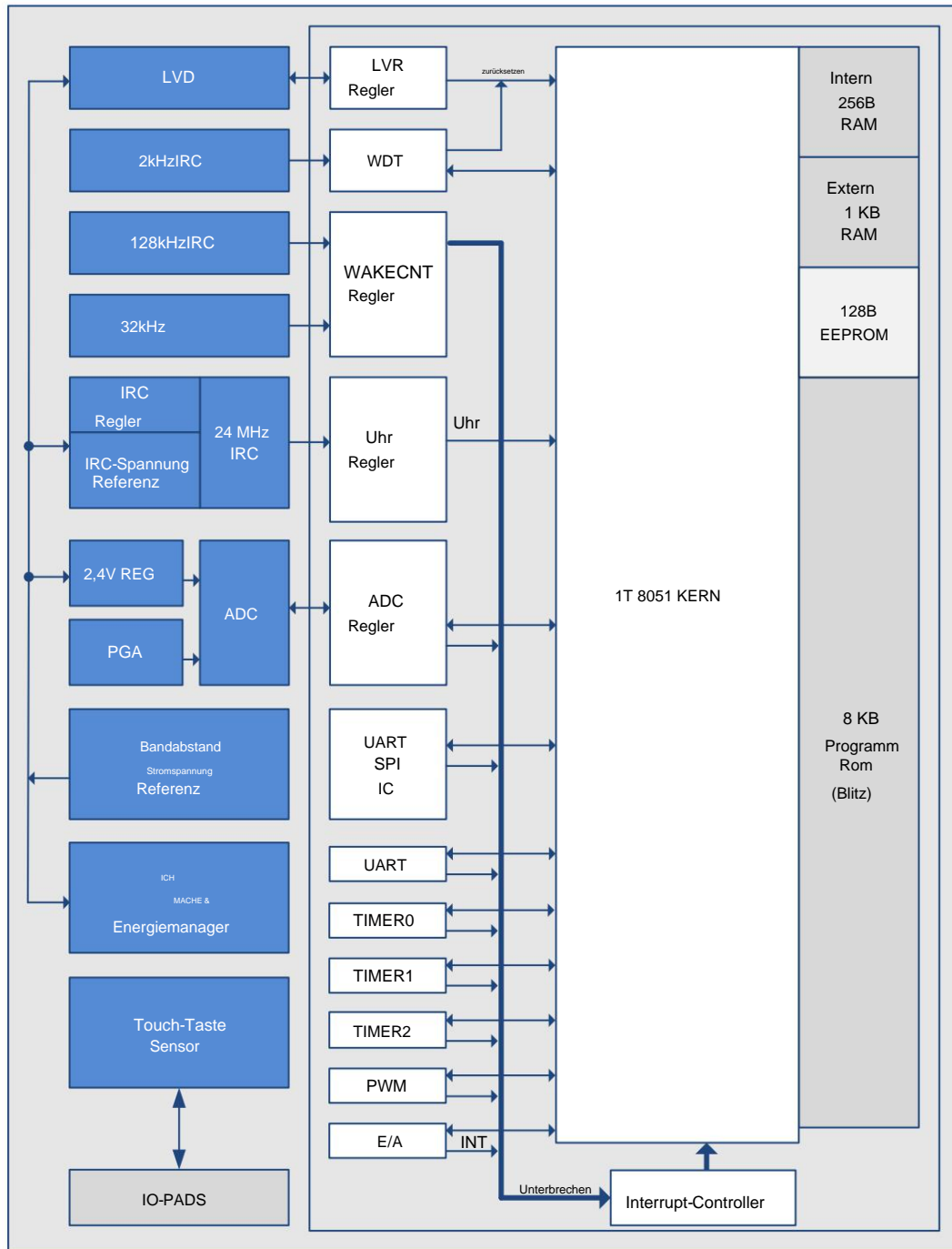
PIN Nummer			Pin-Name	Pin-Typ	Bedienungsanleitung
28PIN	20PIN	16PIN			
1	1	1	VDD	Stromversorgung	
2	2	2	P5.2/CMOD	E/A	P5.2: GPIO P5.2 CMOD: Touch Key externer Kondensator
3	3	3	VSS	Stromerde	
4	-	-	P5.1/OSCI	E/A	P5.1: GPIO P5.1 OSCI: 32k-Oszillator-Eingangspin
5	-	-	P5.0/OSCO	E/A	P5.0: GPIO P5.0 OSCO: 32k-Oszillator-Ausgangspin
6	4	4	P1.1/TK22/RST/INT01	E/A	P1.1: GPIO P1.1 TK22: Kanal 22 von TK RST: Reset-Pin INT01: Eingang 1 des externen Interrupts 0
7	5	5	P1.2/TK21/RX0/T0/INT02 <i>tCK</i>	E/A	P1.2: GPIO P1.2 TK21: Kanal 21 von TK RX0: UART0-Empfang T0: Externer Eingang des Zählers 0 INT02: Eingang 2 des externen Interrupts 0 <i>tCK</i> : Programmier- und Simulationsport-Taktleitung
8	6	6	P1.3/TK20/TX0/T1/INT03 <i>tDIO</i>	E/A	P1.3: GPIO P1.3 TK20: Kanal 20 von TK TX0: UART0-Übertragung T1: Externer Eingang des Zählers 1 INT03: Eingang 3 des externen Interrupts 0 <i>tDIO</i> : Programmier- und Emulationsport-Datenleitung
9	7	7	P1.4/TK19/AIN9 PGAI/INT10	E/A	P1.4: GPIO P1.4 TK19: Kanal 19 von TK AIN9: ADC-Eingangskanal PGAI: PGA-Eingang INT10: Eingang 0 des externen Interrupts 1



10	8	8	P1.5/TK18/AIN8/INT11	E/A	P1.5: GPIO P1.5 TK18: Kanal 18 von TK AIN8: ADC-Eingangskanal 8 INT11: Eingang 1 des externen Interrupts 1
11	-	-	P1.6/TK17/AIN7/INT12	E/A	P1.6: GPIO P1.6 TK17: Kanal 17 von TK AIN7: ADC-Eingangskanal 7 INT12: Eingang 2 des externen Interrupts 1
12	-	-	P1.7/TK16/AIN6/INT13	E/A	P1.7: GPIO P1.7 TK16: Kanal 16 von TK AIN6: ADC-Eingangskanal 6 INT13: Eingang 3 des externen Interrupts 1
13	9	-	P2.7/TK15/PWM2A/AIN5	E/A	P2.7: GPIO P2.7 TK15: Kanal 15 von TK PWM2A: Einer der PWM2-Ausgangsports AIN5: ADC-Eingangskanal 5
14	10	9	P2.6/TK14/PWM1A/AIN4	E/A	P2.6: GPIO P2.6 TK14: Kanal 14 von TK PWM1A: Einer der PWM1-Ausgangsports AIN4: ADC-Eingangskanal 4
15	11	10	P2.5/TK13/PWM0A/AIN3	E/A	P2.5: GPIO P2.5 TK13: Kanal 13 von TK PWM0A: Einer der PWM0-Ausgangsports AIN3: ADC-Eingangskanal 3
16	12	11	P2.4/TK12/AIN2	E/A	P2.4: GPIO P2.4 TK12: Kanal 12 von TK AIN2: ADC-Eingangskanal 2
17	-	-	P2.3/TK11/AIN1	E/A	P2.3: GPIO P2.3 TK11: Kanal 11 von TK AIN1: ADC-Eingangskanal 1
18	-	-	P2.2/TK10/AIN0	E/A	P2.2: GPIO P2.2 TK10: Kanal 10 von TK AIN0: ADC-Eingangskanal 0
19	13	12	P2.1/TK9/MISO/RX1/INT 25	E/A	P2.1: GPIO P2.1 TK9: Kanal 9 von TK MISO: SPI-Master-Eingang, Slave-Ausgang RX1: UART1-Empfang INT25: Eingang 5 des externen Interrupts 2
20	14	13	P2.0/TK8/MOSI/SDA/TX 1/INT24	E/A	P2.0: GPIO P2.0 TK8: Kanal 8 von TK MOSI: SPI-Master-Ausgang, Slave-Eingang SDA: SDA von TWI TX1: UART1-Übertragung INT24: Eingang 4 des externen Interrupts 2
---	-	-	P0.7/TK7/T2/INT23	E/A	P0.7: GPIO P0.7 TK7: Kanal 7 von TK T2: Externer Eingang des Zählers 2 INT23: Eingang 3 des externen Interrupts 2
---	-	-	P0.6/TK6/T2EX/INT22	E/A	P0.6: GPIO P0.6 TK6: Kanal 6 von TK T2EX: Externer Erfassungssignaleingang für Timer 2 INT22: Eingang 2 des externen Interrupts 2
23	15	14	P0.5/TK5/SCK/INT21	E/A	P0.5: GPIO P0.5 TK5: Kanal 5 von TK SCK: SCK von SPI und TWI INT21: Eingang 1 des externen Interrupts 2
---	16	-	P0.4/TK4/COM4/INT20	E/A	P0.4: GPIO P0.4 TK4: Kanal 4 von TK

					COM4: Gemeinsamer Port COM4 des LCD-Treibers INT20: Eingang 0 des externen Interrupts 2
<b>25</b>	<b>17</b>	-	<b>P0.3/TK3/COM3</b>	E/A	P0.3: GPIO P0.3 TK3: Kanal 3 von TK COM3: Gemeinsamer Anschluss COM3 des LCD-Treibers
<b>26</b>	<b>18</b>	-	<b>P0.2/TK2/PWM2/COM2</b>	E/A	P0.2: GPIO P0.2 TK2: Kanal 2 von TK PWM2: Einer der PWM2-Ausgangsports COM2: Gemeinsamer Anschluss COM2 des LCD-Treibers
<b>27</b>	<b>19</b>	<b>15</b>	<b>P0.1/TK1/PWM1/COM1</b>	E/A	P0.1: GPIO P0.1 TK1: Kanal 1 von TK PWM1: Einer der PWM1-Ausgangsports COM1: Gemeinsamer Anschluss COM1 des LCD-Treibers
<b>28</b>	<b>20</b>	<b>16</b>	<b>P0.0/TK0/PWM0/COM0</b>	E/A	P0.0: GPIO P0.0 TK0: Kanal 0 von TK PWM0: Einer der PWM0-Ausgangsports COM0: Gemeinsamer Anschluss COM0 des LCD-Treibers

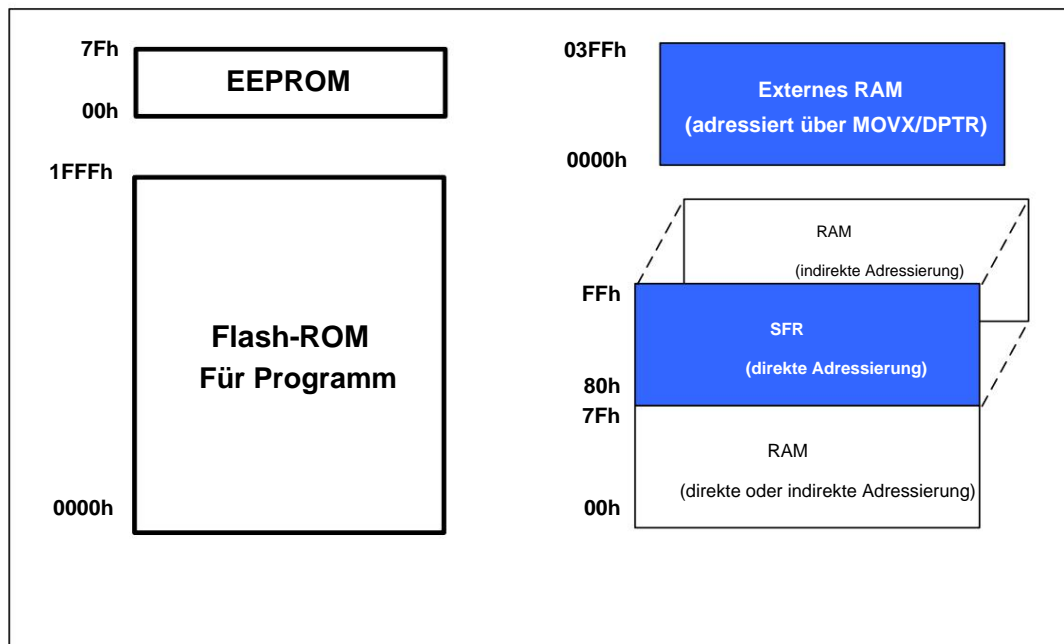
4 Internes Blockdiagramm



SC93F833X BLOCKDIAGRAMM

## 5 FLASH-ROM- und SRAM- Struktur

Die Flash-ROM- und SRAM-Strukturen des SC93F833X sind wie folgt:



Flash-ROM- und SRAM-Strukturdiagramm

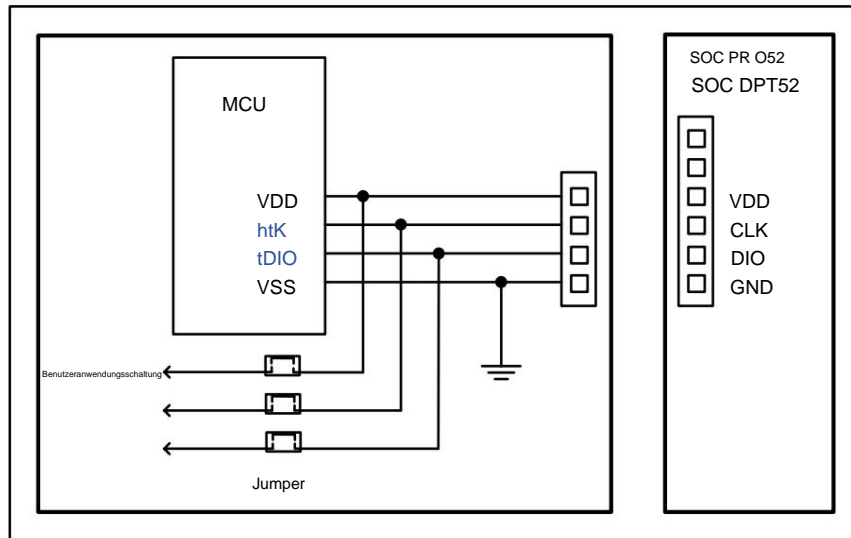
### 5.1 FLASH-ROM

SC93F833X verfügt über 8 KB Flash-ROM und die ROM-Adresse ist 0000H–1FFFH. Dieses 8-KB-Flash-ROM kann 10.000 Mal wiederholt beschrieben werden und kann über den speziellen ICP-Programmierer (SOC PRO52/DPT52) von SinOneChip programmiert und gelöscht werden. Die MOVC-Befehle im 256-Byte-Bereich mit den Adressen 0000H–00FFH sind nicht adressierbar.

EEPROM ist ein vom 8-KB-ROM unabhängiger Bereich. Seine Adresse ist 00H–7FH. Im Programm können Einzelbyte-Lese- und Schreibvorgänge darauf ausgeführt werden. Spezifische Betriebsmethoden finden Sie unter [20 EEPROM- und IAP-Betrieb](#).

Das 8-KB-Flash-ROM des SC93F833X kann die Funktionen BLANK, Programm PROGRAM, Überprüfen VERIFY und Löschen ERASE bereitstellen, bietet jedoch nicht die Funktion zum Lesen von READ. Dieses Flash-ROM und EEPROM müssen vor dem Schreiben normalerweise nicht gelöscht werden, und neue Daten können durch direktes Schreiben von Daten überschrieben werden.

Das Flash-ROM des SC93F833X wird über tDIO, tCK, VDD und VSS programmiert. Die spezifische Verbindungsbeziehung ist wie folgt:



ICP-Modus-Flash-Writer-Programmieranschlussdiagramm

## 5.2 Bereich CUSTOMER OPTION (Benutzerprogrammierungseinstellungen)

Im SC93F833X gibt es einen separaten Flash-Bereich zum Speichern der anfänglichen Einschaltwerteinstellungen des Kunden. Dieser Bereich wird als Code-Optionsbereich bezeichnet. Der Benutzer schreibt diesen Teil des Codes in den IC, wenn er den IC programmiert. Wenn der IC zurückgesetzt und initialisiert wird, wird diese Einstellung als Anfangseinstellung in SFR übertragen.

Optionsbezogene SFR-Bedienungsanleitungen:

Die Lese- und Schreibvorgänge von optionbezogenen SFRs werden von den beiden Registern OPINX und OPREG gesteuert. Der spezifische Standort jedes Option-SFR wird von OPINX gesteuert.

OK, wie in der folgenden Tabelle gezeigt:

symbolische	Ansprache	veranschaulichen	7	6	5	4	3	2	1	0
OP_HRCR	83H@FFH Systemuhr-Änderungsregister		OP_HRCR[7:0]							
OP_CTM0	C1H@FFH Kundenoptionsregister 0	ENWDT ENXTL	SCLKS[1:0]			DISRST DISLVR		LVRS[1:0]		
OP_CTM1	C2H@FFH Kundenoptionsregister 1	VREFS	-	-	-	IAPS[1:0]			-	-

### OP\_HRCR (83H@FFH) Systemuhr-Änderungsregister (Lesen/Schreiben)

	7	6	5	4	3	2	1	0
	OP_HRCR[7:0]							
	lesen Schreiben							
Bitnummersymbol Lesen/Schreiben, Anfangswert beim Einschalten n		N	N	N	N	N	N	N

Bitnummer	Bitsymbol	veranschaulichen
7-0	OP_HRCR[7:0] interne Hochfrequenz-RC-Frequenzanpassung	Der zentrale Wert 10000000b entspricht der HRC-Mittenfrequenz. Die Frequenz nimmt mit steigendem Wert zu, und die Frequenz nimmt mit sinkendem Wert ab.

### OP\_CTM0(C1H@FFH) Kundenoptionsregister 0 (Lesen/Schreiben) 4

	7	6	5	3	2	1	0
Bitnummersymbol	ENWDT ENXTL Lesen/Schreiben	SCLKS[1:0] lesen/			DISRST DISLVR	LVRS[1:0]	
Lesen/Schreiben	Lesen/Schreiben Anfangswert	schreiben			lesen Schreiben	lesen Schreiben	lesen Schreiben
beim Einschalten n		N	N	N	N	N	

Bit Nummer	Bitzeichen	veranschaulichen
7	ENWDT	WDT-Schalter 0: WDT ist ungültig

		1: WDT ist gültig (aber WDT hört auf zu zählen, wenn IC IAP ausführt)
6	<b>ENXTL</b>	Externer 32k-Quarzoszillator-Auswahlschalter 0: Der externe 32k-Quarzoszillator ist ausgeschaltet, P5.0 und P5.1 sind gültig; 1: Der externe 32k-Quarzoszillator ist eingeschaltet, P5.0 und P5.1 sind ungültig.
5~4	<b>SCLKS[1:0]</b> Auswahl der Systemtaktfrequenz:	00: reserviert 01: Die Systemtaktfrequenz ist die Frequenz des Hochfrequenzoszillators geteilt durch 2; 10: Die Systemtaktfrequenz ist die Frequenz des Hochfrequenzoszillators geteilt durch 4; 11: Die Systemtaktfrequenz ist die Frequenz des Hochfrequenzoszillators geteilt durch 12.
3	<b>DIRST</b>	IO/RST-Reset-Schaltsteuerung 0: P1.1 wird als Reset-Pin verwendet 1: P1.1 bei Verwendung als normaler I/O-Pin
2	<b>DISLVR</b>	LVR-Aktivierungseinstellung 0: LVR normaler Gebrauch 1: LVR ist ungültig
1~0	<b>LVRS [1:0]</b>	LVR-Spannungsauswahlsteuerung 11: 4,3 V-Reset 10: 3,7 V zurückgesetzt 01: 2,9 V zurückgesetzt 00: 2,3 V zurückgesetzt

**OP\_CTM1(C2H@FFh) Kundenoptionsregister 1**

	7	6	5	4	3	2	1	0
Bitnummernsymbol	VREFS Lesen/	-	-	-	IAPS[1:0]		-	-
Schreiben Lesen/Schreiben	Schreiben	-	-	-	schreibgeschützt, schreibgeschützt		-	-
Anfangswert beim Einschalten	n	X	X	X	N	N	X	X

Bit Nummer	Bitzeichen	Vorschau
7	<b>VREFS</b>	Auswahl der Referenzspannung (der Anfangswert wird von <b>Code Option</b> übertragen, der Benutzer kann die Einstellungen ändern) 0: VREF des ADC auf VDD setzen 1: Stellen Sie den VREF des ADC auf die internen genauen 2,4 V ein
3~2	<b>IAPS[1:0]</b>	Auswahl des räumlichen IAP-Bereichs 00: Der IAP-Betrieb ist im Codebereich verboten und nur der EEPROM-Bereich kann als Datenspeicher verwendet werden. 01: Reserviert 10: Der letzte 1K-Codebereich ermöglicht IAP-Operationen (1C00H~1FFFH) 11: Alle Codebereiche erlauben IAP-Operationen (0000H~1FFFH)

**5.2.1 OPTION- bezogene SFR- Bedienungsanleitungen**

Die Lese- und Schreibvorgänge von optionbezogenen SFRs werden von den beiden Registern OPINX und OPREG gesteuert. Der spezifische Standort jedes Option-SFR wird von OPINX gesteuert.

OK, der geschriebene Wert jedes Options-SFR wird durch OPREG bestimmt:

Beschreibung der Symboladresse		Anfangswert beim Einschalten
OPINX FEH-Optionszeiger	OPINX[7:0]	0000000b
OPREG FFH-Optionsregister	OPREG[7:0]	nnnnnnnb

Beim Betrieb optionbezogener SFRs speichert das OPINX-Register die Adresse des zugehörigen OPTION-Registers und das OPREG-Register speichert den entsprechenden Wert.

Beispiel: Um OP\_HRCR auf 0x01 zu konfigurieren, lautet die spezifische Betriebsmethode wie folgt:

C-Sprachroutine:

```
OPINX = 83H;           //Schreiben Sie die Adresse von OP_HRCR in das OPINX-Register
OPREG = 0x01;         //Schreibe 0x01 in das OPREG-Register (den Wert, der in das OP_HRCR-Register geschrieben werden soll)
```

Montageroutine:

```
MOV OPINX,#83H        ; Schreiben Sie die Adresse von OP_HRCR in das OPINX-Register
```

MOV OPREG,#01H

; 0x01 in das OPREG-Register schreiben (der Wert, der in das OP\_HRCR-Register geschrieben werden soll)

Hinweis: Es ist verboten, andere Werte als die **SFR- Adresse des Kundenoptionsbereichs** in das **OPINX-** Register zu schreiben ! Andernfalls führt es zu einem abnormalen Betrieb des Systems!

### 5.3 SRAM

Der interne SRAM des SC93F833X-Mikrocontrollers ist in internen 256-Byte-RAM und externen 1-KB-RAM unterteilt. Der Adressbereich des internen RAM beträgt 00H-FFH, wovon die hohen 128Byte (Adresse 80H-FFH) nur indirekt und die niedrigen 128Byte (Adresse 00H-7FH) direkt oder indirekt angesprochen werden können. Die Adresse des Sonderfunktionsregisters SFR ist

ebenfalls 80H-FFH. Der Unterschied zwischen SFR und internem High-128-Byte-SRAM besteht jedoch darin, dass das SFR-Register direkt ist

Direkte Adressierung, während das interne High 128Byte SRAM nur indirekt angesprochen

werden kann. Die Adresse des externen RAM ist 0000H-03FFH, sie muss jedoch über den MOVX-Befehl angesprochen werden.

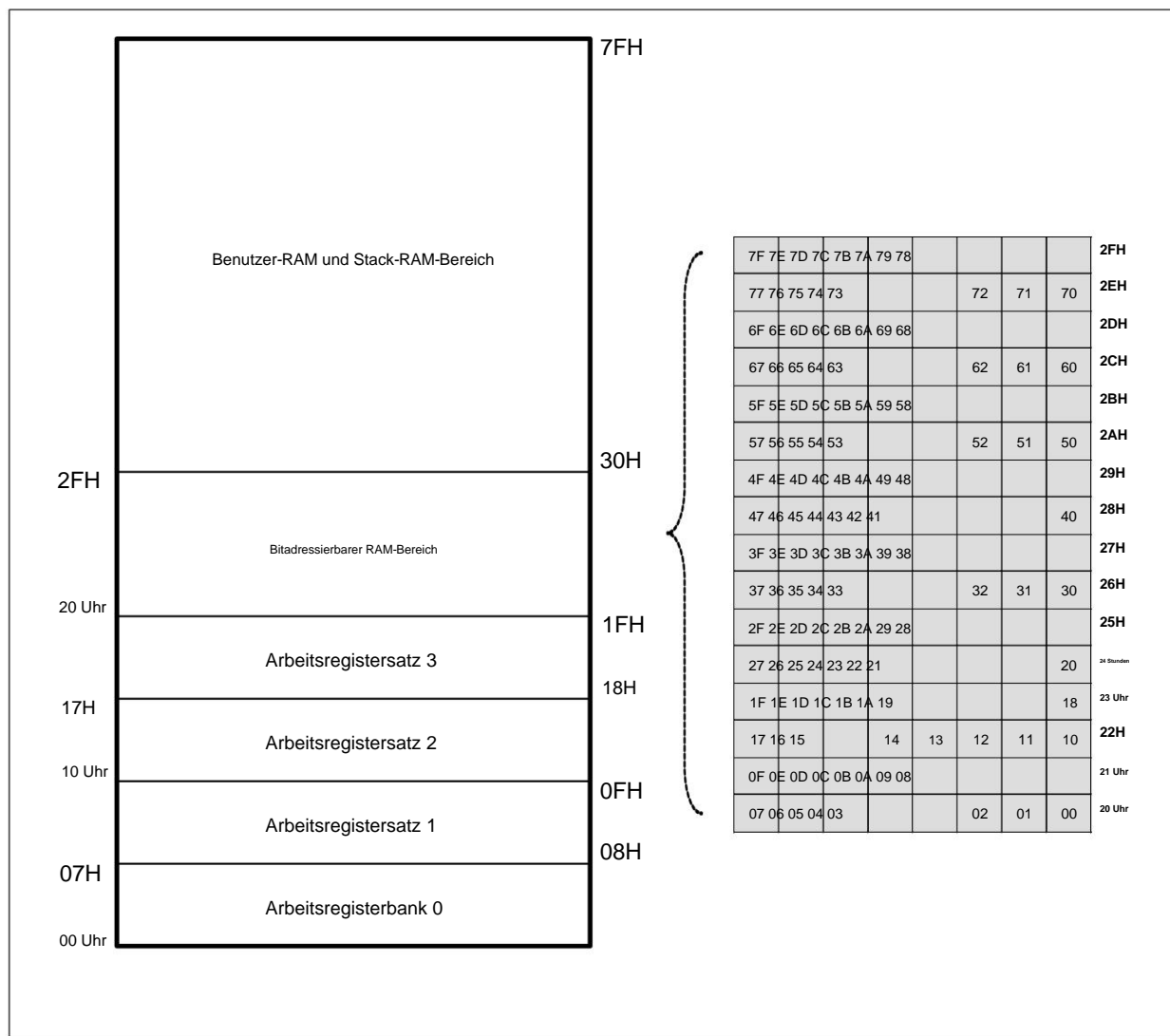
#### 5.3.1 Interner 256BYTE SRAM

Der interne untere 128-Byte-SRAM-Bereich kann in drei Teile unterteilt werden:  $\bar{y}$  Arbeitsregistergruppe 0-3, Adresse 00H-1FH, die RS0- und RS1-Kombination im Programmstatuswortregister PSW bestimmt das aktuell verwendete Arbeitsregister, Arbeitsregistergruppe 0 verwenden  $\bar{3}$  Es kann den Vorgang beschleunigen;  $\bar{y}$  Bitadressierungsbereich 20H-2FH, Benutzer können diesen Bereich als gewöhnlichen RAM oder bitadressierbaren RAM verwenden; bei Bitadressierung ist die Bitadresse 00H-7FH (diese Adresse ist programmiert). durch Bits, was sich vom allgemeinen SRAM (durch Bytes adressiert) unterscheidet und durch Anweisungen im Programm unterschieden werden kann;  $\bar{y}$  Benutzer-RAM und Stapelbereich, nach dem Zurücksetzen des SC93F833X zeigt der 8-Bit-Stapelzeiger auf den Stapelbereich, und der Benutzer legt ihn normalerweise bei der Initialisierung des Programms fest. Es wird empfohlen, den Anfangswert im Einheitenbereich von E0H-FFH einzustellen.



Internes 256-Byte-RAM-Strukturdiagramm

Die interne 128-Byte-RAM-Struktur ist wie folgt:



SRAM-Strukturdiagramm

### 5.3.2 Externes 1-KB-SRAM

Auf den externen 1K-Byte-RAM kann über MOVX @DPTR, A zugegriffen werden; Sie können auch MOVX A, @Ri oder MOVX @Ri, A mit dem EXADH-Register verwenden. So greifen Sie auf den externen 1-KByte-RAM zu: Das EXADH-Register speichert die höherwertige Adresse des externen SRAM und das Ri-Register speichert die niederwertige 8-Bit-Adresse des externen SRAM.

**EXADH (F7h) High-Bit der externen SRAM- Betriebsadresse**

	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	EXADH [1:0]	
Bitnummersymbol	Einschaltanfangswert	X	X	X	X	X	0 0	

Bitnummer	Bitzeichen	Verwendungszweck
1~0	EXADH [1:0] High-Bit der externen SRAM-Betriebsadresse	
7~2	-	Reservieren



## 6 Sonderfunktionsregister (SFR)

### 6.1 SFR- Bild

Die SC93F833X-Serie verfügt über einige spezielle Funktionsregister, die wir SFRs nennen. Die Adressen dieser SFR-Register liegen bei 80H–FFH, und einige können dies auch tun

Bitadressierbar, einige können nicht bitadressierbar sein. Die letzten Ziffern der Adressen von Registern, die Bitadressierungsoperationen durchführen können, sind alle „0“ oder „8“. Diese Register müssen geändert werden, wenn die Einheit geändert wird.

Sehr praktisch für einstellige Werte. Alle SFR-Sonderfunktionsregister müssen über die direkte Adressierung angesprochen werden.

Die Namen und Adressen der Sonderfunktionsregister des SC93F833X lauten wie folgt:

	0/8	1/9	2/A	3/B	4/C	5/D	6/E	7/F
f8h	-	-	-	-	-	-	OPINX	OPREG
F0h	B	IAPKEY	IAPADL	IAPADH	IAPADE	IAPDAT	IAPCTL	EXADH
E8h	-	-	-	TA	-	-	-	-
E0h	ACC	-	-	-	-	-	-	-
D8h	P5	P5CON	P5PH	-	-	-	-	-
D0h	PSW	PWMCFG	PWMCON	PWMPRD	PWMDTYA	PWMDTY0	PWMDTY1	PWMDTY2
C8h	T2CON	T2MOD	RCAP2L	RCAP2H	TL2	TH2	BTMCON	WDTCON
C0h	-	-	-	-	-	-	INT2F	INT2R
B8h	IP	IP1	INT0F	INT0R	INT1F	INT1R	PGACFG	PGACON
B0h	-	-	-	-	-	-	-	-
A8h	IE	IE1	TSCFG	ADCCFG0	ADCCFG1	ADCCON	ADCVL	ADCVH
A0h	P2	P2CON	P2PH	-	-	-	-	-
98h	SCON	SBUF	P0CON	P0PH	P0VO	SSCON0	SSCON1	SSDAT
90h	P1	P1CON	PPP	-	-	SSCON2	-	IOHCON
88h	TCON	TMOD	TL0	TL1	TH0	TH1	TMCON	OTCON
80h	P0	SP	DPL	DPH	DPL1	DPH1	DPS	PCON
	Bitadressierbar	Nicht bitadressierbar						

verschaulich:

1. Der leere Teil des SFR-Registers bedeutet, dass für dieses Register kein RAM vorhanden ist, und es wird Benutzern nicht empfohlen, es zu verwenden.

2. F1H–FFH in SFR sind spezielle Funktionsregister, die für die Systemkonfiguration verwendet werden. Die Verwendung durch den Benutzer kann zu Systemanomalien führen. Benutzer müssen dies tun

Bei laufendem System können diese Register nicht gelöscht oder anderweitig bedient werden.

**6.2 SFR- Beschreibung**

Die spezifische Erklärung des Sonderfunktionsregisters SFR lautet wie folgt:

symbolische Ansprache	7	6	5	4	3	2	1	0	Anfangswert beim Einschalten	
P0	80H P0-Port-Datenregister	P07	P06	P05	P04	P03	P02	P01	P00	0000000b
SP	81H Stapelzeiger	SP[7:0]								0000111b
DPL	82H DPTR-Datenzeiger-Low-Bit	DPL[7:0]								0000000b
DPH	83H DPTR-Datenzeiger-High-Bit	DPH[7:0]								0000000b
DPL1	84H DPTR1 Datenzeiger 1 Low-Bit	DPL1[7:0]								0000000b
DPH1	85H DPTR1 Datenzeiger 1 High-Bit	DPH1[7:0]								0000000b
DPS	86H DPTR-Auswahlregister	ID1	ID0	TSL	AU1	AU0	-	-	SEL	0000xx0b
PCON	87H Energielieferungssteuerregister	SMOD	-	-	-	-	-	STOPPEN	IDL	0xxxx00b
TCON	88H Timer-Steuerregister	TF1	TR1	TF0	TR0	-	-	-	-	0000xxxxb
TMOD	89H Timer-Betriebsmodusregister	-	C/T1	M11	M01	-	C/T0	M10	M00	x000x000b
TL0	8AH Timer 0 untere 8 Bits	TL0[7:0]								0000000b
TL1	8BH Timer 1 untere 8 Bits	TL1[7:0]								0000000b
TH0	8CH Timer 0 High 8 Bits	TH0[15:8]								0000000b
TH1	8DH Timer 1 hoch 8 Bits	TH1[15:8]								0000000b
TMCON	8EH Timer-Frequenzsteuerregister	-	-	-	-	-	T2FD	T1FD	T0FD	xxxx000b
OTCON	8FH Ausgangssteuerregister	SSMOD[1:0]		-	-	VOIRS[1:0]		-	-	00xx00xb
P1	90H P1-Port-Datenregister	P17	P16	P15	P14	P13	P12	P11	-	0000000xb
P1CON	91H P1-Port-Eingabe-/Ausgabe-Steuerregister	P1C7	P1C6	P1C5	P1C4	P1C3	P1C2	P1C1	-	0000000xb
PPPH	92H P1-Port-Pull-Up-Widerstand-Steuerregister	P1H7	P1H6	P1H5	P1H4	P1H3	P1H2	P1H1	-	0000000xb
SSCON2	95H SSI-Steuerregister 2	SSCON2[7:0]								0000000b
IOHCON	97H IOH-Einstellungsregister	P2H[1:0]		P2L[1:0]		P0H[1:0]		P0L[1:0]		0000000b
SCON	98H Steuerregister für die serielle Schnittstelle	SM0	SM1	SM2	REN	TB8	RB8	TI	RI	0000000b
SBUF	99H Daten-Cache-Register der seriellen Schnittstelle	SBUF[7:0]								0000000b
P0CON	9AH P0-Port-Eingangs-/Ausgangssteuerregister	P0C7	P0C6	P0C5	P0C4	P0C3	P0C2	P0C1	P0C0	0000000b
P0PH	9BH P0-Port-Pull-Up-Widerstand-Steuerregister	P0H7	P0H6	P0H5	P0H4	P0H3	P0H2	P0H1	P0H0	0000000b
P0VO	9CH P0-Port LCD-Spannungsausgangsregister	-	-	-	P04VO P03VO	-	P02VO	P01VO	P00VO	xx00000b
SSCON0	9DH SSI-Steuerregister 0	SSCON0[7:0]								0000000b
SSCON1	9EH SSI-Steuerregister 1	SSCON1[7:0]								00x000x0b
SSDAT	9FH SSI-Datenregister	SSD[7:0]								0000000b
P2	A0H P2-Port-Datenregister	P27	P26	P25	P24	P23	P22	P21	P20	0000000b
P2CON	A1H P2-Port-Eingabe-/Ausgabe-Steuerregister	P2C7	P2C6	P2C5	P2C4	P2C3	P2C2	P2C1	P2C0	0000000b
P2PH	A2H P2-Port-Pull-Up-Widerstand-Steuerregister	P2H7	P2H6	P2H5	P2H4	P2H3	P2H2	P2H1	P2H0	0000000b
IE	A8H Interrupt-Steuerregister	EA	EADC	ET2	EUART	ET1	EINT1	ET0	EINT0	0000000b
IE1	A9H Interrupt-Steuerregister 1	-	-	-	ETK	EINT2	EBTM EPWM	-	ESSI	xxx0000b
TSCFG	AAH Temperatursensorregister	TS_EN	-	-	-	-	-	-	TS_CHOP	0xxxx0b
ADCCFG0	ABH ADC-Setup-Register 0	EAIN7	EAIN6	EAIN5	EAIN4	EAIN3	EAIN2	EAIN1	EAIN0	0000000b
ADCCFG1	ACH ADC-Setup-Register 1	-	-	-	-	-	-	EAIN9	EAIN8	xxxxxx0b
ADCCON	ADH ADC-Steuerregister	ADCEN ADCS LOWSP		-	EOC/ADCF	ADCIS[3:0]				0000000b
ADCVL	AEH ADC-Ergebnisregister	ADCV[3:0]			-	-	-	-	-	0000xxxxb
ADCVH	AFH ADC-Ergebnisregister	ADCV[11:4]								0000000b
IP	B8H Interrupt-Prioritätskontrollregister	-	IPADC	IP2	IPUART	IP1	IPINT1	IP0	IPINT0	x000000b
IP1	B9H Interrupt-Prioritätssteuerregister 1	-	-	-	IPTK	IPINT2	IPBTM	IPPWM	IPSI	xxx0000b
INT0F	BAH INT0 Interrupt-Steuerregister mit fallender Flanke	-	-	-	-	INT0F3	INT0F2	INT0F1	-	xxxx000xb
INT0R	BBH INT0 Interrupt-Steuerregister für steigende Flanke	-	-	-	-	INT0R3	INT0R2	INT0R1	-	xxxx000xb
INT1F	BCH INT1 Interrupt-Steuerregister mit fallender Flanke	-	-	-	-	INT1F3	INT1F2	INT1F1	INT1F0	xxxx000b
INT1R	BDH INT1 Interrupt-Steuerregister mit ansteigender Flanke	-	-	-	-	INT1R3	INT1R2	INT1R1	INT1R0	xxxx000b
PGACFG	BEH PGA-Setup-Register	PGAOF	-	PGAOF5[5:0]						0x000000b
PGACON	BFH PGA-Steuerregister	ENPGA PGACOM PGAGAN	PGAAPT	-	-	-	-	-	-	0000xxxxb
INT2F	C6H INT2 Interrupt-Steuerregister mit fallender Flanke	-	-	INT2F5	INT2F4	INT2F3	INT2F2	INT2F1	INT2F0	xx00000b
INT2R	C7H INT2 Interrupt-Steuerregister für steigende Flanke	-	-	INT2R5	INT2R4	INT2R3	INT2R2	INT2R1	INT2R0	xx00000b
T2CON	C8H Timer 2-Steuerregister	TF2	EXF2	RCLK	TCLK	EXEN2	TR2	C/T2	CP/RL2	0000000b

T2MOD	C9H Timer 2 Betriebsmodusregister	-	-	-	-	-	-	T2OE	DCENxxxx	x00b
RCAP2L	CAH Timer 2 lädt die unteren 8 Bits neu	RCAP2L[7:0]							0000000b	
RCAP2H	CBH Timer 2 lädt die oberen 8 Bits neu	RCAP2H[7:0]							0000000b	
TL2	CCH-Timer 2 untere 8 Bits	TL2[7:0]							0000000b	
TH2	CDH-Timer 2 High 8 Bits	TH2[7:0]							0000000b	
BTMCON	CEH Niederfrequenz-Timer-Steuerregister	ENBTM	BTMIF	-	-	BTMFS[2:0]		00xx000b		
WDTCON	CFH WDT-Steuerregister	-	-	-	CLRWDT	-	WDTCKS[2:0]		xxx0x000b	
PSW	D0H Programmstatuswortregister	CY	-	F0	RS1	RS0	OV	F1	P	0000000b
PWMCFG	D1H PWM-Einstellungsregister	-	-	INV2	INV1	INV0	PWMOS2	PWMOS1	PWMOS0	xx000000b
PWMCON D2H	PWM-Steuerregister	ENPWM	PWMIF	ENPWM2	ENPWM1	ENPWM0	PWMCKS[2:0]		0000000b	
PWMPRD	D3H PWM-Perioden-Einstellungsregister	PWMPRD[7:0]							0000000b	
PWMDTYA D4H	PWM-Arbeitszyklus-Einstellregister	-	-	PDTA2[1:0]		PDTA1[1:0]		PDTA0[1:0]		xx000000b
PWMDTY0 D5H	PWM0 Arbeitszyklus-Einstellungsregister	PDT0[7:0]							0000000b	
PWMDTY1	D6H PWM1-Arbeitszyklus-Einstellungsregister	PDT1[7:0]							0000000b	
PWMDTY2 D7H	PWM2-Arbeitszyklus-Einstellungsregister	PDT2[7:0]							0000000b	
P5	D8H P5-Port-Datenregister	-	-	-	-	-	P52	P51	P50	xxxxx000b
P5CON	D9H Port 5 Eingabe-/Ausgabe-Steuerregister	-	-	-	-	-	P5C2	P5C1	P5C0	xxxxx000b
P5PH	DAH P5-Port-Pull-up-Widerstands-Steuerregister	-	-	-	-	-	P5H2	P5H1	P5H0	xxxxx000b
ACC	E0H-Akkumulator	ACC[7:0]							0000000b	
B	F0H B-Register	B[7:0]							0000000b	
IAPKEY	F1H IAP-Schutzregister	IAPKEY[7:0]							0000000b	
IAPADL	F2H IAP-Adress-Niedrigregister	IAPADR[7:0]							0000000b	
IAPADH	F3H IAP-Adress-Hochregister	-	-	IAPADR[13:8]					xx000000b	
IAPADE	F4H IAP-erweitertes Adressregister	IAPADER[7:0]							0000000b	
IAPDAT	F5H IAP-Datenregister	IAPDAT[7:0]							xxxxxxxxxb	
IAPCTL	F6H IAP-Steuerregister	-	-	-	-	ZÄHLUNGSZEITEN[1:0]		CMD[1:0]		xxx0000b
EXADH	F7H High-Bit der externen SRAM-Betriebsadresse	-	-	-	-	-	-	EXADH [1:0]		xxxxx00b
OPINX	FEH-Optionszeiger	OPINX[7:0]							0000000b	
OPREG	FFH-Optionsregister	OPREG[7:0]							nnnnnnnb	

### 6.2.1 Einführung in häufig verwendete Sonderfunktionsregister im 8051-CPU- Kern

#### Programmzähler -PC

Der Programmzähler PC gehört nicht zum SFR-Register. PC hat 16 Bit und ist ein Register, das zur Steuerung der Reihenfolge der Befehlsausführung verwendet wird. Mikrocontroller einschalten oder zurücksetzen

Danach ist der PC-Wert 0000H, was bedeutet, dass das Mikrocontroller-Programm ab Adresse 0000H mit der Ausführung des Programms beginnt.

#### Akku ACC (E0H)

Der Akkumulator ACC ist eines der am häufigsten verwendeten Register im 8051-Kern-Mikrocontroller, und A wird als Mnemonik im Befehlssystem verwendet. Wird häufig zum Speichern von Teilplänen verwendet

Die Operanden und Ergebnisse arithmetischer oder logischer Operationen.

#### B- Register (F0H)

Das B-Register muss in Verbindung mit dem Akkumulator A bei Multiplikations- und Divisionsoperationen verwendet werden. Der Multiplikationsbefehl MUL A, B kombiniert die 8 Bits im Akkumulator A und im Register B.

Vorzeichenbehaftete Zahlen werden multipliziert und das niederwertige Byte des resultierenden 16-Bit-Produkts wird in A und das höherwertige Byte in B platziert. Die Divisionsanweisungen DIV A und B dienen dazu, A durch B zu dividieren.

Der Quotient wird in A und der Rest in B abgelegt. Register B kann auch als allgemeines temporäres Register verwendet werden.

#### Stapelzeiger SP(81H)

Der Stapelzeiger ist ein 8-Bit-Spezialregister, das die Position der Oberseite des Stapels im Allzweck-RAM anzeigt. Nach dem Zurücksetzen des Mikrocontrollers beträgt der Anfangswert von SP 07H, das heißt, der Stapel erhöht sich ab 08H. 08H~1FH sind Arbeitsregistergruppen 1~3.

#### PSW(D0h) Programmstatuswortregister

	7	6	5	4	3	2	1	0
Bitnummernsymbol	CY	AC-	F0	RS1	RS0	OV	F1	P
Lese-/Schreib-Lese-	Schreib-	Lesen/Schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen Schreiben	lesen Schreiben
Anfangswert beim Einschalten	0	0	0	0	0	0	0	0

Bit Nummer	Bitzeichen	veranschaulichen															
7	<b>CY</b>	Flag-Bit 1: Wenn im höchsten Bit der Additionsoperation ein Übertrag vorhanden ist oder im höchsten Bit der Subtraktionsoperation ein Ausleiht vorhanden ist 0: Im höchsten Bit der Additionsoperation gibt es keinen Übertrag, oder im höchsten Bit der Subtraktionsoperation gibt es kein Borg-Bit.															
6	<b>Wachstums</b>	Carry-Hilfsflag (kann während der Additions- und Subtraktionsoperationen des BCD-Codes leicht angepasst werden) 1: Während der Additionsoperation befindet sich in Bit3 ein Übertrag oder während der Subtraktionsoperation befindet sich in Bit3 ein Übertragsbit. 0: Kein Ausleihen oder Tragen															
5	<b>F0</b>	Benutzer-Flag-Bit															
4-3	RS1- und RS0- Arbeitsregistergruppenauswahlbits:	<table border="1"> <tr> <td>RS1</td> <td>RS0 verwendet</td> <td>derzeit die Arbeitsregistergruppe 0 bis 3</td> </tr> <tr> <td>0</td> <td>0</td> <td>Gruppe 0 (00H-07H)</td> </tr> <tr> <td>0</td> <td>1</td> <td>Gruppe 1 (08H-0FH)</td> </tr> <tr> <td>1</td> <td>0</td> <td>Gruppe 2 (10H-17H)</td> </tr> <tr> <td>1</td> <td>1</td> <td>Gruppe 3 (18H-1FH)</td> </tr> </table>	RS1	RS0 verwendet	derzeit die Arbeitsregistergruppe 0 bis 3	0	0	Gruppe 0 (00H-07H)	0	1	Gruppe 1 (08H-0FH)	1	0	Gruppe 2 (10H-17H)	1	1	Gruppe 3 (18H-1FH)
RS1	RS0 verwendet	derzeit die Arbeitsregistergruppe 0 bis 3															
0	0	Gruppe 0 (00H-07H)															
0	1	Gruppe 1 (08H-0FH)															
1	0	Gruppe 2 (10H-17H)															
1	1	Gruppe 3 (18H-1FH)															
2	<b>OV</b>	Überlaufflag															
1	<b>F1</b>	F1-Logo Benutzerdefiniertes Logo															
0	<b>P</b>	Paritätsflagge. Dieses Flag ist der Paritätswert der Anzahl der Einsen im Akkumulator ACC. 1: Die Anzahl der Einsen in ACC ist eine ungerade Zahl 0: Die Anzahl der Einsen in ACC ist eine gerade Zahl (einschließlich 0)															

**Datenzeiger DPTR (82H, 83H), DPTR1 (84H, 85H) und deren Auswahlregister DPS (86H)**

SC93F833X verfügt über zwei Datenzeiger DPTR und DPTR1. Die Datenzeiger DPTR/DPTR1 sind 16-Bit-Spezialregister, bestehend aus den unteren 8 Bits.

Es besteht aus DPL/DPL1 und hohem 8-Bit-DPH/DPH1. DPTR/DPTR1 sind Register, die 16-Bit-Operationen direkt ausführen können, oder sie können auch mit DPL bzw. DPL arbeiten.

DPH arbeitet auf Byte-Basis und die Auswahl und der Arbeitsstatus der Datenzeiger DPTR/DPTR1 werden durch das Datenzeiger-Auswahlregister DPS festgelegt.

**DPS (86H) Datenzeiger-Auswahlregister (Lesen/Schreiben)**

Bit Nummer 7 Symbol	Lesen/	6	5	4	3	2	1	0
	ID1	ID0	TSL	AU1	AU0	-	-	SEL
Schreiben Lesen/Schreiben		lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	-	-	lesen Schreiben
Einschaltanfangswert 0		0	0	0	0	X	X	0

Bit Nummer	Bitzeichen	veranschaulichen
7	<b>ID1</b>	DPTR1-Additions- und Subtraktionssteuerbit 0: Wenn AU1=1, wird bei jeder Ausführung von MOVC/MOVX @DPTR das aktuelle DPTR1 <small>1 automatisch hinzufügen</small> 1: Wenn AU1=1, wann immer MOVC/MOVX @DPTR ausgeführt wird, der aktuelle DPTR1 <small>Automatisch minus 1</small>
6	<b>ID0</b>	DPTR-Additions- und Subtraktionssteuerbit 0: Wenn AU0 = 1, ist jedes Mal, wenn MOVC/MOVX @DPTR ausgeführt wird, das aktuelle DPTR <small>1 dynamisch hinzufügen;</small> 1: Wenn AU0=1, wann immer MOVC/MOVX @DPTR ausgeführt wird, das aktuelle DPTR <small>Um 1 verringern</small>
5	<b>TSL</b>	SEL-Umschaltsteuerbit 0: DPS.0 (SEL) schaltet nicht um, wenn MOVC/MOVX @DPTR ausgeführt wird 1: Immer wenn MOVC/MOVX @DPTR ausgeführt wird, wechselt DPS.0 (SEL) einmal
4	<b>AU1</b>	DPTR1 Steuerbit für automatische Addition und Subtraktion 0: Keine 1: Immer wenn MOVC/MOVX @DPTR ausgeführt wird, erhöht oder verringert sich der aktuelle DPTR1. 1 (abhängig von ID1)
3	<b>AU0</b>	DPTR-Steuerbit für automatische Addition und Subtraktion 0: Keine 1: Immer wenn MOVC/MOVX @DPTR ausgeführt wird, erhöht oder verringert sich der aktuelle DPTR um 1 (je nachdem).

		(abhängig von ID0) Hinweis: Wenn AU1 1 <b>schreibt</b> , wird auch <b>AU0</b> auf 1 gesetzt. Der Benutzer kann dies verhindern, indem er Folgendes tut Wenn <b>AU1</b> auf 1 gesetzt ist , wird auch <b>AU0</b> auf 1 gesetzt : ý Schreiben Sie zuerst 0xAA in das TA- Register . ý Schreiben Sie dann 0x55 in das TA- Register. Ausführung: AU1 = 1
0	<b>SEL</b>	Auswahlbits DPTR, DPTR1 0: MOVC/MOVX @DPTR-Objekt ist DPTR0 1: MOVC/MOVX @DPTR-Objekte sind für DPTR1 reserviert
2~1	-	

## 7Power , Reset und Uhr

### 7.1 Stromkreis

Der Stromversorgungskern SC93F833X umfasst BG-, LDO-, POR-, LVD/LVR- und andere Schaltkreise, die einen zuverlässigen Betrieb im Bereich von 2,4 bis 5,5 V erreichen können. Darüber hinaus verfügt der IC über eine eingebaute, kalibrierte, genaue 2,4-V-Spannung, die als interne ADC-Referenzspannung verwendet werden kann. Benutzer finden die [spezifischen Einstellungen in 17 Analog-Digital-Konvertierung ADC](#) .

### 7.2 Power-on-Reset-Vorgang

Nachdem SC93F833X eingeschaltet wurde, durchläuft es vor der Ausführung der Client-Software die

folgenden Prozesse: ý

Reset-Phase ý

Ladeinformationsphase ý Normale Betriebsphase

#### 7.2.1 Reset-Phase

Dies bedeutet, dass sich der SC93F833X immer im Reset befindet und die interne Funktion erst wirksam wird, wenn die an den SC93F833X angelegte Spannung höher als eine bestimmte Spannung ist. Uhr. Die Länge der Reset-Phase hängt von der Anstiegsgeschwindigkeit der externen Stromversorgung ab. Die Reset-Phase wird erst abgeschlossen, wenn die externe Stromversorgung die eingebaute POR-Spannung erreicht.

#### 7.2.2 Überführung in die Informationsphase

Im Inneren des SC93F833X befindet sich ein Vorheizzähler. Während der Reset-Phase wird der Vorheizzähler auf 0 zurückgesetzt, bis die Spannung die POR-Spannung überschreitet, der interne RC-Oszillator zu schwingen beginnt und der Vorheizzähler zu zählen beginnt. Wenn der interne Vorheizzähler bis zu einer bestimmten Zahl zählt, liest jede bestimmte Anzahl von HRC-Takten ein Datenbyte aus dem IFB (einschließlich Codeoption) im Flash-ROM und speichert es im internen Systemregister. Dieses Rücksetzsignal wird erst beendet, wenn das Vorheizen abgeschlossen ist.

#### 7.2.3 Normale Betriebsphase

Nach Beendigung der Ladeinformationsphase beginnt SC93F833X mit dem Lesen des Anweisungscode aus Flash und tritt in die normale Betriebsphase ein. Der LVR-Spannungswert zu diesem Zeitpunkt ist der vom Benutzer in Code Option geschriebene Einstellwert.

### 7.3 Reset-Methode

SC93F833X verfügt über 4 Reset-Methoden: ý Externer RST-Reset ý Niederspannungs-Reset LVR ý Power-On-Reset POR ý Watchdog WDT-Reset.

#### 7.3.1 Externer RST- Reset

Der externe RST-Reset dient dazu, dem SC93F833X ein Reset-Impulssignal einer bestimmten Breite vom externen RST zu geben, um den Reset des SC93F833X zu realisieren. Vor dem Brennen des Programms kann der Benutzer den RST/TK22/INT01/P1.1-Pin über das Element „Kundenoption“ der Host-Computersoftware als RST (Reset-Pin) konfigurieren.

#### 7.3.2 Niederspannungs-Reset LVR

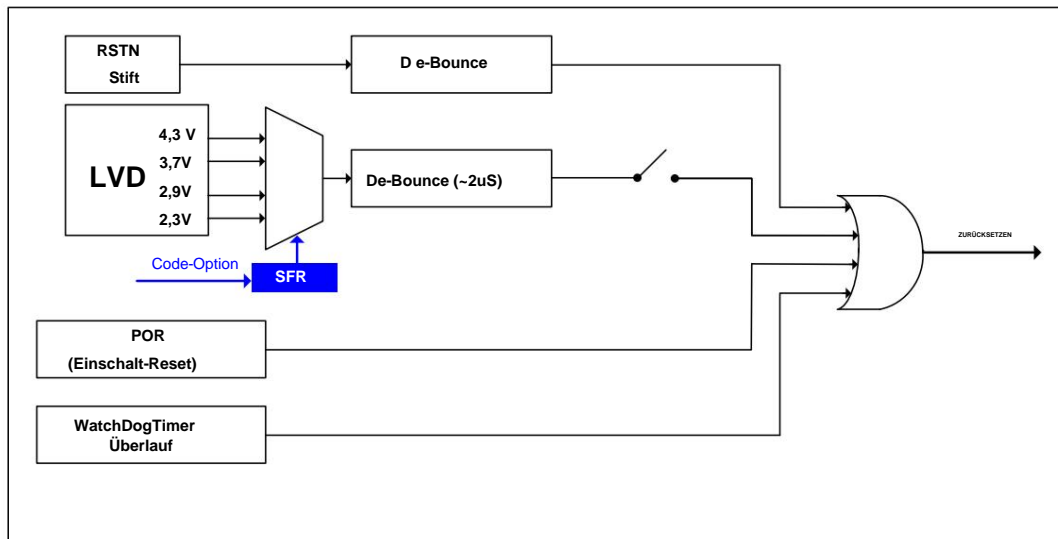
SC93F833X verfügt über einen integrierten Niederspannungs-Reset-Schaltkreis. Es gibt 4 Optionen für die Rücksetzschwellenspannung: 4,3 V, 3,7 V, 2,9 V, 2,3 V, Standardwert Standard ist der vom Benutzer geschriebene Optionswert.

**OP\_CTM0(C1H@FFH) Kundenoptionsregister 0 (Lesen/Schreiben)**

	7	6	5	4	3	2	1	0
Bitnummersymbol	ENWDT ENXTL	lesen/schreiben	SCLKS[1:0] lesen/		DISRST DISLVR		LVRs[1:0]	
lesen/schreiben	lesen/schreiben	Anfangswert beim	schreiben		lesen Schreiben	lesen Schreiben	lesen Schreiben	
Einschalten n		N	N		N	N	N	

Bitnummer	Bitzeichen	veranschaulichen
2	<b>DISLVR</b>	LVR-Aktivierungseinstellung 0: LVR normaler Gebrauch 1: LVR ist ungültig
1-0	<b>LVRs [1:0]</b>	LVR-Spannungsauswahlsteuerung 11: 4,3 V-Reset 10: 3,7 V zurückgesetzt 01: 2,9 V zurückgesetzt 00: 2,3 V zurückgesetzt

Das Strukturdiagramm der Reset-Schaltung des SC93F833X lautet wie folgt:



Schaltplan zum Zurücksetzen des SC93F833X

### 7.3.3 Power-on-Reset POR

SC93F833X verfügt über eine interne Einschalt-Reset-Schaltung. Wenn die Versorgungsspannung VDD die POR-Reset-Spannung erreicht, wird das System automatisch zurückgesetzt.

### 7.3.4 Watchdog-Reset WDT

SC93F833X verfügt über einen WDT, dessen Taktquelle der interne 2-kHz-Oszillator ist.

#### OP\_CTM0(C1H@FFh) Kundenoptionsregister 0 (Lesen/Schreiben)

	7	6	5	4	3	2	1	0
Bitnummersymbol	ENWDT ENXTL	lesen/schreiben	SCLKS[1:0] lesen/		DISRST DISLVR		LVRs[1:0]	
lesen/schreiben	Anfangswert	lesen Schreiben	schreiben		lesen Schreiben	lesen Schreiben	lesen Schreiben	
beim Einschalten n		N	N		N	N	N	

Bitnummer	Bitzeichen	veranschaulichen
7	<b>ENWDT</b>	WDT-Schalter (dieses Bit wird vom System auf den durch die Benutzercode-Option eingestellten Wert übertragen) 1: WDT beginnt zu arbeiten 0: WDT ist ausgeschaltet

**WDTCON (CFh) Watchdog-Steuerregister (L lesen/Schreiben)**

Bitnummer	7	6	5	4	3	2	1	0
	-	-	-	CLRWDT	-	WDTCKS[2:0]		
	-	-	-	lesen/schreiben	-	lesen/Schreiben		
Einschaltanfangswert x		X	X	0	X	0	0	0

Bit Nummer	Bitzeichen	veranschaulichen																		
4	<b>CLRWDT</b>	WDT löscht das „0“-Bit (das Schreiben von 1 ist gültig) 1: Der WDT-Zähler beginnt bei 0 zu zählen Dieses Bit wird von der Systemhardware automatisch auf 0 gesetzt																		
2-0	<b>WDTCKS [2:0]</b> Auswahl der Watchdog-Uhr	<table border="1"> <thead> <tr> <th>WDTCKS[2:0]</th> <th>WDT-Überlaufzeit</th> </tr> </thead> <tbody> <tr><td>000</td><td>500 ms</td></tr> <tr><td>001</td><td>250ms</td></tr> <tr><td>010</td><td>125ms</td></tr> <tr><td>011</td><td>62,5 ms</td></tr> <tr><td>100</td><td>31,5 ms</td></tr> <tr><td>101</td><td>15,75 ms</td></tr> <tr><td>110</td><td>7,88 ms</td></tr> <tr><td>111</td><td>3,94 ms</td></tr> </tbody> </table>	WDTCKS[2:0]	WDT-Überlaufzeit	000	500 ms	001	250ms	010	125ms	011	62,5 ms	100	31,5 ms	101	15,75 ms	110	7,88 ms	111	3,94 ms
WDTCKS[2:0]	WDT-Überlaufzeit																			
000	500 ms																			
001	250ms																			
010	125ms																			
011	62,5 ms																			
100	31,5 ms																			
101	15,75 ms																			
110	7,88 ms																			
111	3,94 ms																			
7-5,3	-	Reservieren																		

**7.3.5 Ausgangszustand zurücksetzen**

Wenn der SC93F833X zurückgesetzt wird, kehren die meisten Register in ihren Ausgangszustand zurück. Der Watchdog WDT befindet sich in einem geschlossenen Zustand, ebenso der PORT-Port. Das Register ist FFh. Der Anfangswert des Programmzählers PC ist 0000h und der Anfangswert des Stapelzeigers SP ist 07h. „Heißstart“-Reset (z. B. WDT, LVR, Software-Reset usw.) wirkt sich nicht auf SRAM aus und der SRAM-Wert ist immer der Wert vor dem Zurücksetzen. Der Inhalt des SRAM geht verloren, wenn die Versorgungsspannung des RAM niedrig ist. Bis es nicht mehr zu retten ist.

Der anfängliche Rücksetzwert des SFR-Registers beim Einschalten lautet wie folgt:

Anfangswert des SFR- Namens		SFR -Name	Ursprünglicher Wert
ACC	00000000b	P1	0000000xb
B	00000000b	P1CON	0000000xb
PSW	00000000b	PPPH	0000000xb
SP	00001111b	P2	00000000b
DPL	00000000b	P2CON	00000000b
DPH	00000000b	P2PH	00000000b
DPL1	00000000b	P5	xxxx000b
DPH1	00000000b	P5CON	xxxx000b
DPS	0000xx0b	P5PH	xxxx000b
PCON	0xxxx00b	PGACFG	0x000000b
ADCCFG0	00000000b	PGACON	0000xxxxb
ADCCFG1	xxxxxx00b	PWMCFG	xx000000b
ADCCON	00000000b	PWMCON	00000000b
ADCVH	00000000b	PWMDTYA	xx000000b
ADCVL	0000xxxxb	PWMDTY0	00000000b
BTMCON	00xx000b	PWMDTY1	00000000b
IAPADE	00000000b	PWMDTY2	00000000b
IAPADH	xx000000b	PWMPRD	00000000b
IAPADL	00000000b	RCAP2H	00000000b
IAPCTL	xxx0000b	RCAP2L	00000000b
IAPDAT	xxxxxxxxxb	SBUF	00000000b
IAPKEY	00000000b	SCON	00000000b
IE	00000000b	SSDAT	00000000b
IE1	xxx00000b	SSCON0	0x000000b
INT0R	xxx0000xb	SSCON1	00x00x0b
INT1R	xxx0000b	SSCON2	00000000b
INT2R	xx000000b	TA	00000000b
INT0F	xxx0000xb	TCON	0000xxxxb

INT1F	xxxx0000b	TMCON	xxxxx000b
INT2F	xx000000b	TMOD	x000x000b
IP	x0000000b	TH0	00000000b
IP1	xxx00000b	TL0	00000000b
OPINX	00000000b	TH1	00000000b
OPREG	nnnnnnnb	TL1	00000000b
EXADH	xxxxxx00b	T2CON	00000000b
OTCON	00xx00xxb	TH2	00000000b
IOHCON	00000000b	TL2	00000000b
P0	00000000b	T2MOD	xxxxxx00b
P0CON	00000000b	WDTCON	xxx0x000b
P0PH	00000000b	TSCFG	0xxxxx0b
P0VO	xxx00000b		

## 7.4 Hochfrequenz-Systemtaktschaltung

SC93F833X verfügt über einen eingebauten hochpräzisen HRC mit einstellbarer Oszillationsfrequenz. Der HRC ist ab Werk genau auf 12 MHz bei 5 V/25 °C eingestellt. Benutzer können dies tun Stellen Sie den Systemtakt über die Code-Option des Programmiergeräts auf 12/6/2 MHz ein. Der Kalibrierungsprozess besteht darin, die Abweichungen im Herstellungsprozess herauszufiltern, die sich auf die Genauigkeit auswirken. Auswirkungen. Dieser IRC weist aufgrund der Temperatur der Arbeitsumgebung und der Arbeitsspannung eine gewisse Drift auf. Für Spannungsdrift (4,5 V ~ 5,5 V) und (-20 °C ~ 85 °C). Die Temperaturdrift liegt im Allgemeinen innerhalb von ±1 %.

### OP\_CTM0(C1H@FFh) Kundenoptionsregister 0 (Lesen/Schreiben)

Bitnummer	7	6	5	4	3	2	1	0
Symbol	ENWDY	ENXTL	SCLKS[1:0]		DISRST	DISLVR	LVRS[1:0]	
lesen Schreiben		lesen Schreiben	lesen Schreiben		lesen Schreiben	lesen Schreiben	lesen Schreiben	
Einschaltanfangswert		N	N		N	N	N	

Bitnummer	Bitsymbol	verschaulichen
5~4	SCLKS[1:0] Auswahl der Systemtaktfrequenz:	00: reserviert; 01: Die Systemtaktfrequenz ist die Frequenz des Hochfrequenzoszillators geteilt durch 2; 10: Die Systemtaktfrequenz ist die Frequenz des Hochfrequenzoszillators geteilt durch 4; 11: Die Systemtaktfrequenz ist die Frequenz des Hochfrequenzoszillators geteilt durch 12.

SC93F833X verfügt über eine besondere Funktion: Der Benutzer kann den SFR-Wert ändern, um die IRC-Frequenz innerhalb eines bestimmten Bereichs (ca. ±20 %) anzupassen.

### OP\_HRCR (83h@FFh) Systemuhr-Änderungsregister (Lesen/Schreiben)

Bitnummer	7	6	5	4	3	2	1	0
	OP_HRCR[7:0]							
	lesen Schreiben							
Bitnummersymbol	Lesen	Schreiben, Anfangswert beim Einschalten	N	N	N	N	N	N

Bitnummer	Bitsymbol	verschaulichen
7~0	OP_HRCR[7:0] HRC- Frequenzänderungsregister	OP_HRCR[7:0] Der HRC-Wert nach dem Einschalten stellt sicher, dass HRC genau arbeiten kann 12/6/2 MHz (je nach Code-Optionsauswahl des Benutzers), der Anfangswert dieses Werts gilt für jeden IC Es kann Unterschiede geben. Benutzer können die IRC-Betriebsfrequenz anpassen, indem sie den Wert dieses Registers ändern. Ändern. Der Anfangswert ist OP_HRCR [s]. Zu diesem Zeitpunkt arbeitet der IC mit 12/6/2 MHz. Jedes Mal, wenn sich OP_HRCR [7:0] um 1 ändert, ändert sich die IRC-Frequenz um etwa 23,4 kHz bei 12 MHz. Die Beziehung zwischen OP_HRCR [7:0] und der IRC-Ausgangsfrequenz ist wie folgt:



		OP_HRCR [7:0] Wert	Tatsächliche IRC-Ausgangsfrequenz (12M als Beispiel)
		OP_HRCR[s]-n	$(12000-n*23,4)\text{kHz}$
		...	....
		OP_HRCR[s]-2	$12000-46,8 = 11953,2 \text{ kHz}$
		OP_HRCR[s]-1	$12000-23,4=11976,6 \text{ kHz}$
		OP_HRCR [s]	12000 kHz
		OP_HRCR [s]+1	$12000+23,4=12023,4\text{kHz}$
		OP_HRCR [s]+2	$12000+46,8=12046,8\text{kHz}$
		...	...
		OP_HRCR [s]+n	$(12000+n*23,4)\text{kHz}$

veranschaulichen:

- Nach jedem Einschalten des IC ist der Wert von OP\_HRCR[7:0] der HRC-Arbeitszustand, der dem am nächsten kommt 12/6/2 MHz HRC; Benutzer können das EEPROM verwenden, um die HRC nach jedem Einschalten zu korrigieren Wert, der es HRC ermöglicht, mit der vom Benutzer geforderten Frequenz zu arbeiten;
- Um einen zuverlässigen Betrieb des IC zu gewährleisten, sollte die maximale Betriebsfrequenz des IC 10 % von 12 MHz nicht überschreiten. Das sind 13,2 MHz;
- Bitte bestätigen Sie, dass die Änderung der IRC-Frequenz keine Auswirkungen auf andere Funktionen hat.

## 7.5 Niederfrequenzoszillator und Niederfrequenz-Taktgeber

SC93F833X verfügt über eine integrierte RC- und 32,768-kHz-Quarzoszillatorschaltung mit einer Frequenz von 128 kHz, die als Basis-Timer für den Niederfrequenz-Taktgeber dient. Taktquelle. Dieser Oszillator ist direkt mit einem Base Timer verbunden, der die CPU aus dem STOP-Modus aufwecken und Interrupts generieren kann.

### BTMCON (CEH) Niederfrequenz-Timer-Steueregister (Lesen/Schreiben)

Bitnummer	7	6	5	4	3	2	1	0
Symbol ENBTM BTMIF Lesen/Schreiben			-	-	-	BTMFS[3:0]		
Startwert		lesen Schreiben	-	-	-	lesen Schreiben		
0 beim Einschalten lesen/schreiben		0	X	X	X	0	0	0

Bit Nummer	Bitsymbol	veranschaulichen
7	<b>ENBTM</b> Niederfrequenz-Basis-Timer-Startsteuerung	0: 128-kHz-LRC/32-K-Quarzoszillator und Niederfrequenz-Basistimer starten nicht 1: 128kHz LRC/32K Quarzoszillator Niederfrequenz-Basistimer startet
6	<b>BTMIF</b>	Basis-Timer-Interrupt-Anforderungsflag Wenn die CPU den Basis-Timer-Interrupt akzeptiert, wird dieses Flag automatisch von der Hardware gelöscht. Benutzer können es auch mithilfe einer Software löschen.
3-0	<b>BTMFS [3:0]</b> Auswahl der Interrupt-Frequenz für den Niederfrequenztakt	000: Generieren Sie alle 15,6 ms einen Interrupt 001: Generieren Sie alle 31,3 ms einen Interrupt 010: Generieren Sie alle 62,5 ms einen Interrupt 011: Generieren Sie alle 125 ms einen Interrupt 100: Generieren Sie alle 0,25 Sekunden einen Interrupt 101: Generieren Sie alle 0,5 Sekunden einen Interrupt 110: Generieren Sie alle 1,0 Sekunden einen Interrupt 111: Generieren Sie alle 2,0 Sekunden einen Interrupt
5-4	-	Reservieren

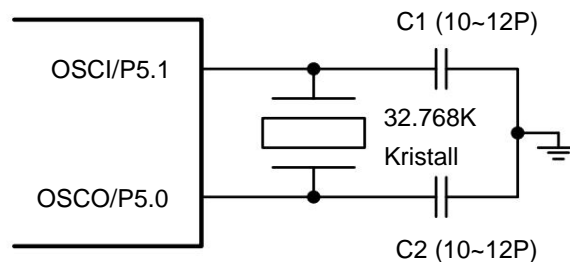
### OP\_CTM0(C1H@FFh) Kundenoptionsregister 0 (Lesen/Schreiben)

Bitnummer	7	6	5	4	3	2	1	0
-----------	---	---	---	---	---	---	---	---

Symbol	ENWD <sup>T</sup>	ENXTL		SCLKS[1:0]	DISRST DISLVR		LVR[1:0]
	lesen Schreiben	lesen Schreiben	lesen Schreiben	lesen Schreiben	lesen Schreiben	lesen Schreiben	lesen Schreiben
Einschaltanfangswert	1	N	N	N	N	N	N

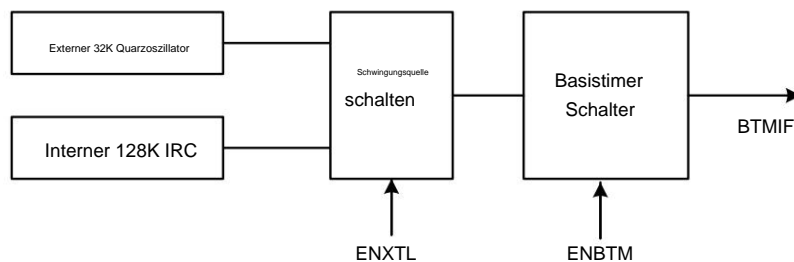
Bit Nummer	Bitzeichen	veranschaulichen
6	ENXTL	Externer 32k-Quarzoszillator-Auswahlschalter 0: Der externe 32k-Quarzoszillator ist ausgeschaltet, P5.0 und P5.1 sind gültig und der interne LRC ist gültig; 1: Der externe 32k-Quarzoszillator ist eingeschaltet, P5.0 und P5.1 sind ungültig und der interne LRC ist ungültig.

Die Anschlussschaltung zum Anschluss von P5.0/P5.1 an einen externen 32K-Oszillator als BaseTimer ist wie folgt:



Anschlussdiagramm für einen externen 32k-Quarzoszillator

Das Beziehungsdiagramm für die interne und externe Oszillationsauswahl des Base Timers lautet wie folgt:



Strukturdiagramm des Basis-Timers

## 7.6 STOP- Modus und IDLE- Modus

SC93F833X bietet ein spezielles Funktionsregister PCON. Durch die Konfiguration von Bit0 und Bit1 dieses Registers kann die MCU so gesteuert werden, dass sie in verschiedene Arbeitsmodi wechselt.

Modus.

Schreiben Sie 1 in PCON.1, der interne Hochfrequenz-Systemtakt stoppt und wechselt in den STOP-Modus, erreichen energiesparfunktion. Im STOP-Modus verwenden Benutzer können SC93F833X durch externe Interrupts INT0-INT2 und niederfrequente Taktinterrupts aufwecken und STOP auch durch externen Reset aufwecken.

Schreiben Sie 1 in PCON.0, das Programm stoppt die Ausführung und wechselt in den IDLE-Modus, aber die externen Geräte und Uhren laufen weiter. Alle Daten vor dem Eintritt in den IDLE-Modus CPU-Zustände werden gespeichert. Der IDLE-Modus kann durch jeden Interrupt aktiviert werden.

### PCON (87H) Leistungssteuerregister (nur schreiben, \*nicht lesbar \*)

	7	6	5	4	3	2	1	0
Bitnummersymbol	SMOD Nur	-	-	-	-	-	STOPPEN	IDL
lesen/schreiben	Anfangswert	-	-	-	-	-	schreibe einfach	schreibe einfach
beim Einschalten	schreiben 0	X	X	X	X	X	0	0

Bitnummer	Bitzeichen	veranschaulichen
1	STOPPEN	Steuerung des STOP-Modus 0: Normaler Betriebsmodus



		1: Energiesparmodus, der Hochfrequenzoszillator funktioniert nicht mehr und der Niederfrequenzoszillator und das WDT können je nach Einstellung wählen, ob sie arbeiten oder nicht.
0	<b>IDL</b>	Steuerung des IDLE- Modus 0: Normaler Betriebsmodus 1: Energiesparmodus, das Programm stoppt die Ausführung, externe Geräte und Uhren laufen jedoch weiter und alle CPU-Zustände werden gespeichert, bevor in den IDLE-Modus gewechselt wird.

## Hinweis:

Wenn Sie die MCU so konfigurieren, dass sie in den STOP- oder IDLE- Modus wechselt , müssen nach der Anweisung zum Konfigurieren des PCON- Registers 8 NOP- Anweisungen hinzugefügt werden . Darauf können keine anderen Anweisungen direkt folgen, da sonst nachfolgende Anweisungen nach dem Aufwachen nicht normal ausgeführt werden! Beispiel: Stellen Sie die MCU so ein, dass sie in den STOP-Modus wechselt:

## C-Sprachroutine:

```
#include „intrins.h“
```

```
PCON |= 0x02;           //Schreiben Sie 1 in das Bit1-STOP-Bit von PCON, um die MCU so zu konfigurieren, dass sie in den STOP-Modus
_nop_();               wechselt //Es sind mindestens 8 _nop_() erforderlich
_nop_();
_nop_();
_nop_();
_nop_();
_nop_();
_nop_();
_nop_();
...

```

## Montageroutine:

```
ORL PCON,#02H         ; Schreiben Sie 1 in das Bit1-STOP-Bit von PCON, um die MCU so zu konfigurieren, dass sie in den STOP-Modus
NEIN                 wechselt. Es sind mindestens 8 NOPs erforderlich
NEIN
NEIN
NEIN
NEIN
NEIN
NEIN
NEIN
...

```

## 8Zentraleinheit CPU und Befehlssystem

### 8.1 CPU

Die vom SC93F833X verwendete CPU ist ein ultraschneller 1T-Standard-8051-Kern und seine Anweisungen sind vollständig kompatibel mit herkömmlichen 8051-Kern-Mikrocontrollern.

### 8.2 Adressierungsmodus

Die Adressierungsmodi der 1T 8051 CPU-Befehle des SC93F833X sind:  $\bar{y}$  Sofortige Adressierung  $\bar{y}$  Direkte Adressierung  $\bar{y}$  Indirekte Adressierung  $\bar{y}$  Registeradressierung  $\bar{y}$  Relative Adressierung

Adresse  $\bar{y}$  Indexadressierung  $\bar{y}$  Bitadressierung

#### 8.2.1 Sofortige Adressierung

Die unmittelbare Adressierung wird auch als unmittelbare Daten bezeichnet. Sie gibt direkt die Operanden an, die an der Operation im Anweisungsoperanden teilnehmen sollen. Beispiele für Anweisungen sind wie folgt:

MOV A, #50H (Diese Anweisung sendet den unmittelbaren Wert 50H an den Akkumulator A)

#### 8.2.2 Direktadressierung

Im Direktadressierungsmodus gibt das Befehlsoperandenfeld die Adresse des an der Operation beteiligten Operanden an. Der Direktadressierungsmodus kann nur zum Ausdrücken von Sonderfunktionsadressen verwendet werden.

Register, interne Datenregister und Bitadressraum. Auf die Sonderfunktionsregister und den Bitadressraum kann nur über direkte Adressierung zugegriffen werden. Ein Beispiel lautet wie folgt: ANL 50H, #91H (zeigt an, dass die

Zahl in Einheit 50H mit der unmittelbaren Zahl 91H UND-verknüpft wird und das Ergebnis in Einheit 50H gespeichert wird. 50H ist die direkte Zahl

Die verbundene Adresse stellt eine Einheit im internen Datenregister RAM dar. )

#### 8.2.3 Indirekte Adressierung

Die indirekte Adressierung wird durch das Hinzufügen des „@“-Symbols vor R0 oder R1 dargestellt. Angenommen, die Daten in R1 sind 40H und die Daten in der 40H-Einheit des internen Datenspeichers sind es 55H, dann lautet der Befehl

MOV A, @R1 (Daten 55H an Akkumulator A übertragen).

#### 8.2.4 Registeradressierung

Bei der Registeradressierung werden die Zahlen in den ausgewählten Arbeitsregistern R7–R0, Akkumulator A, Generalregister B, Adressregister und Übertrag C bedient. Die Register R7 bis R0 werden durch die unteren drei Bits des Befehlscode dargestellt, und ACC, B, DPTR und Übertragsbit C sind im Befehlscode implizit enthalten. Daher umfasst die Registeradressierung auch einen impliziten Adressierungsmodus. Die Auswahl des Registerarbeitsbereichs wird durch RS1 und RS0 im Programmstatuswortregister PSW bestimmt. Die durch die Befehlsoperanden angegebenen Register beziehen sich auf die Register des aktuellen Arbeitsbereichs.

INC R0 bedeutet (R0)+1 $\bar{y}$ R0

#### 8.2.5 Relative Adressierung

Bei der relativen Adressierung wird der aktuelle Wert im Programmzähler-PC zu der im zweiten Byte des Befehls angegebenen Zahl addiert und das Ergebnis als Übertragungsadresse des Übertragungsbefehls verwendet. Die Verzweigungsadresse wird auch zur Verzweigungszieladresse, der aktuelle Wert im PC wird zur Basisadresse und die im zweiten Byte des Befehls angegebene Zahl wird zum Offset. Da die Zieladresse relativ zur Basisadresse im PC ist, wird diese Adressierungsmethode relative Adressierung genannt. Der Offset ist eine vorzeichenbehaftete Zahl und der darstellbare Bereich liegt zwischen +127 und -128. Dieser Adressierungsmodus wird hauptsächlich für Übertragungsanweisungen verwendet.

JC  $\bar{y}$ +50H bedeutet,

dass sich der Inhalt des Programmzählers PC nicht ändert, wenn das Übertragsbit C 0 ist, dh es findet keine Übertragung statt. Wenn das Übertragsbit C 1 ist, ist der aktuelle Wert im PC Wert und Basisadresse, und das nach Addition des Offsets 50H erhaltene Ergebnis wird als Zieladresse des Übertragungsbefehls verwendet.

#### 8.2.6 Indizierte Adressierung

Im indizierten Adressierungsmodus gibt der Befehlsoperand ein Indexregister an, das die Indexbasisadresse speichert. Bei der Indexadressierung wird der Offset zum Indexbasiswert addiert und das Ergebnis als Adresse des Operanden verwendet. Das Indexregister umfasst den Programmzähler PC und das Adressregister DPTR.

MOV C A, @A+DPTR bedeutet, dass Akkumulator

A ein Offsetregister ist und sein Inhalt zum Inhalt im Adressregister DPTR addiert wird. Das Ergebnis wird als Adresse des Operanden verwendet und die Zahl in dieser Einheit wird herausgenommen und an Akku A gesendet.

#### 8.2.7 -Bit-Adressierung

Die Bitadressierung bezieht sich auf den Adressierungsmodus bei der Durchführung von Bitoperationen an einigen internen Datenspeicher-RAMs und speziellen Funktionsregistern, die Bitoperationen ausführen können. Bei der Durchführung von Bitoperationen wird das Übertragsbit C als Bitoperationsakkumulator verwendet. Der Befehlsoperand gibt direkt die Adresse des Bits an, und dann wird die Bitoperation entsprechend der Art des Opcodes am Bit ausgeführt. Bit-Adressen werden genauso kodiert wie Byte-Adressen bei der Byte-Direktadressierung. Sie unterscheiden sich hauptsächlich durch die Art der Operationsanweisungen. Bei ihrer Verwendung ist besondere Vorsicht geboten.

MOV C, 20H (Senden Sie den Bitoperationsregisterwert an Adresse 20H in das Übertragsbit C.)

## 9 INTERRUPT -Interrupt

Der Mikrocontroller SC93F833X bietet 12 Interrupt-Quellen: Timer0, Timer1, Timer2, INT0-2, ADC, PWM, UART, SSI, Base Timer, TK. Diese 12 Interrupt-Quellen sind in 2 Interrupt-Prioritätsstufen unterteilt und können individuell auf hohe oder niedrige Priorität eingestellt werden. drei externe Interrupts

Die Auslösebedingung jeder Interrupt-Quelle kann auf steigende, fallende oder steigende und fallende Flanken eingestellt werden. Jeder Interrupt verfügt über ein eigenes unabhängiges Prioritätseinstellungsbit und Interrupt-Flag.

Flag, Interrupt-Vektor und Enable-Bit, das Gesamt-Enable-Bit EA kann das Ein- oder Ausschalten aller Interrupts ermöglichen.

### 9.1 Interrupt-Quellen und -Vektoren

Die Interrupt-Quellen, Interrupt-Vektoren und zugehörigen Steuerbits des SC93F833X sind wie folgt aufgelistet:

Quelle unterbrechen	Es kommt zu einer Unterbrechung Zeit	Interrupt-Flag	Unterbrechungsfreigabe Kontrolle	Interrupt-Priorität Kontrolle	Priorität der Unterbrechungsvektorabfrage	Interrupt-Nummer (C51)	Flagge gelöscht Weg	Kann es geweckt werden? STOPPEN
INT0 externer Interrupt 0	Bedingungen erfüllt	-	EINT0	IPINT0	0003H	1 (hoch)	0	- fähig
Timer0 Timer0-Überlauf	aus	TF0	ET0	IPT0	000BH	2	1	H/W Auto kann nicht
INT1 externer Interrupt 1	Bedingungen erfüllt	-	EINT1	IPINT1	0013H	3	2	- fähig
Timer1 Timer1-Überlauf	aus	TF1	ET1	IPT1	001BH	4	3	H/W Auto kann nicht
UART empfängt oder sendet	Beenden	RI/TI	EUART	IPUART	0023H	5	4	erforderliche Benutzer Klar kann nicht
Timer2 Timer2-Überlauf	aus	TF2	ET2	IPT2	002BH	6	5	erforderliche Benutzer Klar kann nicht
ADC ADC-Konvertierung	Beenden	ADCIF	EADC	IPADC	0033H	7	6	erforderliche Benutzer Klar kann nicht
SSI empfangen oder senden	Beenden	SPIF/TWIF	ESSI	IPSPI	003BH	8	7	erforderliche Benutzer Klar kann nicht
PWM PWM-Überlauf	PWMIF	EPWM	IPPWM	0043H	9	8	H/W Auto kann nicht	
BTM-Basis-Timer	Überlauf	BTMIF	EBTM	IPBTM	004BH	10	9	H/W Auto kann
INT2 externer Interrupt 2	Bedingungen erfüllt	-	EINT2	IPINT2	0053H	11	10	- fähig
TK	Überlauf des Touch-Key-Zählers	tKIF	ETK	IPTK	005B	12	11	H/W Auto kann nicht

Wenn EA = 1 ist und jede Interrupt-Aktivierungssteuerung 1 ist, ist das Auftreten jedes Interrupts wie folgt:

Timer-Interrupt: Wenn Timer0 und Timer1 überlaufen, wird ein Interrupt generiert und die Interrupt-Flags TF0 und TF1 werden auf „1“ gesetzt. Wenn der Mikrocontroller den Timer ausführt

Während eines Interrupts werden die Interrupt-Flags TF0 und TF1 von der Hardware automatisch auf „0“ zurückgesetzt. Wenn Timer2 überläuft, wird ein Interrupt generiert und das Interrupt-Flag TF2 wird auf „1“ gesetzt.

Nachdem der Timer2-Interrupt aufgetreten ist, löscht die Hardware das TF2-Bit nicht automatisch. Dieses Bit muss von der Software des Benutzers gelöscht werden.

UART-Interrupt: Wenn der UART den Empfang oder das Senden eines Datenrahmens abschließt, wird das RI- oder TI-Bit von der Hardware automatisch auf „1“ gesetzt und der UART-Interrupt wird generiert. auf UART

Nachdem ein Interrupt aufgetreten ist, löscht die Hardware das RI/TI-Bit nicht automatisch. Dieses Bit muss von der Software des Benutzers gelöscht werden.

ADC-Interrupt: Der ADC-Interrupt tritt auf, wenn die ADC-Konvertierung abgeschlossen ist, und sein Interrupt-Flag ist das ADC-Konvertierungsende-Flag EOC/ADCIF

(ADCCON.4). Wenn der Benutzer ADCS so einstellt, dass die Konvertierung gestartet wird, wird der EOC von der Hardware automatisch auf „0“ gelöscht. Wenn die Konvertierung abgeschlossen ist, wird der EOC von der Hardware gelöscht.

Automatisch auf „1“ gesetzt. Nachdem der ADC-Interrupt aufgetreten ist, muss der Benutzer ihn mithilfe einer Software löschen, wenn er in die Interrupt-ServiceRoutine eintritt.

SSI-Interrupt: Wenn der SSI-Empfang oder die Übertragung eines Datenrahmens abgeschlossen ist, wird das SPIF/TWIF-Bit von der Hardware automatisch auf „1“ gesetzt und der TWI-Interrupt wird generiert. Wenn der Mikrocontroller ausführt Beim Ausführen dieses SSI-Interrupts muss das Interrupt-Flag SPIF/TWIF von der Software des Benutzers gelöscht werden.

PWM-Interrupt: Wenn der PWM-Zähler überläuft (d. h. wenn der Zähler PWMPRD überschreitet), wird das PWMIF-Bit (PWM-Interrupt-Flag) von der Hardware automatisch auf „1“ gesetzt und ein PWM-Interrupt generiert. Wenn der Mikrocontroller den PWM-Interrupt ausführt, wird das Interrupt-Flag PWMIF von der Hardware automatisch auf „0“ zurückgesetzt.

Externer Interrupt INT0 - 2: Wenn am externen Interrupt-Port eine Interrupt-Bedingung auftritt, tritt ein externer Interrupt auf. INT0 hat drei externe Interrupt-Quellen, INT1 hat

Vier externe Interrupt-Quellen, INT2 hat sechs externe Interrupt-Quellen, der Benutzer kann es je nach Bedarf auf steigende Flanke, fallende Flanke oder Doppelflanken-Interrupt einstellen und kann SFR Seite 29 von 87 einstellen



## SC93F8333/8332/8331

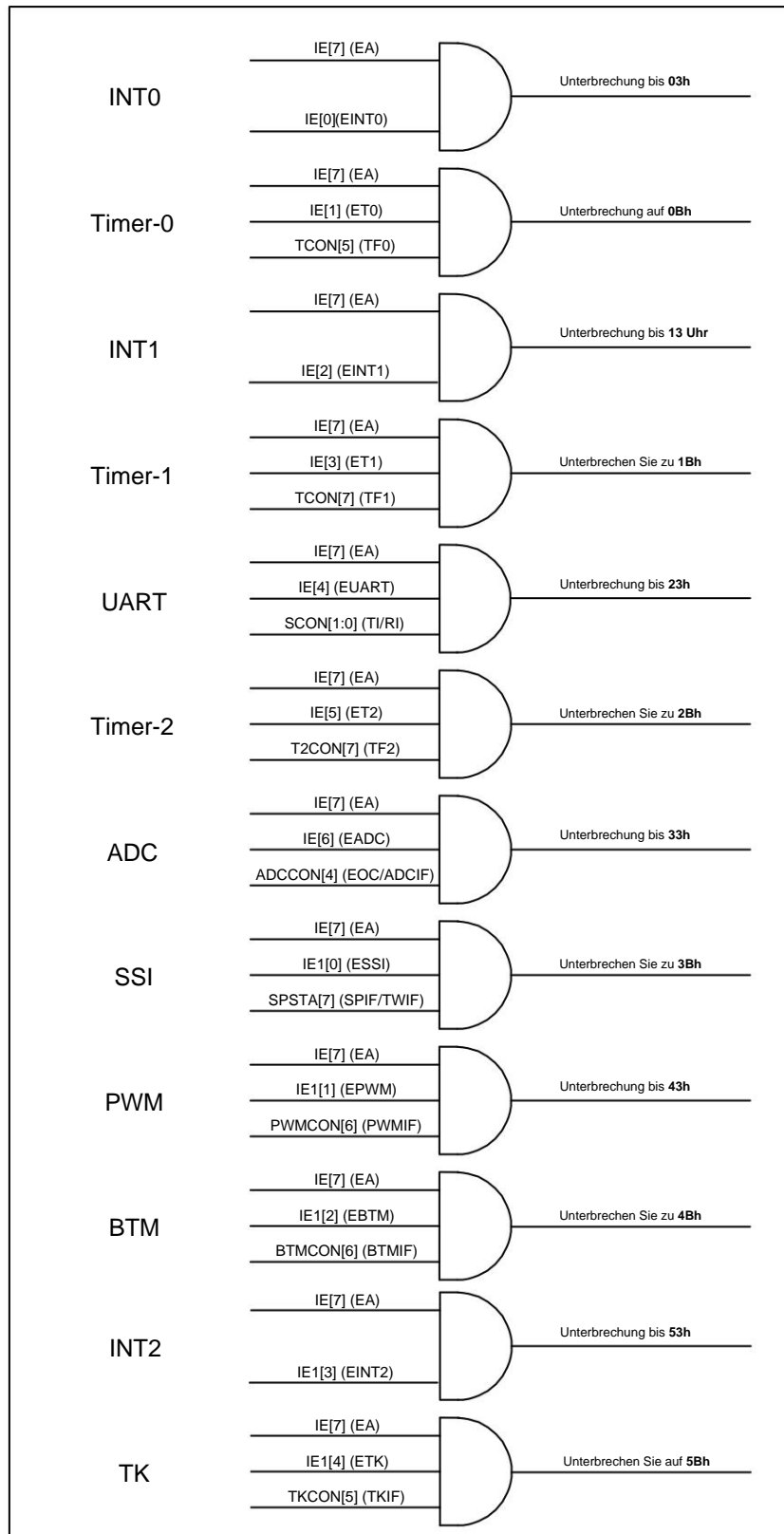
1T 32 -Bit-Bus 8051- Kern 23- Kanal-Touch -Flash-MCU mit hoher Empfindlichkeit

---

(INTxF und INTxR) zu erreichen. Der Benutzer kann die Prioritätsstufe jedes Interrupts über das IP-Register festlegen. Der externe Interrupt INT0 – 2 kann ebenfalls aktiviert werden STOP des Mikrocontrollers.

## 9.2 Interrupt-Strukturdiagramm

Die Interrupt-Struktur von SC93F833X ist in der folgenden Abbildung dargestellt:



SC93F833X-Interrupt-Struktur und -Vektoren

### 9.3 Interrupt-Priorität

Die Interrupts des SC93F833X-Mikrocontrollers verfügen über zwei Interrupt-Prioritätsstufen. Die Anforderungen dieser Interrupt-Quellen können als Interrupts mit hoher Priorität oder Interrupts mit niedriger Priorität programmiert werden. Durch Unterbrechen kann die Verschachtelung zweistufiger Interrupt-Serviceroutinen realisiert werden. Ein ausgeführter Interrupt mit niedriger Priorität kann durch eine Interrupt-Anfrage mit hoher Priorität unterbrochen werden, jedoch nicht durch Bei einer Unterbrechung durch eine andere Interrupt-Anforderung mit derselben Priorität wird die Ausführung bis zum Ende fortgesetzt. Wenn der Rückkehrbefehl RETI angetroffen wird, kann nach der Rückkehr zum Hauptprogramm ein weiterer Befehl ausgeführt werden. Reagieren Sie auf neue Interrupt-Anfragen.

Das heißt:

• Interrupts mit niedriger Priorität können durch Interrupt-Anforderungen mit hoher Priorität unterbrochen werden, jedoch nicht umgekehrt.

• Während des Antwortvorgangs kann kein Interrupt durch eine Interrupt-Anforderung derselben Priorität unterbrochen werden.

Interrupt-Abfragesequenz: Der Mikrocontroller SC93F833X unterbricht dieselbe Priorität. Wenn mehrere Interrupts gleichzeitig auftreten, ist die Priorität der Interrupt-Antwort dieselbe wie bei C51

Die Interrupt-Abfragenummern sind gleich, das heißt, die kleinere Abfragenummer antwortet zuerst und die größere Abfragenummer antwortet langsamer.

### 9.4 Verarbeitungsablauf unterbrechen

Wenn ein Interrupt auftritt und von der CPU darauf reagiert wird, wird das Hauptprogramm unterbrochen und die folgenden Vorgänge werden ausgeführt:

• Der aktuell ausgeführte Befehl ist abgeschlossen;

• Der PC-Wert wird in den Stapel verschoben, um die Szene zu schützen.

• Laden Sie die Interrupt-Vektoradresse in den Programmzähler-PC.

• Führen Sie die entsprechende Interrupt-Serviceroutine aus.

• Die Interrupt-Serviceroutine endet und RETI;

• Nehmen Sie den PC-Wert vom Stapel und kehren Sie vor der Unterbrechung zum Programm zurück.

Während dieses Vorgangs führt das System andere Interrupts mit derselben Priorität nicht sofort aus, sondern behält die aufgetretene Interrupt-Anforderung bei, bis die aktuelle Interrupt-Verarbeitung abgeschlossen ist.

Führen Sie anschließend die neue Interrupt-Anfrage aus.

### 9.5 Interruptbezogene SFR- Register

#### IE (A8h) Interrupt-Aktivierungsregister (Lesen/Schreiben)

	7	6	5	4	3	2	1	0
	EA	EADC	ET2	EUART	ET1	EINT1	ET0	EINT0
Bitnummersymbol Lesen/Schreiben,		lesen Schreiben	lesen Schreiben	lesen Schreiben	lesen Schreiben	lesen Schreiben	lesen Schreiben	lesen Schreiben
Lesen/Schreiben, Anfangswert beim Einschalten 0		0	0	0	0	0	0	0

Bitnummer	Bitzeichen	weitschaufchen
7	EA	Gesamtkontrolle der Interrupt-Freigabe 0: Alle Interrupts ausschalten 1: Alle Interrupts einschalten
6	EADC	ADC-Interrupt-Aktivierungssteuerung 0: ADC-Interrupt ausschalten 1: Ermöglicht die Generierung eines Interrupts, wenn die ADC-Konvertierung abgeschlossen ist
5	ET2	Timer2-Interrupt-Aktivierungssteuerung 0: TIMER2-Interrupt ausschalten 1: TIMER2-Interrupt zulassen
4	EUART	UART-Interrupt-Aktivierungssteuerung 0: UART-Interrupt ausschalten 1: UART-Interrupt aktivieren
3	ET1	Timer1-Interrupt-Aktivierungssteuerung 0: TIMER1-Interrupt ausschalten 1: TIMER1-Interrupt zulassen
2	EINT1	Externer Interrupt 1 ermöglicht die Steuerung 0: INT1-Interrupt ausschalten 1: Schalten Sie den INT1-Interrupt ein
1	ET0	Timer0-Interrupt-Aktivierungssteuerung



		0: TIMER0-Interrupt ausschalten 1: TIMER0-Interrupt zulassen
0	<b>EINT0</b>	Externer Interrupt 0 ermöglicht die Steuerung 0: INT0-Interrupt ausschalten 1: Schalten Sie den INT0-Interrupt ein

**IP (B8h) Interrupt-Prioritätsregister (Lesen/Schreiben)**

	7	6	5	4	3	2	1	0
	-	IPADC-Lesen/	IPT2	IPUART lesen/	IPT1	IPINT1	IPT0	IPINT0
	-	Schreiben	lesen/schreiben	schreiben	lesen/schreiben	lesen/schreiben	lesen/	lesen Schreiben
Bitnummersymbol: Anfangswert beim Einschalten		lesen/schreiben x	0	0	0	0	schreiben 0	0

Bitnummer	Bitzeichen	veranschaulichen
6	<b>IPADC</b>	Auswahl der ADC-Interrupt-Priorität 0: ADC-Interrupt-Priorität ist niedrig 1: ADC-Interrupt-Priorität ist hoch
5	<b>IPT2</b>	Auswahl der Timer2-Interrupt-Priorität 0: Die Interrupt-Priorität von Timer2 ist niedrig 1: Die Interrupt-Priorität von Timer2 ist hoch
4	<b>IPUART</b>	Auswahl der UART-Interrupt-Priorität 0: UART-Interrupt-Priorität ist niedrig 1: UART-Interrupt-Priorität ist hoch
3	<b>IPT1</b>	Auswahl der Interrupt-Priorität von Timer1 0: Die Interrupt-Priorität von Timer1 ist niedrig 1: Die Interrupt-Priorität von Timer1 ist hoch
2	<b>IPINT1</b>	Auswahl der Interrupt-Priorität des INT1-Zählers 0: INT1-Interrupt-Priorität ist niedrig 1: INT1-Interrupt-Priorität ist hoch
1	<b>IPT0</b>	Auswahl der Timer0-Interrupt-Priorität 0: Die Interrupt-Priorität von Timer0 ist niedrig 1: Die Interrupt-Priorität von Timer0 ist hoch
0	<b>IPINT0</b>	Auswahl der Interrupt-Priorität des INT0-Zählers 0: INT0-Interrupt-Priorität ist niedrig 1: INT0-Interrupt-Priorität ist hoch
7	-	Reservieren

**IE1 (A9h) Interrupt Control Register 1 (Lesen/Schreiben)**

	7	6	5	4 3	2	1	0
	-	-	-	ETK	EINT2	EBTM EPWM	ESSI
	-	-	-	lesen/schreiben	lesen/schreiben	lesen/schreiben lesen/schreiben lesen/schreiben	
Bitnummersymbol: Anfangswert beim Einschalten		X	X	0	0	0 0 0	

Bit Nummer	Bitzeichen	veranschaulichen
4	<b>ETK</b>	Touch-Key-Interrupt-Aktivierungssteuerung 0: Touch-Key-Interrupt ausschalten 1: Aktivieren Sie die Touch-Key-Unterbrechung
3	<b>EINT2</b>	Externer Interrupt 2 ermöglicht die Steuerung 0: INT2-Interrupt ausschalten 1: Schalten Sie den INT2-Interrupt ein
2	<b>EBTM</b>	Basis-Timer-Interrupt-Aktivierungssteuerung

		0: Base-Timer-Interrupt ausschalten 1: Basis-Timer-Interrupt aktivieren
1	<b>EPWM</b>	PWM-Interrupt-Aktivierungssteuerung 0: PWM-Interrupt ausschalten 1: Ermöglicht die Generierung eines Interrupts, wenn der PWM-Zähler überläuft (zählt bis zu PWMPRD).
0	<b>ESSI</b>	Drei-in-eins-Interrupt-Aktivierungssteuerung für die serielle Schnittstelle 0: Unterbrechung der seriellen Schnittstelle ausschalten 1: Unterbrechung der seriellen Schnittstelle zulassen
7-5	-	Reservieren

**IP1 (B9h) Interrupt-Prioritätsregister 1 (Lesen/Schreiben)**

	7	6	5	4	3	2	1	0
	-	-	-	IPTK	IPINT2	IPBTM IPPWM		IPSI
	-	-	-	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben
Bitnummersymbol: Anfangswert beim Einschalten		X	X	0	0	0	0	0

Bit Nummer	Bitzeichen	veranschaulichen
4	<b>IPTK</b>	Berühren Sie die Auswahl der Interrupt-Priorität 0: Die Interrupt-Priorität der Touch-Taste ist niedrig 1: Die Interrupt-Priorität der Touch-Taste ist hoch
3	<b>IPINT2</b>	Auswahl der Interrupt-Priorität des INT2-Zählers 0: INT2-Interrupt-Priorität ist niedrig 1: INT2-Interrupt-Priorität ist hoch
2	<b>IPBTM</b>	Auswahl der Basis-Timer-Interrupt-Priorität 0: Die Interrupt-Priorität des Basis-Timers ist niedrig 1: Die Interrupt-Priorität des Basis-Timers ist hoch
1	<b>IPPWM</b>	Auswahl der PWM-Interrupt-Aktivierung 0: Die Priorität des PWM-Interrupts ist niedrig 1: Die Priorität des PWM-Interrupts ist hoch
0	<b>IPSI</b>	Drei-in-eins-Interrupt-Prioritätsauswahl für die serielle Schnittstelle 0: SSI-Interrupt-Priorität ist niedrig 1: SSI-Interrupt-Priorität ist hoch
7-5	-	Reservieren

**INT0F (BAh) INT0 Interrupt-Steuerregister mit fallender Flanke (Lesen/Schreiben)**

	7	6	5	4	3	2	1	0
	-	-	-	-	INT0F3 lesen/	INT0F2 lesen/	INT0F1 lesen/	-
	-	-	-	-	schreiben	schreiben	schreiben	-
Bitnummersymbol: Anfangswert beim Einschalten		X	X	X	0	0	0	X

Bitnummer	Bitzeichen	veranschaulichen
3-1	<b>INT0Fn</b> (n=1-3)	INT0-Interrupt-Steuerung mit fallender Flanke 0: INT0n-Interrupt mit fallender Flanke ist ausgeschaltet 1: INT0n Interrupt-Aktivierung mit fallender Flanke
7-4,0	-	Reservieren

**INT0R (BBh) INT0 Interrupt-Steuerregister mit steigender Flanke (Lesen/Schreiben)**

	7	6	5	4	3	2	1	0
	-	-	-	-	INT0R3 INT0R2 INT0R1 Lesen/Schreiben	0		-
	-	-	-	-	lesen/schreiben		lesen/schreiben	-
Bitnummersymbol: Anfangswert beim Einschalten		X	X	X	0		0	X

Bitnummer	Bitzeichen	veranschaulichen
3-1	<b>INT0Rn</b>	INT0-Interrupt-Steuerung mit steigender Flanke

	(n=1-3)	0: INT0n-Interrupt mit steigender Flanke ist ausgeschaltet 1: INT0n Interrupt-Aktivierung mit steigender Flanke
7~4,0	-	Reservieren

**INT1F (BCh) INT1 Interrupt-Steuerregister mit fallender Flanke (Lesen/Schreiben)**

	7	6	5	4	3	2	1	0
	-	-	-	-	INT1F3	INT1F2	INT1F1	INT1F0
	-	-	-	-	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben
Bitnummersymbol: Anfangswert beim Einschalten		X	X		0	0	0	0

Bitnummer	Bitzeichen	veranschaulichen
3~0	<b>INT1Fn</b> (n=0~3)	INT1 Interrupt-Steuerung mit fallender Flanke 0: INT1n-Interrupt mit fallender Flanke ist ausgeschaltet 1: INT1n Interrupt-Aktivierung mit fallender Flanke
7~4	-	Reservieren

**INT1R (BDh) INT1 Interrupt-Steuerregister mit steigender Flanke (Lesen/Schreiben)**

	7	6	5	4	3	2	1	0
	-	-	-	-	INT1R3 INT1R2 INT1R1 INT1R0			
	-	-	-	-	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben
Bitnummersymbol: Anfangswert beim Einschalten		X	X		0	0	0	0

Bitnummer	Bitzeichen	veranschaulichen
3~0	<b>INT1Rn</b> (n=0~3)	INT1-Interrupt-Steuerung mit steigender Flanke 0: INT1n-Interrupt mit steigender Flanke ist ausgeschaltet 1: INT1n-Interrupt-Aktivierung mit steigender Flanke
7~4	-	Reservieren

**INT2F (C6h) INT2 Interrupt-Steuerregister mit fallender Flanke (Lesen/Schreiben)**

	7	6	5	4	3	2	1	0
	-	-	INT2F5 INT2F4		INT2F3	INT2F2	INT2F1	INT2F0
	-	-	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben
Bitnummersymbol: Anfangswert beim Einschalten		X			0	0	0	0

Bitnummer	Bitzeichen	veranschaulichen
5~0	<b>INT2Fn</b> (n=0~5)	INT2 Interrupt-Steuerung mit fallender Flanke 0: INT2n-Interrupt mit fallender Flanke ist ausgeschaltet 1: INT2n Interrupt-Aktivierung mit fallender Flanke
7~6	-	Reservieren

**INT2R (C7h) INT2 Interrupt-Steuerregister für steigende Flanke (Lesen/Schreiben)**

	7	6	5	4	3	2	1	0
	-	-	INT2R5 INT2R4 INT2R3 INT2R2	INT2R1 INT2R0				
	-	-	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben
Bitnummersymbol: Anfangswert beim Einschalten		X			0	0	0	0

Bitnummer	Bitzeichen	veranschaulichen
5~0	<b>INT2Rn</b> (n=0~5)	INT2-Interrupt-Steuerung mit steigender Flanke 0: INT2n-Interrupt mit steigender Flanke ist ausgeschaltet 1: INT2n-Interrupt-Aktivierung mit steigender Flanke
7~6	-	Reservieren

## 10 TimerTIMER0 , TIMER1

Im SC93F833X-Mikrocontroller befinden sich zwei 16-Bit-Timer/Zähler, die über zwei Arbeitsmodi verfügen: Zählmodus und Timing-Modus. Spezialfunktion Im Register TMOD gibt es ein Steuerbit C/Tx, um auszuwählen, ob T0 und T1 Timer oder Zähler sind. Sie sind im Wesentlichen nur ein addierender Zähler Die Quelle der Zählung ist unterschiedlich. Die Quelle des Timers ist der Systemtakt oder sein geteilter Takt, die Quelle des Zählers ist jedoch der Eingangsimpuls des externen Pins. nur bei Wenn TRx=1, werden T0 und T1 zum Zählen geöffnet.

Im Zählermodus erhöhen sich die Zählwerte von T0 und T1 für jeden Impuls an den Pins P1.2/T0 und P1.3/T1 um jeweils 1.

Im Timer-Modus kann die Zählquelle von T0 und T1 über das Sonderfunktionsregister TMCON als fSYS/12 oder fSYS ausgewählt werden (fSYS ist der geteilte Wert). System Uhr).

Timer/Zähler T0 hat 4 Arbeitsmodi und Timer/Zähler T1 hat 3 Arbeitsmodi (Modus drei existiert nicht):

• Modus 0 : 13-Bit-Timer-/Zählermodus

• Modus 1 : 16-Bit-Timer-/Zählermodus

• Modus 2: 8-Bit-Auto-Reload-Modus

• Modus 3: Zwei 8-Bit-Timer/Zähler-Modus.

In den oben genannten Modi sind die Modi 0, 1 und 2 von T0 und T1 gleich, aber Modus 3 ist unterschiedlich.

### 10.1 T0- und T1- bezogene Sonderfunktionsregister

symbolische	Ansprache	veranschaulichen	7	6	5	4	3	2	1	0	Wert zurücksetzen
TCON 88H	Timer-Steuerregister TF1 TR1 TF0 TR0 -							-	-	-	0000xxxxb
TMOD 89H	Timer-Betriebsartregister -			C/T1	M11	M01	-	C/T0	M10	M00	xxxx000b
TL0	8AH Timer 0 untere 8 Bits		TL0[7:0]								00000000b
TL1	8BH Timer 1 untere 8 Bits		TL1[7:0]								00000000b
TH0 8CH	Timer 0 High 8 Bits		TH0[15:8]								00000000b
TH1 8DH	Timer 1 High 8 Bits		TH1[15:8]								00000000b
TMCON 8EH	Timer- Frequenzsteuerregister			-	-	-	-	T2FD	T1FD	T0FD	xxxxx000b

Die Erklärung jedes Registers lautet wie folgt:

#### TCON (88h) Timer-Steuerregister

	7	6	5	4	3	2	1	0
	TF1	TR1	TF0	TR0	-	-	-	-
Bitnummersymbol Lesen/Schreiben,	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	-	-	-	-
Lesen/Schreiben, Anfangswert beim Einschalten 0	0	0	0	0	X	X	X	X

Bitnummer	Bitzeichen	veranschaulichen
7	TF1	T1-Überlauf-Interrupt-Anforderungsflag. T1 läuft über und wenn ein Interrupt auftritt, setzt die Hardware TF1 auf „1“, wenn ein Interrupt beantragt wird und die CPU antwortet, löscht die Hardware „0“.
6	TR1	Das Betriebssteuerbit des Timers T1. Dieses Bit wird per Software gesetzt und gelöscht. Wenn TR1=1 ist, ist es zulässig T1 beginnt zu zählen. Wenn TR1=0, ist die T1-Zählung deaktiviert.
5	TF0	T0-Überlauf-Interrupt-Anforderungsflag. T0 läuft über, und wenn ein Interrupt auftritt, setzt die Hardware TF0 auf „1“, wenn ein Interrupt beantragt wird und die CPU antwortet, löscht die Hardware „0“.
4	TR0	Das Betriebssteuerbit des Timers T0. Dieses Bit wird per Software gesetzt und gelöscht. Wenn TR0=1 ist, ist es zulässig T0 beginnt zu zählen. Wenn TR0=0, ist die T0-Zählung deaktiviert.
3-0	-	Reservieren

#### TMOD (89h) Timer-Betriebsmodusregister (Lesen/Schreiben)

	7	6	5	4	3	2	1	0
	-	C/T1	M11	M01	-	C/T0	M10	M00
	-	Lesen/	lesen/	lesen/	-	lesen/	lesen/	lesen Schreiben
Bitnummersymbol: Anfangswert beim Einschalten	lesen/schreiben 0	lesen/schreiben 0	schreiben 0	schreiben 0	X	schreiben 0	schreiben 0	0
	T1				T0			

Bitnummer	Bitzeichen	veranschaulichen
6	<b>C/T1</b>	TMOD[6] steuert Timer 1 0: Timer, T1-Zählung stammt aus der fSYS-Frequenzteilung 1: Zähler, T1-Zählung kommt vom externen Pin T1/P1.3
5,4	<b>M11, M01</b>	Auswahl des Modus „Timer/Zähler 1“: 00: 13-Bit-Timer/Zähler, die oberen 3 Bits von TL1 sind ungültig 01: 16-Bit-Timer/Zähler, TL1 und TH1 alle 10: 8-Bit-Timer für automatisches Neuladen, der in TH1 gespeicherte Wert wird automatisch in TL1 neu geladen, wenn er überläuft 11: Timer/Zähler 1 ist ungültig (Zählung stoppen)
2	<b>C/T0</b>	TMOD[2] steuert Timer 0 0: Timer, T0-Zählung stammt aus der fSYS-Frequenzteilung 1: Zähler, T0-Zählung kommt vom externen Pin T0/P1.2
1,0	<b>M10,M00</b>	Auswahl des Timer-/Zähler-0-Modus 00: 13-Bit-Timer/Zähler, die oberen 3 Bits von TL0 sind ungültig 01: 16-Bit-Timer/Zähler, TL0 und TH0 alle 10: 8-Bit-Timer für automatisches Neuladen, der in TH0 gespeicherte Wert wird automatisch in TL0 neu geladen, wenn er überläuft 11: Timer 0 fungiert jetzt als dualer 8-Bit-Timer/Zähler. TL0 fungiert als 8-Bit-Timer /Counter, gesteuert durch das Steuerbit des Standard-Timers 0; TH0 wird nur als 8-Bit-Timer verwendet Gerät, gesteuert durch die Steuerbits von Timer 1.
7,3	-	Reservieren

TMOD[0]–TMOD[2] im TMOD-Register dienen zum Festlegen des Arbeitsmodus von T0; TMOD[4]–TMOD[6] dienen zum Festlegen des Arbeitsmodus von T1.

Die Timer- und Zähler-Tx-Funktionen werden durch das Steuerbit C/Tx des Sonderfunktionsregisters TMOD ausgewählt. M0x und M1x werden beide zur Auswahl der Tx-Funktion verwendet.

Betriebsart. TRx dient als Schaltersteuerung für T0 und T1. T0 und T1 werden nur eingeschaltet, wenn TRx=1.

#### TMCON (8Eh) Timer-Frequenzsteuerregister (Lesen/Schreiben)

Bit Nummer	6 Symbol	7 zum Lesen/Schreiben des Einschalt-	5	4	3	2	1	0
	-	-	-	-	-	T2FD	T1FD	T0FD
	-	-	-	-	-	lesen/schreiben	lesen/schreiben	lesen/schreiben
Anfangswerts x		X	X	X	X	0	0	0

Bitnummer	Bitzeichen	veranschaulichen
1	<b>T1FD</b>	T1-Eingangsfrequenzauswahlsteuerung 0: Die T1-Frequenz wird von fSYS/12 abgeleitet 1: Die T1-Frequenz wird von fSYS abgeleitet
0	<b>T0FD</b>	T0-Eingangsfrequenz-Auswahlsteuerung 0: Die T0-Frequenz wird von fSYS/12 abgeleitet 1: Die T0-Frequenz wird aus fSYS abgeleitet

#### IE (A8h) Interrupt-Aktivierungsregister (Lesen/Schreiben)

Bit Nummer	7 Symbol	6	5	4	3	2	1	0
	EA	EADC lesen/	ET2	EUART lesen/	ET1	EINT1 lesen/	ETO	EINT0
	lesen/schreiben, lesen/schreiben,	schreiben	lesen/	schreiben	lesen/	schreiben	lesen/	lesen/schreiben
Anfangswert beim Einschalten	0	0	schreiben 0	0	schreiben 0	0	schreiben 0	0

Bitnummer	Bitzeichen	veranschaulichen
3	<b>ET1</b>	Timer1-Interrupt-Aktivierungssteuerung 0: TIMER1-Interrupt ausschalten 1: TIMER1-Interrupt aktivieren
1	<b>ETO</b>	Timer0-Interrupt-Aktivierungssteuerung 0: TIMER0-Interrupt ausschalten

		1: TIMERO-Interrupt aktivieren
--	--	--------------------------------

**IP (B8h) Interrupt-Prioritätsregister (Lesen/Schreiben)**

	7	6	5	4	3	2	1	0
	-	IPADC	IPT2	IPUART	IPT1	IPINT1	IPT0	IPINT0
	-	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben
Bitnummersymbol: Anfangswert beim Einschalten		lesen/schreiben x	0	0	0	0	0	0

Bitnummer	Bitzeichen	veranschaulichen
3	<b>IPT1</b>	Interrupt-Priorität von Timer1 0: Stellen Sie die Interrupt-Priorität von Timer 1 auf „niedrig“ ein. 1: Stellen Sie die Interrupt-Priorität von Timer 1 auf „hoch“
1	<b>IPT0</b>	Timer0-Interrupt-Priorität 0: Stellen Sie die Interrupt-Priorität von Timer 0 auf „niedrig“ ein. 1: Stellen Sie die Interrupt-Priorität von Timer 0 auf „hoch“ ein.

**10.2 T0- Arbeitsmodus**

Durch Setzen von M10 und M00 (TMOD[1], TMOD[0]) im Register TMOD kann Timer/Zähler 0 vier verschiedene Operationen ausführen.

Modell.

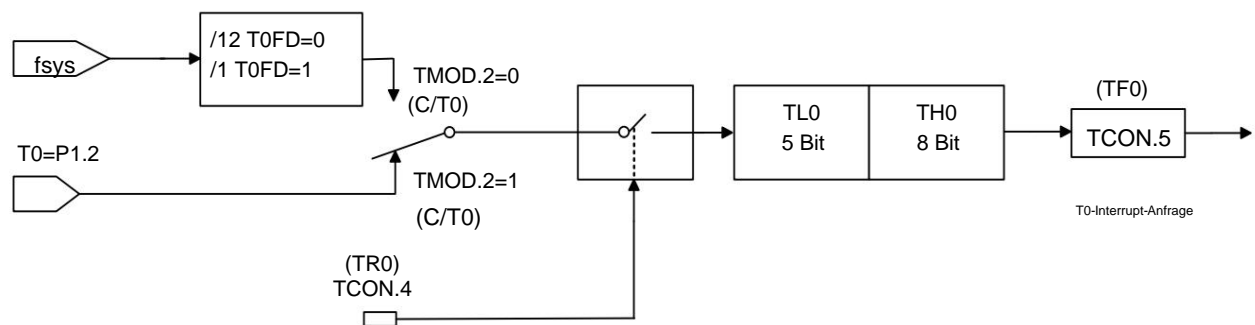
**Betriebsart 0: 13 -Bit-Zähler/Timer.**

Das TH0-Register speichert die oberen 8 Bits (TH0,7 ~ TH0,0) des 13-Bit-Zählers/Timers und das TL0-Register speichert die unteren 5 Bits (TL0,4 ~ TL0,0). Die oberen drei Bits von TL0 (TL0,7 ~ TL0,5) sind unsichere Werte und sollten beim Lesen ignoriert werden. Wenn der 13-Bit-Timer/Zähler überläuft, setzt das System das Timer-Überlauf-Flag TF0 ist auf 1 gesetzt. Wenn der Timer 0-Interrupt aktiviert ist, wird ein Interrupt generiert.

Das C/T0-Bit wählt die Eingangsquelle für den Zähler-/Timer-Takt aus. Wenn C/T0=1, ändert sich der Pegel des Timer-0-Eingangspins T0 (P1.2) von hoch nach niedrig. Führt dazu, dass das Datenregister des Timers 0 um 1 erhöht wird. Wenn C/T0=0, wählen Sie die geteilte Systemuhr als Taktquelle für Timer 0.

Wenn TR0 auf 1 gesetzt ist, ist der Timer T0 eingeschaltet. Das Setzen von TR0 auf 1 erzwingt kein Zurücksetzen des Timers. Das heißt, wenn TR0 auf 1 gesetzt wird, wird das Timer-Register vom letzten an zurückgesetzt. Die Zählung beginnt ab dem Wert, wenn TR0 auf 0 zurückgesetzt wird. Daher sollte vor der Aktivierung des Timers der Anfangswert des Timer-Registers eingestellt werden.

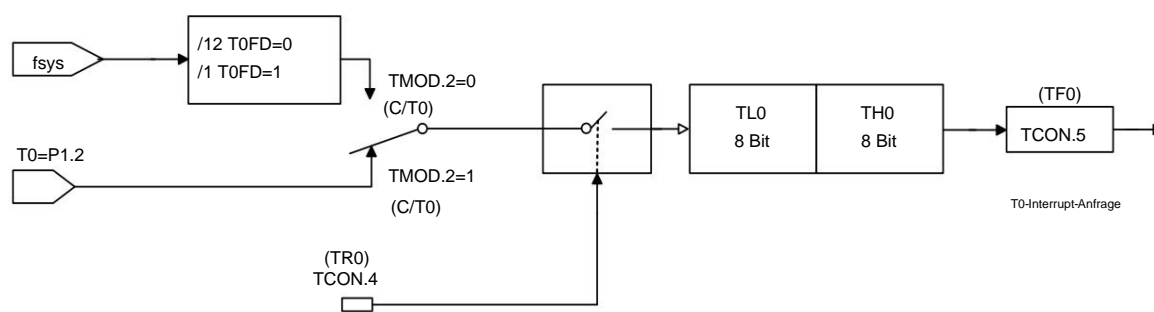
Bei Verwendung als Timer kann TOFD so konfiguriert werden, dass das Frequenzteilungsverhältnis der Taktquelle ausgewählt wird.



Betriebsart Timer/Zähler 0: 13-Bit-Timer/Zähler

**Arbeitsmodus 1: 16 -Bit-Zähler/Timer**

Modus 1 und Modus 0 funktionieren auf die gleiche Weise, außer dass ein 16-Bit-Zähler/Timer (alle 8 Bits der TL0-Daten sind gültig) verwendet wird. Öffnen und konfigurieren. Der Counter/Timer-Ansatz ist derselbe.



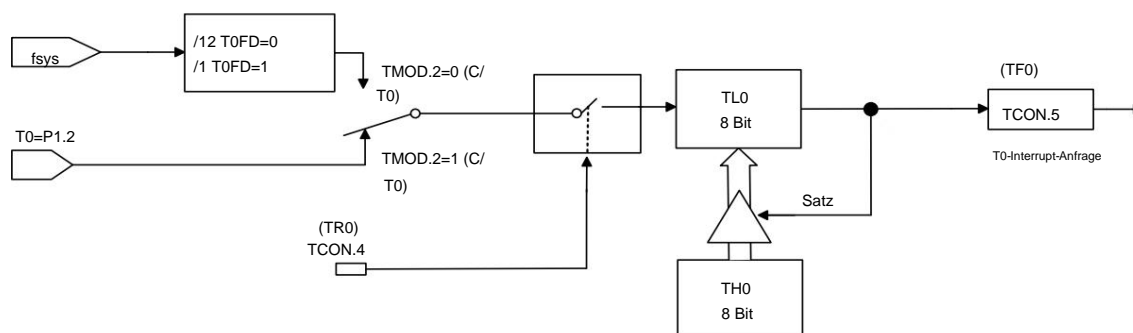
Betriebsart Timer/Zähler 0: 16-Bit-Timer/Zähler

**Betriebsmodus 2: 8 -Bit-Auto-Reload-Zähler/Timer Im**

Betriebsmodus 2 ist Timer 0 ein 8-Bit-Auto-Reload-Zähler/Timer. TL0 speichert den Zählwert und TH0 speichert den Neuladewert. Wenn der Zähler in TL0 auf 0x00 überläuft, wird das Timer-Überlaufflag TF0 auf 1 gesetzt und der Wert des Registers TH0 wird neu in das Register TL0 geladen. Wenn der Timer-Interrupt aktiviert ist, wird beim Setzen von TF0 ein Interrupt generiert, der Neuladewert in TH0 ändert sich jedoch nicht. TL0 muss auf den erforderlichen Wert initialisiert werden, bevor der Timer korrekt zählen kann.

Die Zähler/Timer im Betriebsmodus 2 werden auf die gleiche Weise aktiviert und konfiguriert wie in den Modi 0 und 1, mit Ausnahme der Auto-Reload-Funktion.

Bei Verwendung als Timer kann das Register TMCON.0 (T0FD) so konfiguriert werden, dass es das Verhältnis der Timer-Taktquelle dividiert durch den Systemtakt fSYS auswählt.



Timer/Zähler-Betriebsmodus 2: 8-Bit-Timer/Zähler mit automatischem Neuladen

**Betriebsart 3: Zwei 8 -Bit-Zähler/Timer ( nur Timer 0 )**

Im Betriebsmodus 3 arbeitet Timer 0 als zwei unabhängige 8-Bit-Zähler/Timer, gesteuert von TL0 bzw. TH0. TL0 wird über die Steuerbits (in TCON) und Statusbits (in TMOD) von Timer 0 gesteuert: TR0, C/T0, TF0. Timer 0 kann über TMOD.2(C/T0) von T0 den Timer-Modus oder den Zählermodus auswählen.

TH0 legt entsprechende Steuerungen über die Steuerung TCON von Timer 1 fest, TH0 ist jedoch nur auf den Timer-Modus beschränkt und kann nicht über TMOD.2 (C/T0) auf den Zählermodus eingestellt werden. TH0 wird durch die Steuerung des Timer-Steuerbits TR1 aktiviert und TR1=1 muss gesetzt werden. Wenn ein Überlauf oder ein Interrupt auftritt, wird TF1 auf 1 gesetzt und die entsprechende Verarbeitung wird basierend auf dem T1-Interrupt

durchgeführt. Wenn T0 auf Betriebsmodus 3 eingestellt ist, belegt der TH0-Timer die Interrupt-Ressourcen von T1 und das Register in TCON und der 16-Bit-Zähler von T1 stoppt. Zählen stoppen, entspricht „TR1=0“. Wenn der TH0-Timer verwendet werden soll, muss TR1=1 eingestellt werden.

### 10.3 T1- Arbeitsmodus

Durch Setzen von M11 und M01 (TMOD[5], TMOD[4]) im Register TMOD kann Timer/Zähler 1 drei verschiedene Arbeitsmodi erreichen.

**Betriebsart 0: 13 -Bit-Zähler/Timer.**

Das TH1-Register speichert die oberen 8 Bits (TH1.7~TH1.0) des 13-Bit-Zählers/Timers; TL1 speichert die niedrigen 5 Bits (TL1.4~TL1.0). Die oberen drei Bits von TL1 (TL1.7 ~ TL1.5) sind unsichere Werte und sollten beim Lesen ignoriert werden. Wenn der 13-Bit-Timer-Zähler inkrementiert und überläuft, setzt das System das Timer-Überlauf-Flag TF1 auf 1. Wenn der Timer 1-Interrupt aktiviert ist, wird ein Interrupt generiert. Das C/T1-Bit wählt die Zähler-/Timer-Taktquelle aus.

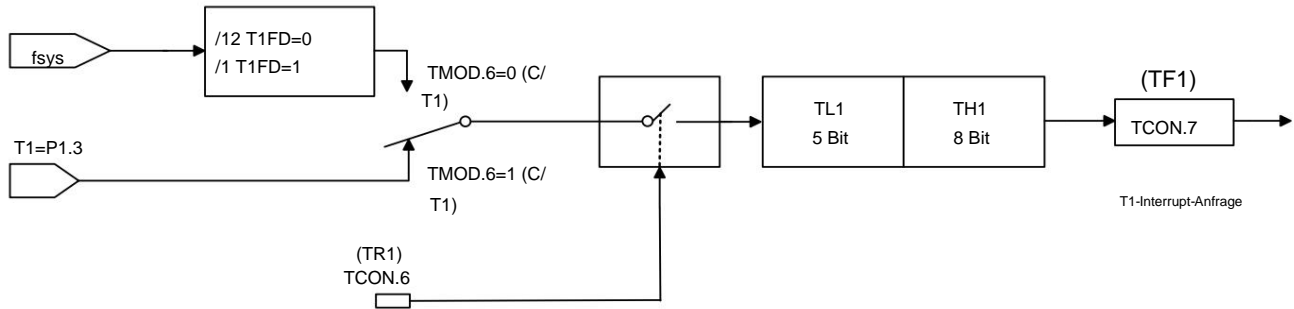
Wenn C/T1=1, führt die Pegeländerung des Timer-1-Eingangspins T1 (P1.3) von High nach Low dazu, dass das Timer-1-Datenregister um 1 erhöht wird. Wenn C/T1=0,

Wählen Sie die geteilte Systemuhr als Taktquelle für Timer 1.

Wenn Sie TR1 auf 1 setzen, wird der Timer eingeschaltet. Das Setzen von TR1 erzwingt kein Zurücksetzen des Timers. Das heißt, wenn TR1 gesetzt ist, beginnt das Timer-Register mit dem Zählen ab dem

Wert, als TR1 das letzte Mal gelöscht wurde. Daher sollte vor der Aktivierung des Timers der Anfangswert des Timer-Registers eingestellt werden. Bei

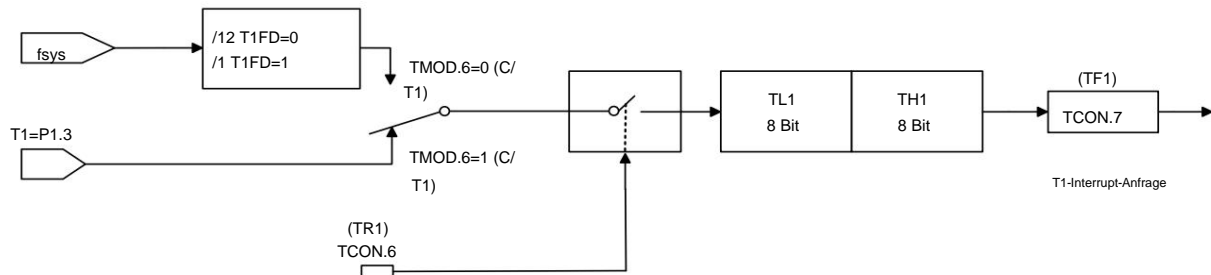
Verwendung als Timer kann T1FD so konfiguriert werden, dass das Frequenzteilungsverhältnis der Taktquelle ausgewählt wird.



Betriebsart Timer/Zähler 0: 13-Bit-Timer/Zähler

**Betriebsart 1: 16 -Bit-Zähler/Timer Modus 1**

und Modus 0 funktionieren auf die gleiche Weise, außer dass ein 16-Bit-Zähler/Timer (alle 8-Bit-Daten von TL1 sind gültig) verwendet wird. Öffnen und konfigurieren Der Counter/Timer-Ansatz ist derselbe.



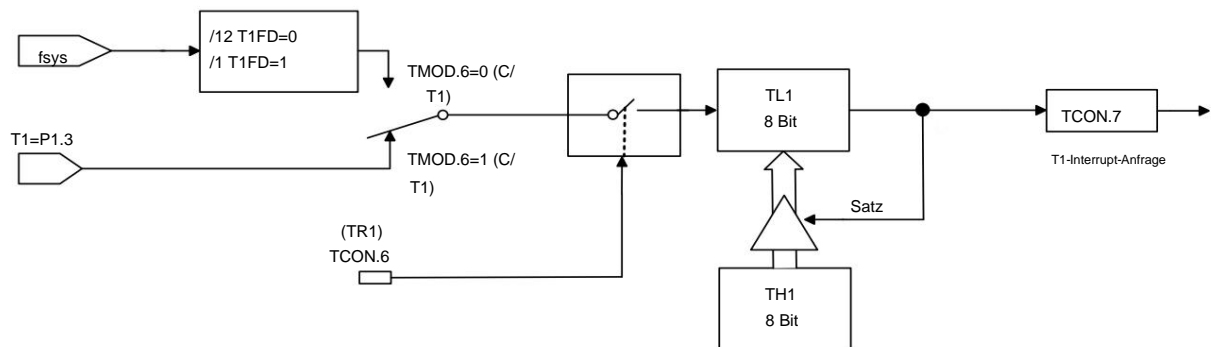
Betriebsart Timer/Zähler 0: 16-Bit-Timer/Zähler

**Betriebsart 2: 8 -Bit-Auto-Reload-Zähler/Timer Im**

Betriebsmodus 2 ist Timer 1 ein 8-Bit-Auto-Reload-Zähler/Timer. TL1 speichert den Zählwert und TH1 speichert den Neuladewert. Wenn der Zähler in TL1 auf 0x00 überläuft, wird das Timer-Überlaufflag TF1 auf 1 gesetzt und der Wert des Registers TH1 wird erneut in das Register TL1 geladen. Wenn der Timer-Interrupt aktiviert ist, wird beim Setzen von TF1 ein Interrupt generiert, der Neuladewert in TH1 ändert sich jedoch nicht. TL1 muss auf den erforderlichen Wert initialisiert werden, bevor der Timer korrekt zählen kann.

Mit Ausnahme der Auto-Reload-Funktion sind die Zähler-/Timer-Aktivierungs- und Konfigurationsmethoden im Betriebsmodus 2 dieselben wie in den Modi 0 und 1.

Bei Verwendung als Timer kann das Register TMCON.4 (T1FD) so konfiguriert werden, dass es das Verhältnis der Timer-Taktquelle dividiert durch den Systemtakt fSYS auswählt.



Timer/Zähler-Betriebsmodus 2: 8-Bit-Timer/Zähler mit automatischem Neuladen



## 11 timerTIMER2

Der Timer2 im SC93F833X-Mikrocontroller verfügt über zwei Arbeitsmodi: Zählmodus und Timing-Modus. Das Sonderfunksregister T2CON enthält a Ein Steuerbit C/T2 zur Auswahl, ob T2 ein Timer oder ein Zähler ist. Sie sind im Wesentlichen addierende Zähler, aber die Zählquelle ist eine andere. Timer Die Quelle ist der Systemtakt oder sein geteilter Takt, die Quelle des Zählers ist jedoch der Eingangsimpuls des externen Pins. TR2 ist die T2-Zählung im Timer-/Zählermodus Zählschaltersteuerung, T2 wird nur zum Zählen eingeschaltet, wenn TR2=1.

Im Zählermodus erhöht sich der Zählwert von T2 für jeden Impuls am T2-Pin jeweils um 1.

Im Timer-Modus kann die Zählquelle von T2 über das Sonderfunksregister TMCON zwischen fSYS/12 oder fSYS ausgewählt werden.

Der Timer/Zähler T2 verfügt über 4 Arbeitsmodi:

• Modus 0 : 16-Bit-Aufnahmemodus

• Modus 1 : 16-Bit-Timer-Modus für automatisches Nachladen

• Modus 2: Baudratengeneratormodus

• Modus 3: Programmierbarer Takttausgabemodus.

### 11.1 T2 -bezogene Sonderfunksregister

Beschreibung	der Symboladresse	7	6	5	4	3	2	1	0	Wert zurücksetzen
T2CON	C8H Timer 2-Steuerregister	TF2	EXF2	RCLK	TCLK	EXEN2	TR2	C/T2	CP/RL2	00000000b
T2MOD	C9H Timer 2 Betriebsmodusregister		-	-	-	-	-	T2OE	DCEN	xxxxx000b
RCAP2L	CAH-Timer 2 lädt/erfasst die unteren 8 Bits neu	RCAP2L[7:0]								00000000b
RCAP2H	CBH-Timer 2 lädt/erfasst hohe 8 Bits neu	RCAP2H[7:0]								00000000b
TL2	CCH-Timer 2 untere 8 Bits	TL2[7:0]								00000000b
TH2	CDH-Timer 2 High 8 Bits	TH2[7:0]								00000000b
TMCON	8EH-Timer-Frequenzsteuerregister	-	-	-	-	-	T2FD	T1FD	T0FD	xxxxx000b

Die Erklärung jedes Registers lautet wie folgt:

#### T2CON (C8h) Timer 2- Steuerregister

	7	6	5	4	3	2	1	0
	TF2	EXF2	RCLK	TCLK	EXEN2	TR2	C/T2	CP/RL2-
Bitnummersymbol Lesen/Schreiben,	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben
Lesen/Schreiben, Anfangswert beim Einschalten 0	0	0	0	0	0	0	0	0

Bitnummer	Bitzeichen	veranschaulichen
7	<b>TF2</b>	Timer 2-Überlauf 0: Kein Überlauf (muss per Software gelöscht werden) 1: Überlauf (durch Hardware gesetzt, wenn RCLK = 0 und TCLK = 0)
6	<b>EXF2</b>	T2-Pin, externer Ereigniseingang (fallende Flanke), Flag-Bit erkannt 0: Kein externer Ereigniseingang (muss per Software gelöscht werden) 1: Externer Eingang erkannt (durch Hardware gesetzt, wenn EXEN2 = 1)
5	<b>RCLK</b>	UART-Empfangstaktsteuerbit 0: Timer 1 generiert die Empfangsbaudrate 1: Timer 2 generiert die Empfangsbaudrate
4	<b>TCLK</b>	UART-Übertragungstakt-Steuerbit 0: Timer 1 generiert die Sendebaudrate 1: Timer 2 generiert die Sendebaudrate
3	<b>EXEN2</b>	Der externe Ereigniseingang (abfallende Flanke) am T2-Pin dient als Aktivierungs-/Deaktivierungssteuerung für das Neuladen/Erkennen des Flipflops: 0: Ereignisse am T2-Pin ignorieren 1: Wenn Timer 2 nicht als UART-Takt verwendet wird (T2EX enthält immer einen Pull-up-Widerstand), wird der T2-Pin erkannt Pin auf einer fallenden Flanke, erzeugt eine Erfassung oder ein Neuladen
2	<b>TR2</b>	Timer 2 Start/Stop-Steuerbit 0: Timer 2 stoppen

		1: Timer 2 starten
1	<b>C/T2</b>	Timer 2 Timer-/Zählermodus-Auswahl Bit 2 0: Timer-Modus, T2-Pin wird als I/O-Port verwendet 1: Zählermodus
0	<b>CP/RL2</b>	Ausgewählte Bits im Erfassungs-/Neulademodus 0: 16-Bit-Timer/Zähler mit Reload-Funktion 1: 16-Bit-Timer/Zähler mit Capture-Funktion, T2EX ist der externe Capture-Signaleingangsport von Timer 2

**T2MOD (C9h) Timer 2 Betriebsmodusregister (Lesen/Schreiben)**

	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	T2OE DCEN	
	-	-	-	-	-	-	lesen/schreiben lesen/schreiben	
Bitnummersymbol: Anfangswert beim Einschalten		X	X	X	X	X	0 0	

Bitnummer	Bitzeichen	veranschaulichen
1	<b>T2OE</b>	Aktivierungsbit für Timer-2-Ausgang 0: T2 als Takteingang oder I/O-Port einstellen 1: T2 als Taktausgang einstellen
0	<b>DCEN</b>	Freigabebit für Abwärtszählen 0: Timer 2 als Aufwärts-/Abwärtszähler deaktivieren, Timer 2 fungiert nur als Aufwärtszähler 1: Lassen Sie Timer 2 als Vor-/Rückwärtszähler fungieren
7~2	-	Reservieren

**TMCON (8Eh) Timer-Frequenzsteuerregister (Lesen/Schreiben)**

Bit Nummer 6 Symbol zum Lesen/Schreiben des Einschalt-	7	5	4	3	2	1	0
	-	-	-	-	T2FD	T1FD	TOFD
	-	-	-	-	lesen/schreiben	lesen/schreiben	lesen/schreiben
Anfangswerts x		X	X	X	X	0	0

Bitnummer	Bitzeichen	veranschaulichen
2	<b>T2FD</b>	T2-Eingangsfrequenzauswahlsteuerung 0: Die T2-Frequenz wird von fSYS/12 abgeleitet 1: Die T2-Frequenz wird von fSYS abgeleitet

**IE (A8h) Interrupt-Aktivierungsregister (Lesen/Schreiben)**

	7	6	5	4	3	2	1	0
	EA	EADC	ET2	EUART	ET1	EINT1	ET0	EINT0
Bitnummersymbol Lesen/Schreiben,		lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben
Lesen/Schreiben, Anfangswert beim Einschalten 0		0	0	0	0	0	0	0

Bitnummer	Bitzeichen	veranschaulichen
5	<b>ET2</b>	Timer2-Interrupt-Aktivierungssteuerung 0: TIMER2-Interrupt ausschalten 1: TIMER2-Interrupt aktivieren

**IP (B8h) Interrupt-Prioritätsregister (Lesen/Schreiben)**

	7	6	5	4	3	2	1	0
	-	IPADC	IPT2	IPUART	IPT1	IPINT1	IPT0	IPINT0
	-	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben
Bitnummersymbol: Anfangswert beim Einschalten lesen/schreiben x			0	0	0	0	0	0

Bit Nummer	Bitzeichen	veranschaulichen
5	<b>IPT2</b>	Timer2-Interrupt-Priorität

0: Stellen Sie die Interrupt-Priorität von Timer 2 auf „niedrig“ ein.  
1: Stellen Sie die Interrupt-Priorität von Timer 2 auf „hoch“

## 11.2 T2- Arbeitsmodus

Der Arbeitsmodus und die Konfigurationsmethode von Timer 2 sind wie folgt:

C/T2	T2OE DCEN	TR2 CP/RL2			RCLK TCLK 0		Weg
X	0	X	1	1		0	0 16-Bit-Erfassung
X	0	0	1	0	0	0	1 16-Bit-Auto-Reload-Timer
X	0	1	1	0	0	0	
X	0	X	1	X	1	X	2 Baudratengenerator
					X	1	
0	1	X	1	X	0	0	3 nur für programmierbare Uhren
					1	X	3 Programmierbarer Takttausgang mit Baudratengenerator aus
					X	1	
X	X	X	0	X	X	X	X-Timer 2 stoppt, T2EX-Kanal bleibt bestehen erlauben
1	1	X	1	X	X	X	Nicht empfohlen

### Betriebsart 0: 16 -Bit-Erfassung

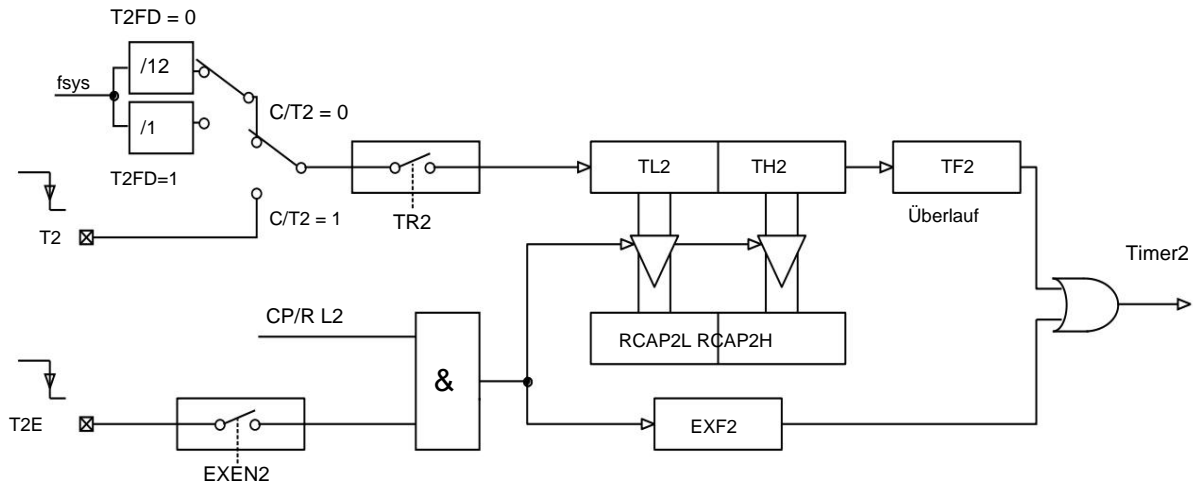
Im Capture-Modus verfügt das EXEN2-Bit von T2CON über zwei Optionen.

Wenn EXEN2 = 0, fungiert Timer 2 als 16-Bit-Timer oder Zähler. Wenn ET2 aktiviert ist, kann Timer 2 den erzeugten TF2-Überlauf einstellen

Erzeugen Sie einen Interrupt.

Wenn EXEN2 = 1, führt Timer 2 den gleichen Vorgang aus, aber eine fallende Flanke am externen Eingang T2EX führt auch dazu, dass das aktuelle Bit in TH2 und TL2 aktiviert wird. Der vorherige Wert wird in RCAP2H bzw. RCAP2L erfasst. Darüber hinaus kann die fallende Flanke an T2EX auch dazu führen, dass EXF2 in T2CON gesetzt wird.

Satz. Wenn ET2 aktiviert ist, generiert das EXF2-Bit auch einen Interrupt wie TF2.



Modus 0: 16-Bit-Erfassung

### Arbeitsmodus 1: 16 -Bit-Auto-Reload-Timer

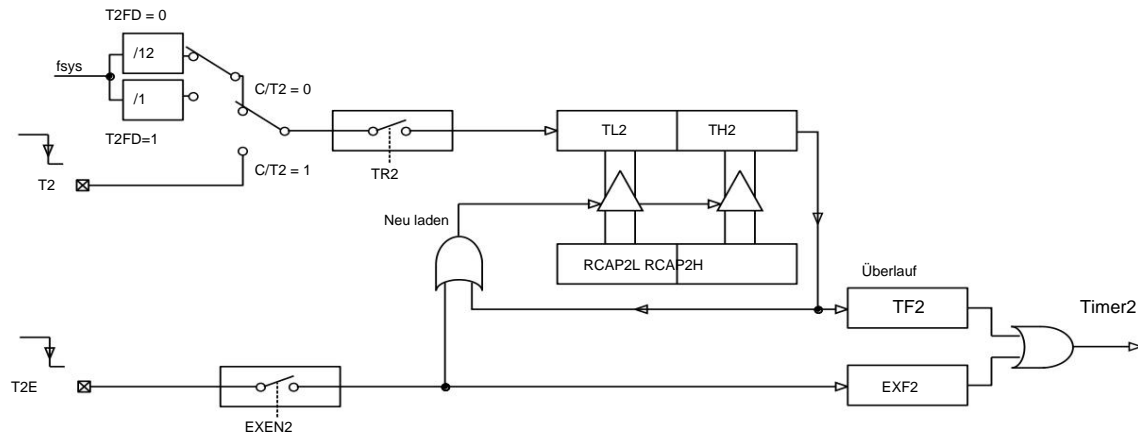
Im 16-Bit-Auto-Reload-Modus kann Timer 2 zum Hoch- oder Herunterzählen ausgewählt werden. Diese Funktion wird über das DCEN-Bit in T2MOD übergeben

(Abwärtszählen erlaubt) Auswahl. Nach dem Zurücksetzen des Systems wird das DCEN-Bit auf 0 zurückgesetzt und Timer 2 zählt standardmäßig hoch. Wenn DCEN eingestellt ist, Timer 2 Das Aufwärts- oder Abwärtszählen hängt vom Pegel am T2EX-Pin ab.

Bei DCEN = 0 werden beide Optionen über das EXEN2-Bit in T2CON ausgewählt.

Wenn EXEN2 = 0, erhöht sich Timer 2 auf 0xFFFFH, setzt das TF2-Bit nach dem Überlauf und der Timer schreibt automatisch das von der Benutzersoftware geschriebene Register. Die Register TH2 und TL2 werden mit den 16-Bit-Werten in den Registern RCAP2H und RCAP2L geladen.

Wenn EXEN2 = 1, kann ein Überlauf oder eine fallende Flanke am externen Eingang T2EX ein 16-Bit-Neuladen auslösen und das EXF2-Bit setzen. Wenn ET2 aktiviert ist, können sowohl die TF2- als auch die EXF2-Bits einen Interrupt erzeugen.



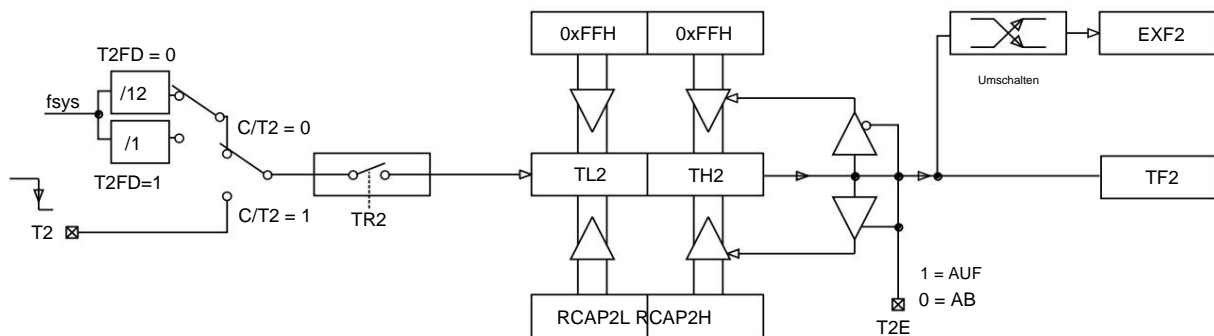
Modus 1: 16-Bit-Auto-Reload DCEN = 0

Durch Setzen des DCEN-Bits kann Timer 2 hoch- oder runterzählen. Wenn DCEN = 1 ist, steuert der T2EX-Pin die Zählrichtung und die EXEN2-Steuerung ist ungültig.

Durch das Setzen von T2EX wird Timer 2 erhöht. Der Timer läuft auf 0xFFFF über und setzt dann das TF2-Bit. Ein Überlauf kann auch RCAP2H verursachen und der 16-Bit-Wert auf RCAP2L wird in das Timer-Register neu geladen.

Wenn Sie T2EX auf 0 setzen, zählt Timer 2 herunter. Wenn der Wert von TH2 und TL2 gleich dem Wert von RCAP2H und RCAP2L ist, läuft der Timer über. Schalten Sie das TF2-Bit ein und laden Sie 0xFFFFH erneut in das Timer-Register.

Unabhängig davon, ob Timer 2 überläuft oder nicht, wird das EXF2-Bit als Bit 17 des Ergebnisses verwendet. In diesem Arbeitsmodus dient EXF2 nicht als Interrupt-Flag.



Modus 1: 16-Bit-Auto-Reload DCEN = 1

#### Arbeitsmodus 2: Baudratengenerator

Timer 2 wird als Baudratengenerator ausgewählt, indem TCLK und/oder RCLK im T2CON-Register eingestellt werden. Die Baudraten von Empfänger und Sender können unterschiedlich sein. Mit unterschiedlichen. Wenn Timer 2 als Empfänger oder Sender fungiert, fungiert Timer 1 entsprechend als weiterer Baudratengenerator.

Durch Setzen von TCLK und/oder RCLK im T2CON-Register wird Timer 2 in den Baudratengeneratormodus versetzt, der dem Auto-Reload-Modus ähnelt. Ein Überlauf von Timer 2 lädt die Werte in den Registern RCAP2H und RCAP2L in Timer 2 neu. Zählt, erzeugt aber keinen Interrupt. Wenn EXEN2 auf 1 gesetzt ist, wird eine fallende Flanke am T2EX-Pin EXF2 setzen, aber kein Neuladen verursachen. Wenn Timer 2 als Baudratensender verwendet wird, kann T2EX daher als zusätzlicher externer Interrupt verwendet werden. Die Baudrate in den UART-

Modi 1 und 3 wird durch die Überlaufrate von Timer 2 gemäß der folgenden Gleichung bestimmt:

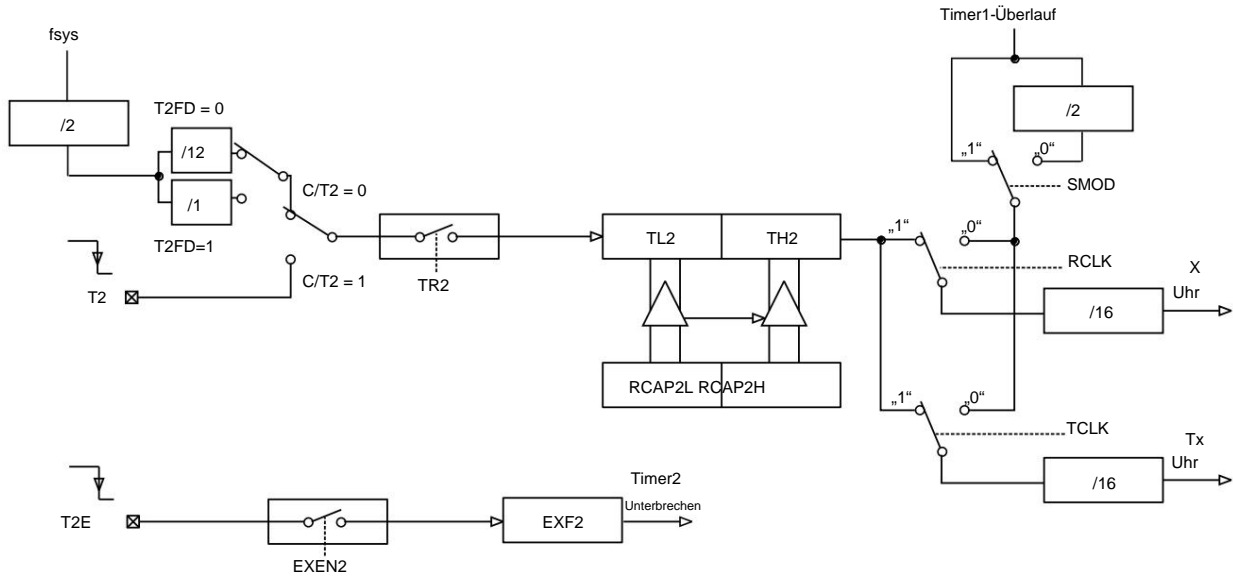
$$\text{BaudRate} = \frac{1}{16} \times \frac{fn2}{(65536 \div [RCAP2H, RCAP2L]) \times 2}$$

Unter diesen ist fn2 die Taktfrequenz von Timer 2:

$$fn2 = \frac{f_{sys}}{12}; T2FD = 0$$

$$fn2 = f_{sys}; T2FD = 1$$

Das schematische Diagramm von Timer 2 als Baudratengenerator sieht wie folgt aus:



Modus 2: Baudratengenerator

Betriebsart 3: Programmierbarer Taktausgang

In diesem Modus kann T2 (P1.1) so programmiert werden, dass er eine Taktperiode mit 50 % Tastverhältnis ausgibt: Wenn C/T2 = 0; T2OE = 1, aktivieren Sie Timer 2 als Taktgenerator in

diesem Modus, T2 gibt einen Takt mit aus eine Einschaltdauer von 50 %

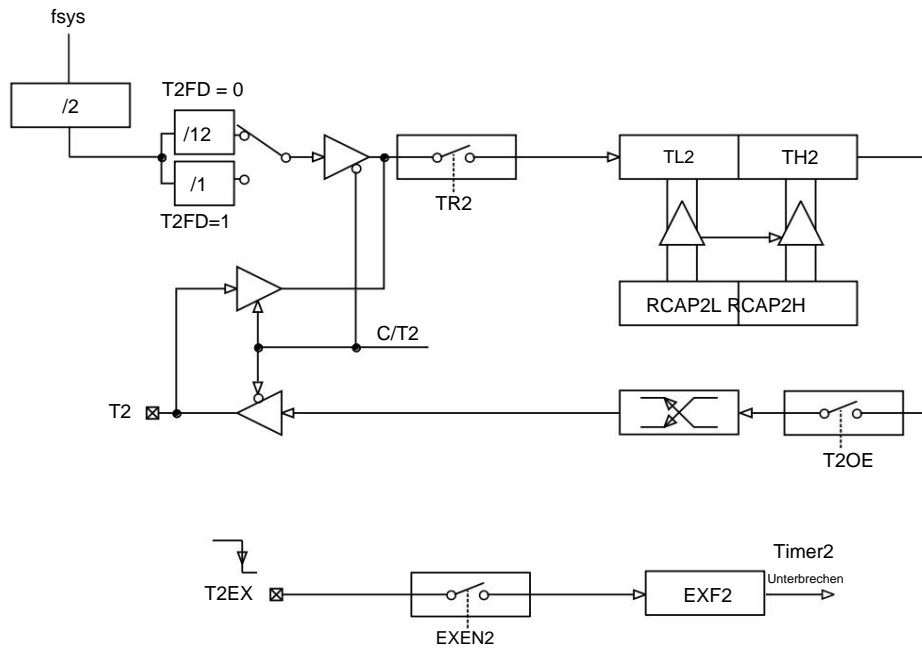
$$\text{Colck-Out-Frequenz} = ; \frac{fn2}{(65536 \div [RCAP2H, RCAP2L]) \times 4}$$

Unter diesen ist fn2 die Taktfrequenz von Timer 2:

$$fn2 = \frac{f_{sys}}{12}; T2FD = 0$$

$$fn2 = f_{sys}; T2FD = 1$$

Der Überlauf von Timer 2 erzeugt keinen Interrupt und der T2-Port wird als Taktausgang verwendet.



Modus 3: Programmierbarer Taktausgang

**Hinweis:**

1. Sowohl TF2 als auch EXF2 können Interrupt-Anforderungen von Timer 2 verursachen und beide haben dieselbe Vektoradresse. 2. Wenn ein Ereignis auftritt oder zu einem anderen Zeitpunkt, können TF2 und EXF2 per Software auf 1 gesetzt werden, nur Software und Hardware kann durch Zurücksetzen auf 0 gelöscht werden; 3. Wenn EA = 1 und ET2 = 1, kann das Setzen von TF2 oder EXF2 auf 1 zu einer Unterbrechung von Timer 2 führen; 4. Wenn Timer 2 als Baudratengenerator verwendet wird, schreiben Sie TH2/TL2 oder RCAP2H/RCAP2L beeinträchtigen die Genauigkeit der Baudrate und verursachen Kommunikationsfehler.

## 12PWM

SC93F833X bietet einen unabhängigen Zähler, der drei PWM-Ausgänge unterstützen kann: PWM0, PWM1 und PWM2.

Die PWM-Funktionen des SC93F833X sind: 8+2-Bit-PWM-

Genauigkeit 2 Die Zyklen PWM0,

PWM1 und PWM2 sind gleich, aber der Arbeitszyklus kann unabhängig voneinander eingestellt werden. 2 Der

Ausgang kann vorwärts und rückwärts

eingestellt werden. 2 Stellen Sie 1 PWM-Überlauf-

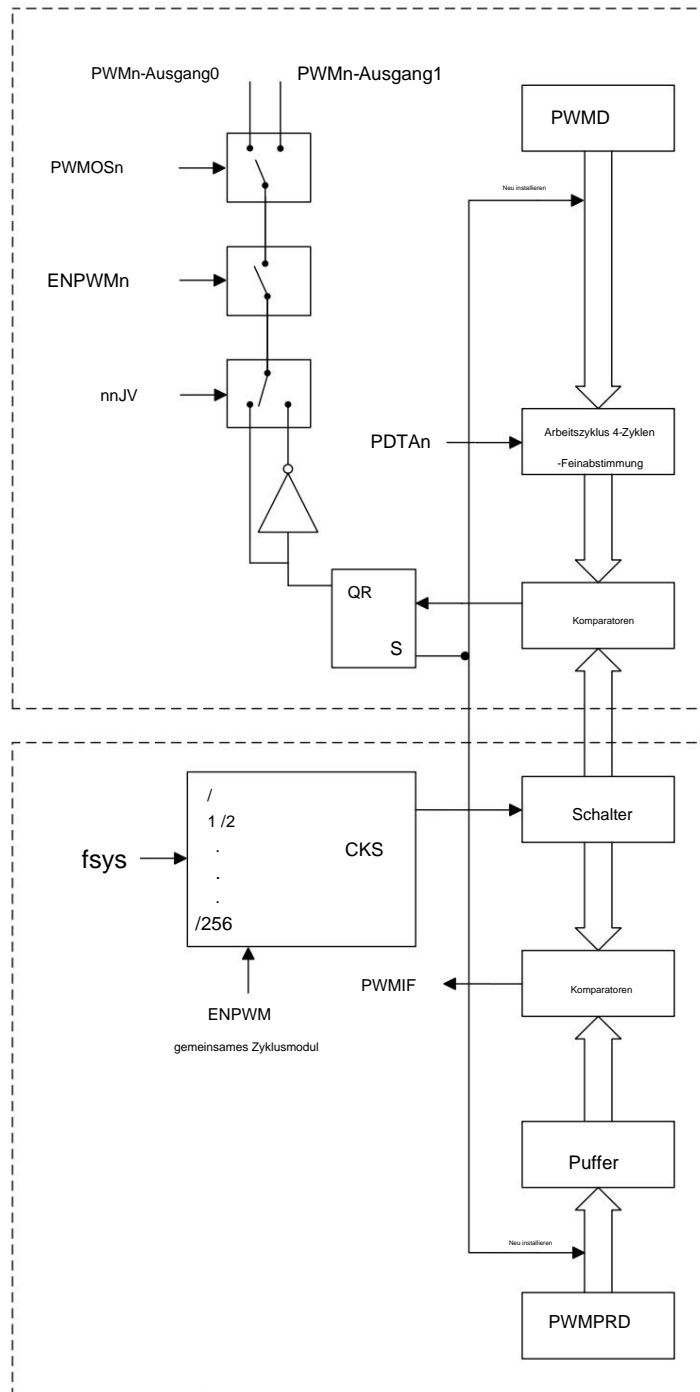
Interrupt bereit. 2 Die Ausgänge von PWM0, PWM1 und PWM2 können jeweils auf unterschiedliche IO-Port-Ausgänge umgeschaltet werden.

Das PWM des SC93F833X kann die Anpassung von Periode und Arbeitszyklus unterstützen. Das Register PWMCON steuert die zugehörigen Einstellungen von PWM0, PWM1 und PWM2.

Einstellung, PWMCFG legt die Polarität der PWM-Ausgangswellenform und die Auswahl des Ausgangs-IO fest, PWMPRD legt die gemeinsame Periode der PWM fest, PWMDTY0,

PWMDTY1 und PWMDTY2 steuern jeweils den Arbeitszyklus von PWM0, PWM1 und PWM2. PWMDTYA steuert die Feineinstellung der drei PWM-Ausgangsaufgaben.

## 12.1 Blockdiagramm der PWM-Struktur



SC93F833X PWM-Strukturblockdiagramm

**12.2 PWM- bezogene SFR- Register**

symbolische Ansprache	veranschaulichen	7	6	5	4	3	2	1	0 Wert	zurücksetzen
PWMCON D2H	PWM-Steuerregister	ENPWM	PWMIF	ENPWM	ENPWM	ENPWM	PWMCKS[2:0]		0000000b	
PWMPRD D3H	PWM-Perioden-Einstellungsregister	PWMPRD[7:0]								0000000b
PWMCFG D1H	PWM-Einstellungsregister	-	-	INV2	INV1	INV0	PWMOS	PWMOS	PWMOS	xx00000b
PWMDTY0 D5H	PWM0-Arbeitszyklus-Einstellungsregister	PDT0[7:0]								0000000b
PWMDTY1 D6H	PWM1-Arbeitszyklus-Einstellungsregister	PDT1[7:0]								0000000b
PWMDTY2 D7H	PWM20-Arbeitszykluseinstellung	PDT2[7:0]								0000000b
PWMDTYA D4H	Register zur Anpassung des PWM-Arbeitszyklus	-	-	PDTA2[1:0]		PDTA1[1:0]		PDTA0[1:0]		xx00000b
IE1	A9H Interrupt-Freigaberegister	-	-	-	ETK	EINT2	EBTM	EPWM	ESSI	xxx00000b
IP1	B9H Interrupt-Prioritätsregister 1	-	-	-	IPTK	IPINT2	IPBTM	IPPWM	IPPSI	xxx00000b

**PWMCON (D2h) PWM- Steuerregister (Lesen/Schreiben)**

Bitnummer	Symbol	ENPWM	PWMIF	ENPWM	ENPWM	ENPWM	3	2	1	0	
lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	PWMCKS[2:0]			lesen/schreiben
		lesen/schreiben	lesen/schreiben			lesen/schreiben		lesen/schreiben			
		0	0			0	0	0	0	0	

Bitnummer	Bitzeichen	veranschaulichen
7	<b>ENPWM</b>	<p>Steuerung des PWM-Modulschalters (PWM aktivieren)</p> <p>1: Lassen Sie die Uhr in die PWM-Einheit eintreten und beginnen Sie mit der PWM-Arbeit</p> <p>0: Die PWM-Einheit funktioniert nicht mehr und der PWM-Zähler wird gelöscht. PWMn ist weiterhin mit dem Ausgangsport verbunden, wenn Um andere mit dem PWMn- Ausgangsport gemultiplizierte Funktionen zu verwenden, setzen Sie ENPWMn auf 0</p>
6	<b>PWMIF</b>	<p>PWM-Interrupt-Anforderungsflag (PWM-Interrupt-Flag)</p> <p>Wenn der PWM-Zähler überläuft (d. h. wenn der Zählerstand PWMPRD überschreitet), wird dieses Bit gelöscht.</p> <p>Die Hardware setzt ihn automatisch auf 1. Wenn zu diesem Zeitpunkt auch IE1[1] (EPWM) auf 1 gesetzt ist, wird ein PWM-Interrupt generiert. Nachdem der PWM-Interrupt aufgetreten ist, löscht die Hardware dieses Bit nicht automatisch. Dieses Bit muss</p> <p>Die Entfernung liegt in der Verantwortung der Software des Benutzers.</p>
5	<b>ENPWM2</b>	<p>PWM2-Funktionsschalter</p> <p>1: PWM2-Ausgang an IO</p> <p>0: PWM2 wird nicht an IO ausgegeben</p>
4	<b>ENPWM1</b>	<p>Funktionsschalter PWM1</p> <p>1: PWM1-Ausgang an IO</p> <p>0: PWM1 wird nicht an IO ausgegeben</p>
3	<b>ENPWM0</b>	<p>Funktionsschalter PWM0</p> <p>1: PWM0-Ausgabe an IO</p> <p>0: PWM0 wird nicht an IO ausgegeben</p>
2-0	<b>PWMCKS[2:0]</b>	<p>Auswahl der PWM-Taktquelle</p> <p>000: fSYS</p> <p>001: fSYS/2</p> <p>010: fSYS/4</p> <p>011: fSYS/8</p> <p>100: fSYS/32</p> <p>101: fSYS/64</p> <p>110: fSYS/128</p> <p>111: fSYS/256</p>

PWMPRD[7:0] ist ein Periodeneinstellungsregler, der von drei PWMs gemeinsam genutzt wird. Immer wenn der PWM-Zähler den voreingestellten Wert von PWMPRD[7:0] erreicht,



Wenn der nächste PWM CLK eintrifft, springt der Zähler auf 00h, was bedeutet, dass die Periode von PWM0/1/2 (PWMPRD[7:0] + 1)\*PWM-Zeit beträgt

Glocke.

Die Zählzeit des PWM-Zählers kann über PWMCFG[2:0] gesteuert werden. Es kann eine unterschiedliche Anzahl von Systemtaktungen ausgewählt werden, um eine Einheit zu zählen (vorkalarer Selektor), das heißt, die Taktquelle des PWM-Zählers wird durch das System geteilt Uhr fSYS. Vergleichen. PWM0/1/2 kann auch von PWMCFG verwendet werden INV0–INV2, um auszuwählen, ob der PWM-Ausgang umgekehrt wird.

#### PWMPRD (D3h) Register zur Einstellung der PWM-Periode (Lesen/Schreiben)

Bit Nummer	6	5	4	3	2	1	0
Lesen/Schreiben	Lesen/Schreiben						
<b>PWMPRD[7:0]</b>							
Einschaltanfangswert	0	0	0	0	0	0	0

Bitnummer	Bitzeichen	veranschaulichen
7-0	<b>PWMPRD[7:0]</b> Periodeneinstellung, die von PWM0 und PWM1 gemeinsam genutzt wird; Dieser Wert repräsentiert die (Periode – 1) der Ausgangswellenformen PWM0, PWM1 und PWM2 ; das heißt Der Periodenwert des PWM-Ausgangs beträgt (PWMPRD[7:0] + 1)*PWM-Takt;	

#### PWMCFG (D1h) PWM- Einstellungsregister (Lesen/Schreiben)

	7	6	5	4	3	2	1	0
	-	-	INV2	INV1	INV0	PWMOS2	PWMOS1	PWMOS0
	-	-	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben
Bitnummersymbol: Anfangswert beim Einschalten	lesen/schreiben x	lesen/schreiben x	0	0	0	0	0	0

Bit Nummer	Bitzeichen	veranschaulichen
5	<b>INV2</b>	PWM2-Ausgangsumkehrsteuerung 1: Kehren Sie den Ausgang von PWM2 um 0: Der Ausgang von PWM2 wird nicht umgekehrt
4	<b>INV1</b>	PWM1-Ausgangsumkehrsteuerung 1: Invertieren Sie den Ausgang von PWM1 0: Der Ausgang von PWM1 wird nicht umgekehrt
3	<b>INV0</b>	PWM0-Ausgangsumkehrsteuerung 1: Invertieren Sie den Ausgang von PWM0 0: Der Ausgang von PWM0 wird nicht umgekehrt
2	<b>PWMOS2</b>	Auswahl des PWM2-Ausgangspins 0: PWM2-Ausgabe an P0.2 1: PWM2-Ausgang an P2.7
1	<b>PWMOS1</b>	Auswahl des PWM1-Ausgangspins 0: PWM1-Ausgabe an P0.1 1: PWM1-Ausgang an P2.6
0	<b>PWMOS0</b>	Auswahl des PWM0-Ausgangspins 0: PWM0-Ausgabe an P0.0 1: PWM0-Ausgabe an P2.5
7-6	-	Reservieren

#### PWMDTY0 (D5h) PWM0- Arbeitszyklus-Einstellungsregister (Lesen/Schreiben)

	7	6	5	4	3	2	1	0
	<b>PDT0[7:0]</b>							
Bitnummersymbol Lesen/Schreiben,	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben
Lesen/Schreiben, Anfangswert beim Einschalten	0	0	0	0	0	0	0	0

Bitnummer	Bitzeichen	veranschaulichen
7-0	<b>PDT0 [7:0]</b>	Einstellung der Arbeitszykluslänge von PWM0; Die hohe Breite von PWM0 beträgt (PDT0[7:0]) PWM-Takte

**PWM1 (D6h) PWM1- Arbeitszyklus-Einstellungsregister (Lesen/Schreiben)**

	7	6	5	4	3	2	1	0
	<b>PDT1[7:0]</b>							
Bitnummersymbol Lesen/Schreiben,	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben
Lesen/Schreiben, Anfangswert beim Einschalten 0	0	0	0	0	0	0	0	0

Bitnummer	Bitzeichen	veranschaulichen
7-0	<b>PDT1[7:0]</b>	Einstellung der Arbeitszykluslänge von PWM1; Die hohe Breite von PWM1 beträgt (PDT1[7:0]) PWM-Takte

**PWM2 (D7h) PWM2- Arbeitszyklus-Einstellungsregister (Lesen/Schreiben)**

	7	6	5	4	3	2	1	0
	<b>PDT2[7:0]</b>							
Bitnummersymbol Lesen/Schreiben,	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben
Lesen/Schreiben, Anfangswert beim Einschalten 0	0	0	0	0	0	0	0	0

Bitnummer	Bitzeichen	veranschaulichen
7-0	<b>PDT2[7:0]</b>	Einstellung der PWM2-Arbeitszykluslänge; Die hohe Breite von PWM2 beträgt (PDT2[7:0]) PWM-Takte

**PWMDTYA (D4h) Register zur Anpassung des PWM-Arbeitszyklus (Lesen/Schreiben)**

	7	6	5	4	3	2	1	0
	-	-	PDTA2[1:0] Lesen/		PDTA1[1:0] lesen/		PDTA0[1:0]	
	-	-	Schreiben	schreiben lesen/	schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben
Bitnummersymbol: Anfangswert beim Einschalten lesen/schreiben x			0	0	0	0	0	0

Bitnummer	Bitzeichen	veranschaulichen
5-4	<b>PDTA2[1:0]</b>	Feinabstimmungssteuerung des PWM2-Tastverhältnisses mit vier PWM2-Zyklen als ein Zyklus: 00: Die Aufgaben der vier PWM2-Ausgänge sind alle PDT2-Einstellwerte; (D, D, D, D) 01: Das Tastverhältnis des ersten PWM2-Ausgangs ist der PDT2-Einstellwert plus 1 und die restlichen drei PWM2 Die Ausgangsaufgaben sind alle PDT2-Einstellungswerte; (D+1, D, D, D) 10: Das Tastverhältnis des ersten und zweiten PWM2-Ausgangs beträgt den PDT2-Einstellwert plus 1 und die restlichen zwei Das von PWM2 ausgegebene Tastverhältnis ist der PDT2-Einstellwert; (D+1, D+1, D, D) 11: Das Tastverhältnis des ersten, zweiten und dritten PWM2-Ausgangs beträgt den PDT2-Einstellwert plus 1 und der vierte Das Tastverhältnis jedes PWM2-Ausgangs ist der PDT2-Einstellwert; (D+1, D+1, D+1, D)
3-2	<b>PDTA1[1:0]</b>	Feinabstimmungssteuerung des PWM1-Tastverhältnisses mit vier PWM1-Zyklen als ein Zyklus: 00: Die Aufgaben der vier PWM1-Ausgänge sind alle PDT1-Einstellwerte; (D, D, D, D) 01: Der Duty-Ausgang des ersten PWM1 ist der PDT1-Einstellwert plus 1 und die restlichen drei PWM1 Die Ausgangsleistung ist der PDT1-Einstellwert; (D+1, D, D, D) 10: Der Leistungsausgang des ersten und zweiten PWM1 ist der PDT1-Einstellungswert plus 1 und die verbleibenden zwei Die von PWM1 ausgegebene Einschaltdauer ist der PDT1-Einstellwert; (D+1, D+1, D, D) 11: Das Tastverhältnis des ersten, zweiten und dritten PWM1-Ausgangs beträgt den PDT1-Einstellungswert plus 1 und der vierte Das Tastverhältnis jedes PWM1-Ausgangs ist der PDT1-Einstellwert; (D+1, D+1, D+1, D)
1-0	<b>PDTA0[1:0]</b>	Feinabstimmungssteuerung des PWM0-Tastverhältnisses mit vier PWM0-Zyklen als ein Zyklus: 00: Die Aufgaben der vier PWM0-Ausgänge sind alle PDT0-Einstellungswerte; (D, D, D, D) 01: Der Duty-Ausgang des ersten PWM0 ist der PDT0-Einstellungswert plus 1 und die restlichen drei PWM0 Die Ausgangsleistung ist der PDT0-Einstellungswert; (D+1, D, D, D) 10: Das Tastverhältnis des ersten und zweiten PWM0-Ausgangs beträgt den PDT0-Einstellungswert plus 1 und die verbleibenden zwei Die von PWM0 ausgegebene Einschaltdauer ist der PDT0-Einstellungswert; (D+1, D+1, D, D) 11: Das Tastverhältnis des ersten, zweiten und dritten PWM0-Ausgangs beträgt den PDT0-Einstellungswert plus 1 und der vierte Das Tastverhältnis jedes PWM0-Ausgangs ist der PDT0-Einstellungswert; (D+1, D+1, D+1, D)
7-6	-	Reservieren

**IE1 (A9h) Interrupt-Aktivierungsregister (Lesen/Schreiben)**

	7	6	5	4	3	2	1	0
	-	-	-	ETK	EINT2	EBTM EPWM ESSI		
	-	-	-	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben
Bitnummersymbol: Anfangswert beim Einschalten		X	X	0	0	0	0	0

Bit Nummer	Bitzeichen	veranschaulichen
1	<b>EPWM</b>	PWM-Interrupt-Aktivierungssteuerung 0: PWM-Interrupt ausschalten 1: Erlauben Sie dem PWM-Zähler, einen Interrupt zu generieren, wenn er überläuft

**IP1 (B9h) Interrupt-Prioritätsregister 1 (Lesen/Schreiben)**

	7	6	5	4	3	2	1	0
	-	-	-	IPTK	IPINT2	IPBTM IPPWM IPSI		
	-	-	-	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben
Bitnummersymbol: Anfangswert beim Einschalten		X	X	0	0	0	0	0

Bit Nummer	Bitzeichen	veranschaulichen
1	<b>IPPWM</b>	Auswahl der PWM-Interrupt-Priorität 0: Stellen Sie die PWM-Interrupt-Priorität auf „niedrig“ ein. 1: Setzen Sie die PWM-Interrupt-Priorität auf „hoch“

**Beachten:**

- Das ENPWM-Bit kann steuern, ob das PWM-Modul funktioniert.
- Das ENPWMx-Bit kann den PWMx-Port als GPIO- oder PWMx-Ausgang auswählen.
- Das EPWM (IE1.1)-Bit kann steuern, ob PWM Interrupts generieren darf.
- Wenn ENPWM auf 1 gesetzt ist, ist das PWM-Modul eingeschaltet, aber ENPWMx=0, ist der PWM-Ausgang ausgeschaltet und wird als GPIO-Port verwendet. Zu diesem Zeitpunkt das PWM-Modul Es kann als 8-Bit-Timer verwendet werden. Zu diesem Zeitpunkt ist EPWM (IE1.1) auf 1 gesetzt und PWM generiert weiterhin Interrupts.
- Die drei PWMs teilen sich einen gemeinsamen Zyklus, und der beim Überlauf erzeugte PWM-Interrupt ist derselbe Interrupt-Vektor.

**12.3 PWM- Wellenform und Verwendung**

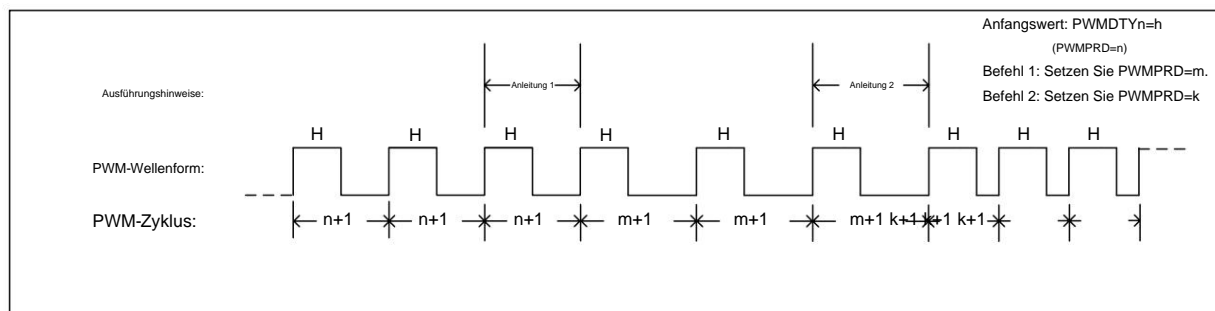
Die Auswirkung jeder SFR-Parameteränderung auf die PWM-Wellenform ist wie folgt:

Charakteristik der Änderung des Arbeitszyklus

Wenn PWMn eine Wellenform ausgibt und das Tastverhältnis geändert werden muss, kann dies durch Ändern des Werts des High-Level-Einstellungsregisters PWMMDTYn erreicht werden. Bitte beachten Sie

jedoch: Wenn Sie den Wert von PWMMDTYn ändern, wird der Arbeitszyklus sofort wirksam.

Zyklische Variationseigenschaften



Charakteristisches Diagramm der periodischen Variation

Wenn PWMn eine Wellenform ausgibt und die Periode geändert werden muss, kann dies durch Ändern des Werts des Periodeneinstellungsregisters PWMMD erreicht werden. Ändern Sie die PWMMDs

Der Wert Zeitraum ändert sich nicht sofort, sondern wartet auf das Ende dieses Zeitraums und ändert sich im nächsten Zeitraum, wie in der Abbildung oben dargestellt.

Die Beziehung zwischen Periode und Arbeitszyklus

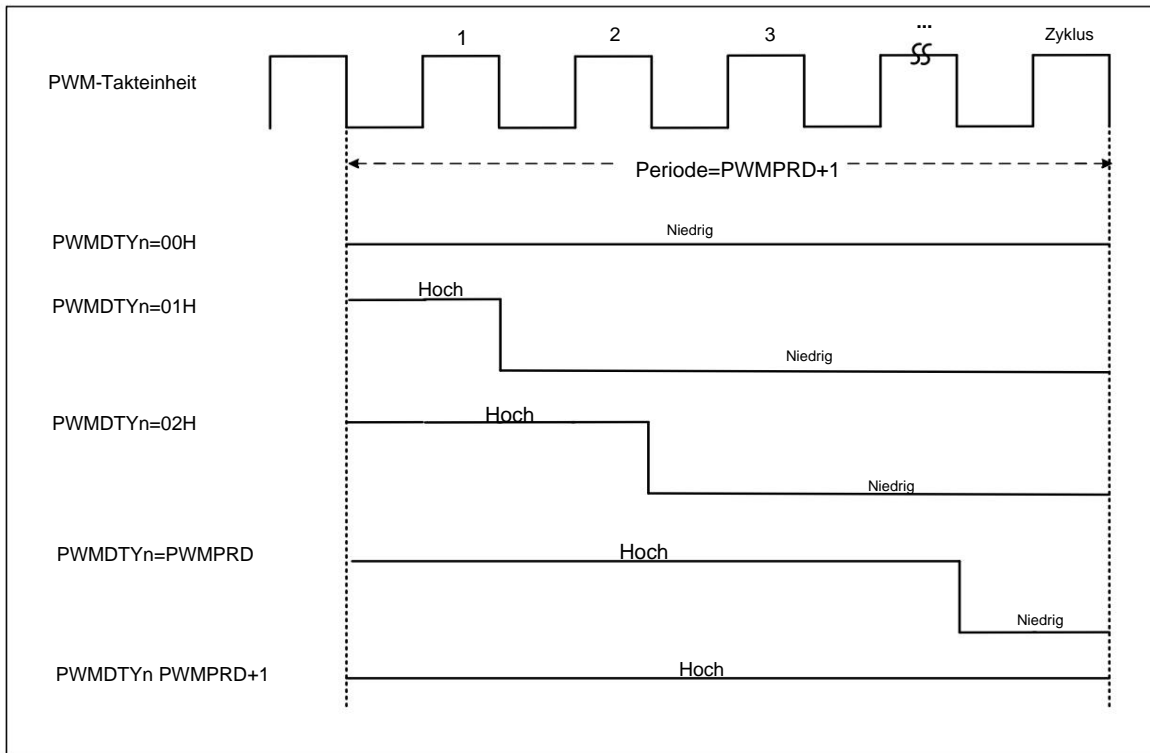


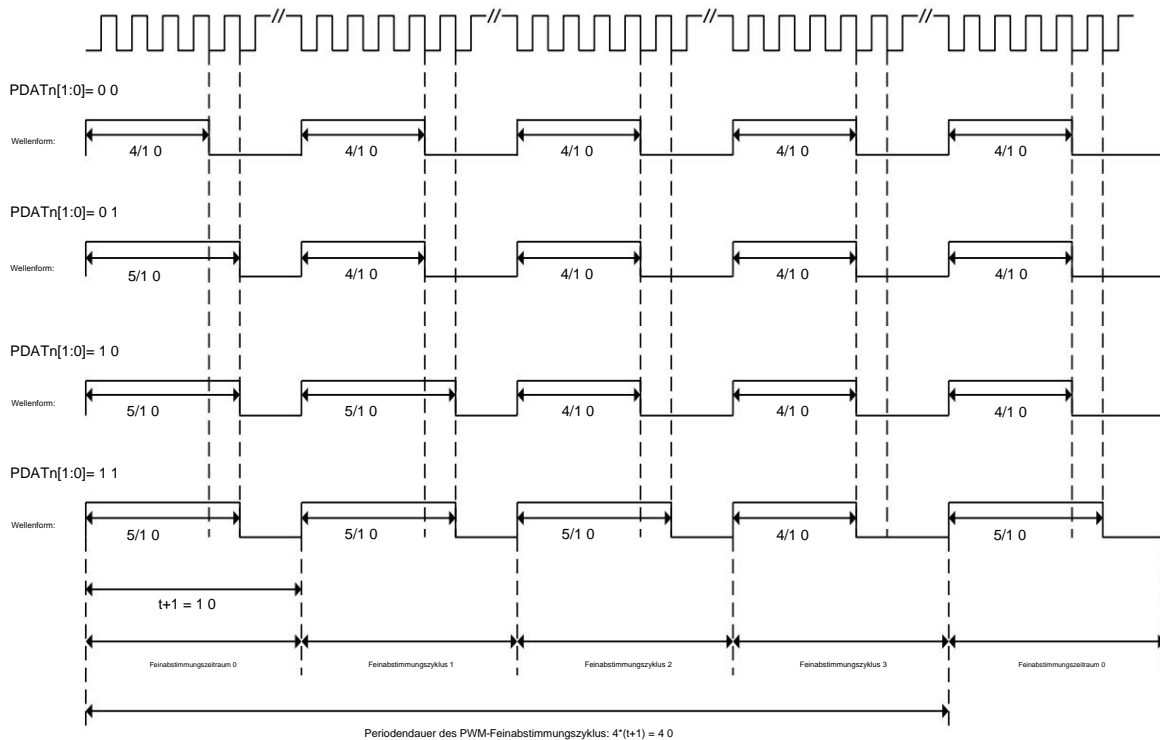
Diagramm Zyklus vs. Arbeitszyklus

Der Zusammenhang zwischen Periode und Arbeitszyklus ist in der Abbildung oben dargestellt. Die Voraussetzung für dieses Ergebnis ist, dass die Ausgangsumkehrsteuerung (INVn) von PWMn (n = 0, 1) anfänglich 0 ist. Bei Bedarf

Um das Ergebnis umzukehren, setzen Sie PWMCFG.5(INV2), PWMCFG.4(INV1) und PWMCFG.3(INV0) auf 1.

§ 8+2-Bit-PWM-Feinabstimmungssteuerung

Durch die Konfiguration von PWMDTYA können Sie die Feinabstimmung des Dreikanal-PWM-Ausgangsbetriebs steuern. Die Feinabstimmungssteuerung benötigt vier PWM-Perioden als einen Zyklus.





**SC93F8333/8332/8331**

**1T 32 -Bit-Bus 8051- Kern 23- Kanal-Touch -Flash-MCU mit hoher Empfindlichkeit**

---

8+2-Bit-PWM-Feinabstimmungs-Steuerdiagramm

## 13 GP-E/A

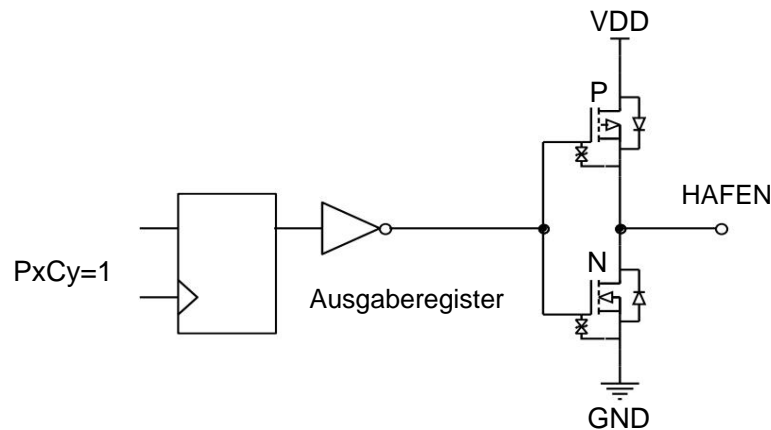
SC93F833X bietet bis zu 26 steuerbare bidirektionale GPIO-Ports. Die Eingangs- und Ausgangssteuerregister werden zur Steuerung des Eingangs- und Ausgangsstatus jedes Ports verwendet. Wenn der Port als Eingang verwendet wird, verfügt jeder I/O-Port über einen internen Pull-up-Widerstand gesteuert durch PxPhy. Diese 26 IOs sind mit anderen Funktionen gemultiplext, darunter P0.0-P0.4, die so eingestellt werden können, dass sie eine Spannung von halb VDD ausgeben und als COM-Treiber für die LCD-Anzeige verwendet werden können.

Hinweis: Unbenutzte und bleifreie E/A- Ports müssen auf den starken Push-Pull-Ausgabemodus eingestellt werden.

### 13.1 GPIO- Strukturdiagramm

#### Starker Push-Pull-Ausgabemodus

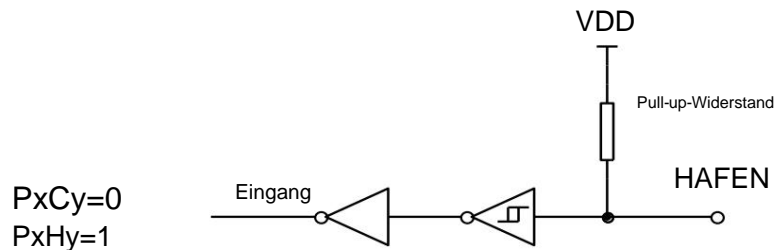
Im starken Push-Pull-Ausgabemodus kann ein kontinuierlicher Hochstromantrieb bereitgestellt werden: Der Ausgang über 21 mA ist hoch und der Ausgang über 48 mA ist niedrig. Das Portstrukturdiagramm des starken Push-Pull-Ausgabemodus lautet wie folgt:



Starker Push-Pull-Ausgabemodus

#### Eingabemodus mit Pull-up

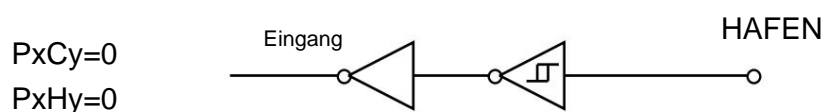
Eingabemodus mit Pull-up ist immer ein Pull-up-Widerstand an den Eingangsport angeschlossen. Erst wenn der Pegel am Eingangsport auf niedrig gezogen wird, wird ein Low-Pegel-Signal erkannt. Das Portstrukturdiagramm des Eingabemodus mit Pull-up lautet wie folgt:



Eingabemodus mit Pull-up

#### Hochimpedanz-Eingangsmodus (nur Eingang)

Das Portstrukturdiagramm des Hochimpedanz-Eingangsmodus sieht wie folgt aus:



Eingangsmodus mit hoher Impedanz

**13.2 E/A- Port-bezogene Register****P0CON (9Ah) P0- Port-Eingabe-/Ausgabe-Steuerregister (Lesen/Schreiben)**

	7	6	5	4	3	2	1	0
Bitnummernsymbol	P0C7	P0C6	P0C5	P0C4	P0C3	P0C2	P0C1	P0C0
Lesen/Schreiben, Anfangswert beim Einschalten 0	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben
Lesen/Schreiben, Anfangswert beim Einschalten 0	0	0	0	0	0	0	0	0

**P0PH (9Bh) P0- Port-Pull-Up-Widerstand-Steuerregister (Lesen/Schreiben)**

	7	6	5	4	3	2	1	0
Bitnummernsymbol	P0H7	P0H6	P0H5	P0H4	P0H3	P0H2	P0H1	P0H0
Lesen/Schreiben, Anfangswert beim Einschalten 0	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben
Lesen/Schreiben, Anfangswert beim Einschalten 0	0	0	0	0	0	0	0	0

**P1CON (91h) Eingangs-/Ausgangssteuerregister von Port 1 (Lesen/Schreiben)**

	7	6	5	4	3	2	1	0
Bitnummernsymbol	P1C7	P1C6 lesen/	P1C5 Lesen/	P1C4 Lesen/	P1C3 Lesen/	P1C2 Lesen/	P1C1	-
Lesen/Schreiben, Lesen/Schreiben, Anfangswert beim Einschalten 0	Lesen/Schreiben	schreiben	Schreiben	Schreiben	Schreiben	Schreiben	lesen/	-
Lesen/Schreiben, Anfangswert beim Einschalten 0		0	0	0	0	0	schreiben 0	X

**P1PH (92h) Port 1 Pull-Up-Widerstand-Steuerregister (Lesen/Schreiben)**

Bitnummer 6 5 Symbole	7	6	5	4	3	2	1	0
	P1H7	P1H6 lesen/	P1H5 lesen/	P1H4 lesen/	P1H3 Lesen/	P1H2 lesen/	P1H1	-
Lesen-/Schreib-Lese-/Schreib-		schreiben	schreiben	schreiben	Schreiben	schreiben	lesen/	-
Anfangswert beim Einschalten 0		0	0	0	0	0	schreiben 0	X

**P2CON (A1h) P2- Port-Eingabe-/Ausgabe-Steuerregister (Lesen/Schreiben)**

	7	6	5	4	3	2	1	0
Bitnummernsymbol	P2C7	P2C6 Lesen/	P2C5 Lesen/	P2C4 Lesen/	P2C3 Lesen/	P2C2 Lesen/	P2C1	P2C0
Lesen-/Schreib-Lese-/Schreib-		Schreiben	Schreiben	Schreiben	Schreiben	Schreiben	Lesen/	lesen/Schreiben
Anfangswert beim Einschalten 0		0	0	0	0	0	Schreiben 0	0

**P2PH (A2h) P2- Port-Pull-Up-Widerstand-Steuerregister (Lesen/Schreiben)**

Bitnummer 6 5 Symbole	7	6	5	4	3	2	1	0
lesen/schreiben lesen/schreiben Einschaltanfngswert								
0	P2H7	P2H6	P2H5	P2H4	P2H3	P2H2	P2H1	P2H0
		lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/Schreiben
		0	0	0	0	0	0	0

**P5CON (D9h) Eingangs-/Ausgangssteuerregister von Port 5 (Lesen/Schreiben)**

	7	6	5	4	3	2	1	0
Bitnummernsymbol	-	-	-	-	-	P5C2	P5C1	P5C0
Lesen/Schreiben, Anfangswert beim Einschalten						lesen/schreiben	lesen/schreiben	lesen/Schreiben
Bitnummernsymbol: Anfangswert beim Einschalten		lesen/schreiben x	X	X	X	0	0	0

**P5PH (DAh) Port 5 Pull-Up-Widerstands-Steuerregister (Lesen/Schreiben)**

	7	6	5	4	3	2	1	0
Bitnummernsymbol	-	-	-	-	-	P5H2	P5H1	P5H0
Lesen/Schreiben, Anfangswert beim Einschalten						lesen/schreiben	lesen/schreiben	lesen/Schreiben
Bitnummernsymbol: Anfangswert beim Einschalten		lesen/schreiben x	X	X	X	0	0	0

Bitnummer	Bitzeichen	Wiederholungen
7~0	<b>px</b> (x=0~2,5, y=0~7)	Px-Port-Eingangs- und Ausgangssteuerung: 0: Pxy ist der Eingabemodus (Anfangswert beim Einschalten) 1: Pxy ist ein starker Push-Pull-Ausgabemodus

7~0	<b>htK</b> (x=0~2,5, y=0~7)	Die Einstellung des Px-Port-Pull-up-Widerstands ist nur gültig, wenn PxCy=0: 0: Pxy befindet sich im Hochimpedanz-Eingangsmodus (Anfangswert beim Einschalten) und der Pull-up-Widerstand ist ausgeschaltet; 1: Pxy-Pull-up-Widerstand ist eingeschaltet
-----	--------------------------------	----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------

**P0 (80h) P0- Port-Datenregister (Lesen/Schreiben)**

Bit Nummer	7	6	5	4	3	2	1	0
Symbol	Lesen/Schreiben	Lesen/Schreiben						
	P0.7	P0.6	P0.5	P0.4	P0.3	P0.2	P0.1	P0.0
Einschaltanfangswert 0		lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben
		0	0	0	0	0	0	0

**P1 (90h) P1- Port-Datenregister (Lesen/Schreiben)**

Bit Nummer	7	6	5	4	3	2	1	0
Symbol	Lesen/Schreiben	Lesen/Schreiben						
	P1.7	P1.6	P1.5	P1.4	P1.3	P1.2	P1.1	-
Einschaltanfangswert 0		lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	-
		0	0	0	0	0	0	X

**P2 (A0h) P2- Port-Datenregister (Lesen/Schreiben)**

Bit Nummer	7	6	5	4	3	2	1	0
Symbol	Lesen/Schreiben	Lesen/Schreiben						
	P2.7	P2.6	P2.5	P2.4	P2.3	P2.2	P2.1	P2.0
Einschaltanfangswert 0		lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben
		0	0	0	0	0	0	0

**P5 (D8h) P5- Port-Datenregister (Lesen/Schreiben)**

Bit Nummer	7	6	5	4	3	2	1	0
Symbol	-	-	-	-	-	P5.2	P5.1	P5.0
						lesen/schreiben	lesen/schreiben	lesen/schreiben
Einschaltanfangswert 0		lesen/schreiben	X	X	X	0	0	0

**IOHCON(97h) IOH- Einstellungsregister (Lesen/Schreiben)**

Bit Nummer	7	6	5	4	3	2	1	0
Symbol	P2H[1:0] Lesen/Schreiben		P2L[1:0] Lesen/Schreiben		P0H[1:0] Lesen/Schreiben		POL[1:0]	
	Lesen/Schreiben		Lesen/Schreiben		Lesen/Schreiben		lesen/schreiben lesen/schreiben	
Einschaltanfangswert 0			0 0		0 0		0 0	

Bitnummer	Bitzeichen	veinschauchen
7~6	P2H[1:0]	P2 hohe vierstellige IOH-Einstellung 00: Setzen Sie die oberen vier Ziffern von P2 auf IOH-Ebene 0 (Maximum); 01: Setzen Sie die oberen vier Ziffern von P2 auf IOH-Ebene 1; 10: Stellen Sie die oberen vier Ziffern von P2 auf IOH-Ebene 2 ein; 11: Stellen Sie die oberen vier Ziffern von P2 auf IOH-Stufe 3 (Minimum) ein.
5~4	P2L[1:0]	P2 untere vier Bits IOH-Einstellung 00: Setzen Sie die unteren vier Bits von P2 auf IOH-Level 0 (Maximum); 01: Setzen Sie die unteren vier Bits von P2 auf IOH-Ebene 1; 10: Setzen Sie die unteren vier Bits von P2 auf IOH-Ebene 2; 11: Setzen Sie die unteren vier Ziffern von P2 auf IOH-Stufe 3 (Minimum);
3~2	P0H[1:0]	P0 High-Vier-Bit-IOH-Einstellung 00: Setzen Sie die oberen vier Ziffern von P0 auf IOH-Ebene 0 (Maximum); 01: Setzen Sie die oberen vier Ziffern von P0 auf IOH-Ebene 1; 10: Stellen Sie die oberen vier Ziffern von P0 auf IOH-Ebene 2 ein; 11: Stellen Sie die oberen vier Ziffern von P0 auf IOH-Stufe 3 (Minimum) ein.
1~0	POL[1:0]	P0 Low-Vier-Bit-IOH-Einstellung 00: Setzen Sie die unteren vier Bits von P0 auf IOH-Level 0 (Maximum); 01: Setzen Sie die unteren vier Bits von P0 auf IOH-Ebene 1;



		10: Setzen Sie die unteren vier Bits von P0 auf IOH-Ebene 2; 11: Setzen Sie die unteren vier Bits von P0 auf IOH-Level 3 (Minimum);
--	--	----------------------------------------------------------------------------------------------------------------------------------------

## 14 Software- LCD- Treiber

P0.0–P0.4 des SC93F833X kann als COM-Port des Software-LCD verwendet werden. Zusätzlich zu den normalen IO-Funktionen können diese IOs auch 1/2VDD-Leistung ausgeben.

Druck. Benutzer können je nach Nutzungsbedingungen den entsprechenden IO als COM des LCD-Treibers auswählen.

### 14.1 Software -LCD- Treiberbezogene Register

Beschreibung des LCD-Treiber-bezogenen SFR-Registers:

P0VO (9CH) **P0- Port LCD- Spannungsausgangsregister (Lesen/Schreiben)**

	7	6	5	4	3	2	1	0
	-	-	-	P04VO P03VO	P02VO P01VO	P00VO		
	-	-	-	lesen/schreiben	lesen/schreiben lesen/schreiben lesen/schreiben	lesen/schreiben 0 0 0		lesen/schreiben
Bitnummersymbol: Anfangswert beim Einschalten		X	X	0				0

P0yVO (y=0~4) 0	Auswahl des P0y- Port-Ausgangs
	Gewöhnlicher IO-Port
1	Die Ausgangsspannung des P0y-Ports beträgt 1/2VDD;

**OTCON(8Fh) Ausgangssteuerregister (Lesen/Schreiben)**

Bit Nummer	6	Symbol	7	5	4	3	2	1	0
		SSMOD[1:0] lesen/		-	-	VOIRS[1:0]			
		schreiben lesen/schreiben lesen/schreiben		-	-	lesen/schreiben lesen/schreiben		-	-
Einschaltanfangswert	0	0	X	X	0	0	X	X	

Bitnummer	Bitzeichen	veranschaulichen
3~2	VOIRS[1:0] Auswahl des Spannungsteilerwiderstands des LCD-Spannungsausgangsanschlusses ( wählen Sie den geeigneten Treiber entsprechend der Größe des LCD- Bildschirms aus)	00: Schalten Sie den internen Spannungsteilerwiderstand aus (Energiesparen) 01: Stellen Sie den internen Spannungsteilerwiderstand auf 25K ein 10: Stellen Sie den internen Spannungsteilerwiderstand auf 50K ein 11: Stellen Sie den internen Spannungsteilerwiderstand auf 100 K ein

## 15 UART0

SC93F833X unterstützt einen seriellen Voll duplex-Anschluss, der problemlos für die Verbindung mit anderen Geräten oder Geräten verwendet werden kann, z. B. WLAN-Modulschaltungen oder anderen

Treiberchip für UART-Kommunikationsschnittstelle usw. Die Funktionen und Eigenschaften von UART0 sind wie folgt:

1. Es stehen vier Kommunikationsmodi zur Verfügung: Modus 0, Modus 1, Modus 2 und Modus 3;
2. Als Baudratengenerator kann Timer 1 oder Timer 2 ausgewählt werden;
3. Der Abschluss des Sendens und Empfangens kann einen Interrupt RI/TI erzeugen, und das Interrupt-Flag muss per Software gelöscht werden.

### 15.1 UART0- bezogene Register

**SCON (98h) Steuerregister der seriellen Schnittstelle (Lesen/Schreiben)**

	7	6	5	4	3	2	1	0
	SM0	SM1	SM2	REN	TB8	RB8	TI	RI
Bitnummersymbol Lesen/Schreiben,		lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben
Lesen/Schreiben, Anfangswert beim Einschalten	0	0	0	0	0	0	0	0

Bitnummer	Bitzeichen	veranschaulichen
7~6	SM0~1	Steuerbit für den seriellen Kommunikationsmodus 00: Modus 0, synchroner 8-Bit-Halbduplex-Kommunikationsmodus, Senden und Empfangen serieller Daten am RX-Pin.

		<p>Der TX-Pin wird als Sende-Shift-Takt verwendet. Jeder Frame sendet und empfängt 8 Bits, wobei das Low-Bit zuerst empfangen oder gesendet wird;</p> <p>01: Modus 1, asynchrone 10-Bit-Vollduplex-Kommunikation, bestehend aus 1 Startbit, 8 Datenbits und 1</p> <p>Die Kommunikationsbaudrate besteht aus Stoppbits und ist variabel.</p> <p>10: Modus 2, asynchrone 11-Bit-Vollduplex-Kommunikation, bestehend aus 1 Startbit, 8 Datenbits und a</p> <p>Bestehend aus programmierbarem 9. Bit und 1 Stoppbit;</p> <p>11: Modus 3, asynchrone 11-Bit-Vollduplex-Kommunikation, bestehend aus 1 Startbit, 8 Datenbits und a</p> <p>Es besteht aus einem programmierbaren 9. Bit und einem Stoppbit und die Kommunikationsbaudrate ist variabel.</p>
5	<b>SM2</b>	<p>Steuerbit 2 für den seriellen Kommunikationsmodus. Dieses Steuerbit ist nur für die Modi 2 und 3 gültig</p> <p>0: Stellen Sie RI so ein, dass jedes Mal eine Interrupt-Anfrage generiert wird, wenn ein vollständiger Datenrahmen empfangen wird.</p> <p>1: Wenn ein vollständiger Datenrahmen empfangen wird, wird RI nur gesetzt, wenn RB8=1 und eine Interrupt-Anfrage generiert wird.</p> <p>bitten.</p>
4	<b>REN</b>	<p>Empfangsfreigabe-Steuerbit</p> <p>0: Datenempfang nicht erlaubt;</p> <p>1: Datenempfang zulassen.</p>
3	<b>TB8</b>	Gilt nur für Modus 2 und 3, es handelt sich um das 9. Bit der gesendeten Daten
2	<b>RB8</b>	Gilt nur für die Modi 2 und 3, es handelt sich um das 9. Bit der empfangenen Daten
1	<b>TI</b>	Interrupt-Flag-Bit senden
0	<b>RI</b>	Interrupt-Flag-Bit empfangen

**SBUF (99h) Datenpufferregister der seriellen Schnittstelle (Lesen/Schreiben)**

	7	6	5	4	3	2	1	0
	SBUF[7:0]							
Bitnummersymbol Lesen/Schreiben,		lesen/schreiben	lesen/schreiben	Lesen/Schreiben Lesen/Schreiben 0 0		lesen/schreiben	lesen/schreiben	lesen/Schreiben
Lesen/Schreiben, Anfangswert beim Einschalten 0		0	0			0	0	0

Bitnummer	Bitsymbol	veranschaulichen
7-0	<b>SBUF[7:0] Datenpufferregister der seriellen Schnittstelle</b>	<p>SBUF enthält zwei Register: ein Sendeschieberegister und ein Empfangslatch. Schreiben</p> <p>Die Daten von SBUF werden an das Sendeschieberegister gesendet und der Sendevorgang wird gestartet. Beim Lesen von SBUF wird zurückgegeben</p> <p>Gibt den Inhalt des Empfangslatches zurück.</p>

**PCON (87h) Power Control Register (nur schreiben, \*nicht lesbar \*)**

	7	6	5	4	3	2	1	0
Bitnummersymbol SMOD Lese-/		-	-	-	-	-	STOPPEN	IDL
Schreib-		-	-	-	-	-	schreibe einfach	schreibe einfach
Anfangswert beim Einschalten x		X	X	X	X	X	0	0

Bitnummer	Bitzeichen	veranschaulichen
7	<b>SMOD</b>	<p>Bit zur Einstellung der Baudratenvervielfachung</p> <p>0: Wenn SM0~1 = 00, läuft die serielle Schnittstelle mit 1/12 des Systemtakts, SM0~1 = 10</p> <p>Wenn , läuft der serielle Port mit 1/64 des Systemtakts;</p> <p>1: Wenn SM0~1 = 00, läuft die serielle Schnittstelle mit 1/4 des Systemtakts, SM0~1 = 10</p> <p>, der serielle Port läuft mit 1/32 des Systemtakts.</p>

## 15.2 Baudrate der seriellen Kommunikation

Im Modus 0 kann die Baudrate auf 1/12 oder 1/4 des Systemtakts programmiert werden, bestimmt durch das SMOD-Bit (PCON.7). Wenn SMOD 0 ist, ist dies der serielle Port Läuft mit 1/12 der Systemuhr. Wenn SMOD 1 ist, läuft der serielle Port mit 1/4 des Systemtakts.

Im Modus 1 und Modus 3 kann die Baudrate aus der Überlaufrate von Timer 1 oder Timer 2 ausgewählt werden.

Setzen Sie die Bits TCLK(T2CON.4) und RCLK(T2CON.5) auf 1, um Timer 2 als Baud-Taktquelle für TX und RX auszuwählen (Einzelheiten finden Sie unter Timer). Kapitel). Unabhängig davon, ob TCLK oder RCLK logisch 1 ist, befindet sich Timer 2 im Baudratengeneratormodus. Wenn TCLK und RCLK logisch 0 sind, ist das Timing

Gerät 1 dient als Baud-Taktquelle für Tx und Rx.

Die Baudratenformeln von Modus 1 und Modus 3 lauten wie folgt, wobei TH1 das 8-Bit-Auto-Reload-Register von Timer 1 und SMOD die Baudzahl von UART ist.

Rate Doubler, [RCAP2H, RCAP2L] sind die 16-Bit-Reload-Register für Timer 2. 1. Verwenden Sie

Timer 1 als Baudratengenerator und Timer 1 arbeitet im Modus 2:

$$\text{BaudRate} = \frac{2}{16} \times \frac{\text{fn1}}{(256 \ddot{y} \text{TH1}) \times 2}$$

Unter diesen ist fn1 die Taktfrequenz von Timer 1:

$$\text{fn1} = \frac{\text{fsys}}{12}; \text{T1FD} = 0$$

$$\text{fn1} = \text{fsys}; \text{T1FD} = 1$$

2. Verwenden Sie Timer 2 als Baudratengenerator:

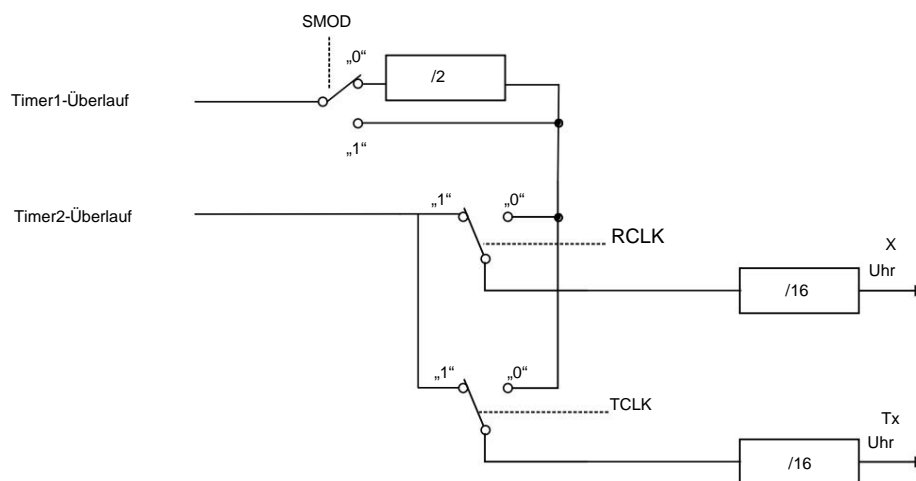
$$\text{BaudRate} = \frac{1}{16} \times \frac{\text{fn2}}{(65536 \ddot{y} [\text{RCAP2H}, \text{RCAP2L}]) \times 2}$$

Unter diesen ist fn2 die Taktfrequenz von Timer 2:

$$\text{fn2} = \frac{\text{fsys}}{12}; \text{T2FD} = 0$$

$$\text{fn2} = \text{fsys}; \text{T2FD} = 1$$

Das schematische Diagramm des Baudratengenerators in Modus 1 und Modus 3 sieht wie folgt aus:



Prinzip des Baudratengenerators Modus 1 und Modus 3

Im Modus 2 ist die Baudrate auf 1/32 oder 1/64 des Systemtakts festgelegt, bestimmt durch das SMOD-Bit (PCON.7). Wenn das SMOD-Bit 0 ist, wird die Welle Die Bitrate beträgt 1/64 des Systemtakts. Wenn das SMOD-Bit 1 ist, beträgt die Baudrate 1/32 des Systemtakts.

## 16 SPI/TWI/UART Dreifachauswahl, eine serielle Schnittstelle SSI

SC92F833X integriert eine serielle Drei-Auswahl-Schnittstellenschaltung (kurz SSI), die die Verbindung zwischen der MCU und Geräten oder Geräten mit unterschiedlichen Schnittstellen erleichtern kann.

Benutzer können die SSI-Schnittstelle über die SSMOD[1:0]-Bits des Konfigurationsregisters OTCON für jeden Kommunikationsmodus zwischen SPI, TWI und UART konfigurieren. Seine Eigenschaften sind wie folgt: 1. Der SPI-

Modus kann entweder als Master-Modus oder Slave-Modus konfiguriert werden. 2. Die

Kommunikation im TWI-Modus kann nur als Slave verwendet werden

3. Der UART-Modus kann in Modus 1 (10-Bit-Vollduplex-asynchrone Kommunikation) und Modus 3 (11-Bit-Vollduplex-asynchrone Kommunikation) arbeiten. Die spezifische Konfiguration ist wie folgt:

**OTCON (8Fh) Ausgangsteuerregister (Lesen/Schreiben)**

	7	6	5	4	3	2	1	0
Bitnummernsymbol	SSMOD[1:0] lesen/		-	-	VOIRS[1:0] lesen/		-	-
	schreiben lesen/schreiben lesen/schreiben		-	-	schreiben lesen/schreiben 0 0		-	-
Einschaltanfangswert 0			X	X			X	X

Bitnummer	Bitzeichen	veranschaulichen
7-6	<b>SSMOD[1:0]</b>	Steuerbit für den SSI-Kommunikationsmodus 00: SSI aus 01: SSI ist auf den SPI-Kommunikationsmodus eingestellt; 10: SSI ist auf TWI-Kommunikationsmodus eingestellt; 11: SSI ist auf UART-Kommunikationsmodus eingestellt;

**16.1 SPI**

SSMOD[1:0] = 01, wählen Sie eine der drei SSI-Konfigurationen der seriellen Schnittstelle als SPI-Schnittstelle aus. Serial Peripheral Interface (kurz SPI) ist eine serielle Hochgeschwindigkeitskommunikation Schnittstelle, die eine synchrone serielle Vollduplex-Kommunikation zwischen der MCU und Peripheriegeräten (einschließlich anderer MCUs) ermöglicht.

**16.1.1 SPI- operationsbezogene Register****SSCON0 (9Dh) SPI- Steuerregister (Lesen/Schreiben)**

Bitnummer	7	6	5	4	3	2	1	0
Symbol SPEN Lesen/Schreiben		-	MSTR CPOL	CPHA SPR2	Lesen/Schreiben Lesen/Schreiben		SPR1 lesen/	SPR0
Schreiben	Lesen/	-		lesen Schreiben	lesen Schreiben		schreiben	lesen Schreiben
Einschaltanfangswert 0		X	0	0	0	0	0	0

Bitnummer	Bitzeichen	veranschaulichen
7	<b>AUSGEBEN</b>	<b>SPI- Aktivierungssteuerung</b> 0: SPI ausschalten 1: SPI öffnen
5	<b>MSTR</b>	<b>SPI- Master- und Slave-Auswahl</b> 0: SPI ist ein Slave-Gerät 1: SPI ist das Master-Gerät
4	<b>CPOL</b>	<b>Taktpolaritäts-Steuerbit</b> 0: SCK ist im Ruhezustand auf niedrigem Pegel 1: SCK hat im Leerlaufzustand einen hohen Pegel
3	<b>CPHA</b>	<b>Taktphasen-Steuerbit</b> 0: Daten an der ersten Flanke des SCK-Zyklus sammeln 1: Daten am zweiten Rand des SCK-Zyklus sammeln
2:0	<b>SPR[2:0]</b>	<b>SPI- Taktraten-Auswahlbit</b> 000: fSYS /4 001: fSYS /8 010: fSYS /16 011: fSYS /32 100: fSYS /64 101: fSYS /128 110: fSYS /256 111: fSYS /512
6	-	Reservieren

**SSCON1 (9Eh) SPI- Statusregister (Lesen/Schreiben)**

Bitnummer	7	6	5	4	3	2	1	0
Symbol	SPIF/TW <small>WENN</small>	WCOL	-	-	TXE	DORD	-	TBIE
Startwert	lesen Schreiben	lesen Schreiben	-	-	lesen Schreiben	lesen Schreiben	-	lesen Schreiben
0 beim Einschalten lesen/schreiben		0	X	X	0	0	X	0

Bitnummer	Bitzeichen	<small>veranschaulichen</small>
7	<b>SPIF/TWIF</b>	<b>SPI- Datenübertragungs-Flag-Bit</b> 0: Von der Software gelöscht 1: Zeigt an, dass die Datenübertragung abgeschlossen ist, eingestellt durch die Hardware.
6	<b>WCOL</b>	Konfliktflagbit schreiben 0: Von der Software gelöscht, um anzuzeigen, dass der Schreibkonflikt gelöst wurde 1: Wird von der Hardware gesetzt, um anzuzeigen, dass ein Konflikt erkannt wurde
3	<b>TXE</b>	Puffer-leer-Flag senden 0: Der Sendepuffer ist nicht leer 1: Der Sendepuffer ist leer und muss per Software gelöscht werden.
2	<b>DORD</b>	Auswahlbit für die Übertragungsrichtung 0: MSB wird zuerst gesendet 1: LSB wird zuerst gesendet
0	<b>TBIE</b>	Steuerbit für die Aktivierung des Übertragungspuffer-Interrupts 0: Sende-Interrupts deaktivieren 1: Übertragungsunterbrechung aktivieren. Wenn ESPI = 1, generiert TBIE = 1 einen SPI-Interrupt.
5,4,1	-	Reservieren

**SSDAT (9Fh) SPI- Datenregister (Lesen/Schreiben)**

Bitnummer	7	6	5	4	3	2	1	0
Symbol	SPD[7:0]							
lesen Schreiben	lesen Schreiben	lesen Schreiben	lesen Schreiben	lesen Schreiben	lesen Schreiben	lesen Schreiben	lesen Schreiben	lesen Schreiben
Einschaltanfangswert	0	0	0	0	0	0	0	0

Bitnummer	Bitzeichen	<small>veranschaulichen</small>
7-0	<b>SPD[7:0]</b>	<b>SPI- Datenpufferregister</b> Auf SSDAT geschriebene Daten werden im Sendeschieberegister abgelegt. Beim Lesen von SSDAT werden die Daten des Empfangsschieberegisters abgerufen.

**16.1.2 Signalbeschreibung****Master-Ausgang-Slave-Eingang (MOSI):**

Dieses Signal verbindet das Master-Gerät und ein Slave-Gerät. Daten werden seriell vom Master-Gerät zum Slave-Gerät über MOSI, die Ausgänge des Master-Geräts und die Eingänge des Slave-Geräts übertragen.

**Master-Eingang und Slave-Ausgang (MISO):**

Dieses Signal verbindet das Slave-Gerät und das Master-Gerät. Daten werden seriell vom Slave-Gerät zum Master-Gerät über MISO, die Ausgänge des Slave-Geräts und die Eingänge des Master-Geräts übertragen. Wann Als Slave konfiguriertes SPI ist nicht ausgewählt und der MISO-Pin des Slaves befindet sich in einem hochohmigen Zustand.

**SPI serielle Uhr (SCK):**

Das SCK-Signal wird verwendet, um die synchrone Bewegung von Eingabe- und Ausgabedaten auf den MOSI- und MISO-Leitungen zu steuern. Alle 8 Taktzyklen wird ein Byte auf der Leitung übertragen. Wenn von Das Gerät ist nicht ausgewählt und das SCK-Signal wird von diesem Slave-Gerät ignoriert.

**16.1.3 Arbeitsmodus**

Der SPI kann in einem der Master- oder Slave-Modi konfiguriert werden. Das SPI-Modul wird durch Setzen des SSCON0-Registers (Serial Peripheral Device) konfiguriert und initialisiert

(Kontrollregister) und SSSCON1 (Serial Peripheral Status Register) abgeschlossen sein. Nach Abschluss der Konfiguration wird die Datenübertragung durch Festlegen von SSSCON0, SSSCON1 und SSDAT (Datenregister für serielle Peripheriegeräte) abgeschlossen.

Bei der SPI-Kommunikation werden Daten seriell und synchron ein- und ausgeblendet. Die serielle Taktleitung (SCK) taktet die beiden seriellen Datenleitungen (MOSI und MISO).

Datenbewegung und Probenahme werden synchronisiert. Wenn kein Slave-Gerät ausgewählt ist, kann es nicht an Aktivitäten auf dem SPI-Bus teilnehmen.

Wenn das SPI-Master-Gerät Daten über die MOSI-Leitung an das Slave-Gerät überträgt, reagiert das Slave-Gerät, indem es Daten über die MISO-Leitung an das Master-Gerät sendet, wodurch eine synchrone Voll duplexübertragung von Datenübertragung und -empfang unter demselben Takt realisiert wird. Das Sende-Schieberegister und das Empfangs-Schieberegister verwenden dieselbe Sonderfunktionsadresse. Durch Schreiben in das SPI-Datenregister SSDAT werden in das Sende-Schieberegister geschrieben, und durch Lesen des SSDAT-Registers werden die Daten des Empfangs-Schieberegisters

abgerufen. Die SPI-Schnittstelle einiger Geräte führt zum SS-Pin (Slave-Geräteauswahl-Pin, aktiv niedrig). Bei der Kommunikation mit dem SPI des SC93F833X muss die Verbindungsmethode des SS-Pins anderer Geräte am SPI-Bus entsprechend angeschlossen werden verschiedene Kommunikationsmodi. In der folgenden Tabelle sind die Verbindungsmethoden der SS-Pins anderer Geräte am SPI-Bus unter verschiedenen SPI-

Kommunikationsmodi von SC93F833X aufgeführt: <b>SC93F833X SPI</b> Andere Geräte am SPI-Bus SS (Slave-Geräteauswahl-Pin) des Mode-Slaves, ein Master und ein Slave auf Low gezogen			
Hauptmodus	Slave-Modus	Ein Herr, viele Sklaven	SC93F833X führt zu mehreren I/Os, die jeweils mit dem SS-Pin des Slaves verbunden sind. Vor der Datenübertragung muss der SS-Pin des Slave-Geräts auf Low gesetzt werden, der Master
Slave-Modus	Hauptmodus	und der Slave müssen auf High	gesetzt werden.

Hauptmodus

Modusstart:

Der SPI-Master steuert die Initiierung aller Datenübertragungen auf dem SPI-Bus. Wenn das MSTR-Bit im SSSCON0-Register gesetzt ist, arbeitet der SPI im Master-Modus und nur ein Master-Gerät kann eine Übertragung initiieren. Senden: Schreiben Sie im SPI-Master-Modus ein

Datenbyte in das

SPI-Datenregister SSDAT, und die Daten werden in den Sendeschiebepuffer geschrieben. Wenn im Sendeschieberegister bereits Daten vorhanden sind, generiert der Master-SPI ein WCOL-Signal, um anzuzeigen, dass der Schreibvorgang zu schnell erfolgt. Die Daten im Sendeschieberegister werden jedoch nicht beeinträchtigt und die Übertragung wird nicht unterbrochen. Wenn das Sendeschieberegister außerdem leer ist, verschiebt das Mastergerät die Daten im Sendeschieberegister entsprechend der SPI-Taktfrequenz auf SCK sofort seriell auf die MOSI-Leitung. Wenn die Übertragung abgeschlossen ist, wird das SPIF/TWIF-Bit im SSSCON1-Register gesetzt. Wenn der SPI-Interrupt aktiviert ist, wird auch ein Interrupt generiert, wenn das SPIF/TWIF-Bit gesetzt ist. Empfangen: Wenn das Master-Gerät Daten über die MOSI-Leitung an das Slave-Gerät überträgt, überträgt das entsprechende Slave-Gerät auch den Inhalt seines Sendeschieberegisters über die MISO-Leitung

an das

Empfangsschieberegister des Master-Geräts, wodurch ein Voll duplexbetrieb erreicht wird. Wenn das SPIF/TWIF-Flag-Bit auf 1 gesetzt ist, bedeutet dies, dass die Übertragung und der Datenempfang abgeschlossen sind. Die vom Slave-Gerät empfangenen Daten werden entsprechend der ersten Übertragungsrichtung MSB oder LSB im Empfangsschieberegister des Master-Geräts gespeichert. Wenn ein Datenbyte vollständig in das Empfangsregister verschoben wurde, kann der Prozessor die Daten durch Lesen des SSDAT-Registers erhalten.

Ausgehend

vom Modus Modus:

Wenn das MSTR-Bit im SSSCON0-Register auf 0 gelöscht wird, arbeitet der SPI im Slave-Modus. Senden und

Empfangen: Im Slave-Modus

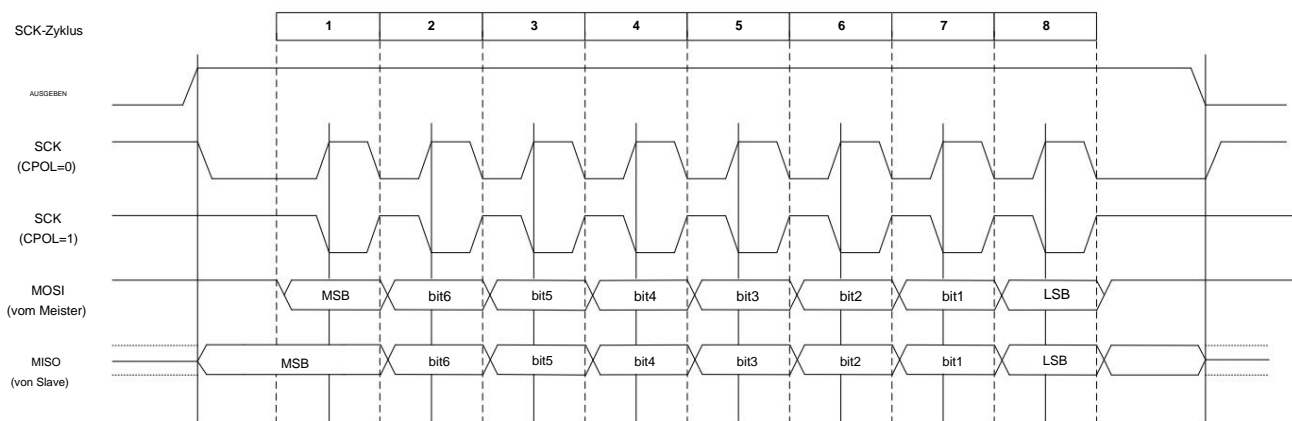
werden Daten entsprechend dem vom Master-Gerät gesteuerten SCK-Signal über den MOSI-Pin ein- und über den MISO-Pin ausgegeben. Ein Bitzähler zeichnet die Anzahl der Flanken von SCK auf. Wenn das empfangende Schieberegister 8-Bit-Daten (ein Byte) eingibt und das sendende Schieberegister 8-Bit-Daten (ein Byte) ausgibt, wird das SPIF/TWIF-Flag-Bit gesetzt bis 1. Daten können durch Lesen des SSDAT-Registers abgerufen werden. Wenn der SPI-Interrupt aktiviert ist, wird auch beim Setzen von SPIF/TWIF ein Interrupt generiert. Zu diesem Zeitpunkt behält das empfangende Schieberegister die ursprünglichen Daten und das SPIF/TWIF-Bit ist auf 1 gesetzt, sodass das SPI-Slave-Gerät keine Daten empfängt, bis SPIF/TWIF auf 0 gelöscht wird. Das SPI-Slave-Gerät muss die zu übertragenden Daten in das Sendeschieberegister schreiben, bevor das Master-Gerät eine neue Datenübertragung startet. Wenn vor Beginn der Übertragung keine Daten geschrieben werden, überträgt das Slave-Gerät das Byte „0x00“ an das Master-Gerät. Wenn der SSDAT-Schreibvorgang während des Übertragungsprozesses auftritt, wird das WCOL-Flag-Bit des SPI-Slave-Geräts auf 1 gesetzt. Wenn das Übertragungsschieberegister also bereits Daten enthält, wird das WCOL-Bit des SPI-Slave-Geräts auf 1 gesetzt. Zeigt einen SSDAT-Schreibkonflikt an. Die Daten im Schieberegister werden jedoch nicht beeinträchtigt und die Übertragung wird nicht unterbrochen.

### 16.1.4 Form der Übermittlung

Durch Softwareeinstellung des CPOL-Bits und CPHA-Bits des SSSCON0-Registers kann der Benutzer vier Kombinationen von SPI-Takt polarität und -phase auswählen.

Das CPOL-Bit definiert die Polarität des Takts, also den Pegelzustand im Leerlauf. Es hat kaum Einfluss auf das SPI-Übertragungsformat. Das CPHA-Bit definiert die Phase des Takts, d. h. es definiert die Taktflanke, um die sich Datenabstastwerte verschieben dürfen. Bei den beiden Geräten zur Master-Slave-Kommunikation sollten die Takt polarität und Phaseneinstellungen konsistent sein.

Wenn CPHA = 0, erfasst die erste Flanke von SCK Daten und das Slave-Gerät muss die Daten vor der ersten Flanke von SCK vorbereiten.

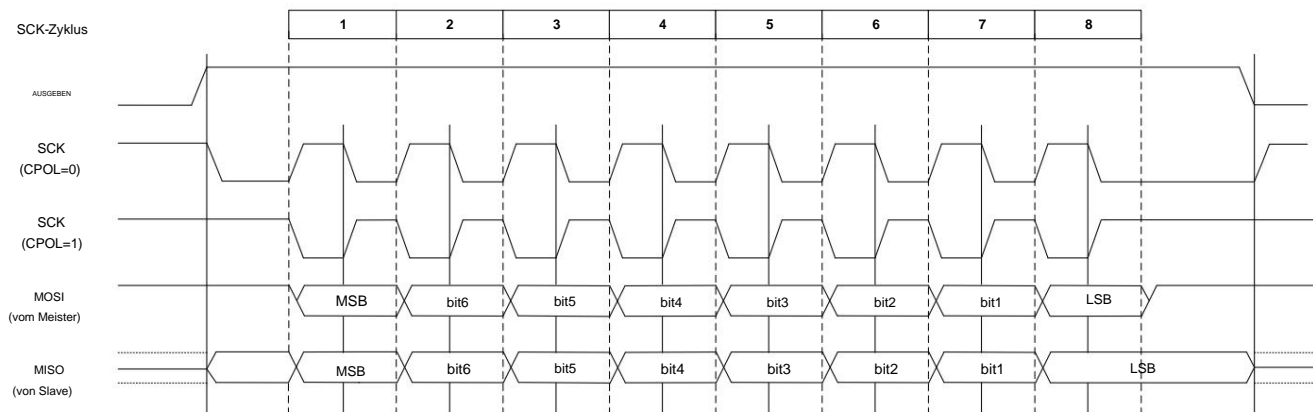


CPHA = 0 Datenübertragungsdiagramm

Wenn CPHA = 1 ist, gibt das Master-Gerät Daten an der ersten Flanke von SCK an die MOSI-Leitung aus, und das Slave-Gerät verwendet die erste Flanke von SCK als Beginn der Übertragung.

Signal beginnt die zweite Flanke des SCK mit der Datenerfassung, daher muss der Benutzer den SSDAT-Schreibvorgang innerhalb der beiden Flanken des ersten SCK abschließen. Diese Art der Datenübertragung

Die Übertragungsform ist die bevorzugte Form der Kommunikation zwischen einem Master-Gerät und einem Slave-Gerät.



CPHA = 1 Datenübertragungsdiagramm

## 16.1.5 Fehlererkennung

Das Schreiben in das SSDAT-Register während einer Sendedatensequenz führt zu einem Schreibkonflikt und das WCOL-Bit im SCON1-Register wird gesetzt. WCOL-Bits

Die Einstellung verursacht keine Unterbrechung und die Übertragung wird nicht abgebrochen. Das WCOL-Bit muss per Software gelöscht werden.

## 16.2 TWI

SSMOD[1:0] = 10, wählen Sie eine der drei seriellen SSI-Schnittstellen aus, die als TWI-Schnittstelle konfiguriert sind. SC93F833X kann während der TWI-Kommunikation nur als Slave fungieren.

### SSCON0 (9Dh) TWI- Steuerregister (Lesen/Schreiben)

	7	6	5	4	3	2	1	0
Bitnummernsymbol	TWEN SPIF/TW	WENN	-	GCA	AA	STATE[2:0]		
Lesen/Schreiben	Lesen/Schreiben des	lesen/schreiben	-	LesenLesen/Schreiben		lesen/schreiben	lesen/schreiben	lesen Schreiben
Einschaltanfangswerts	0	0	X	0	0	0	0	0

Bit Nummer	Bitzeichen	beschreibung
7	<b>ZWANZIG</b>	TWI-Freigabesteuerung 0: TWI ausschalten 1: TWI öffnen
6	<b>SPIF/TWIF</b>	TWI-Interrupt-Flag-Bit 0: Von der Software gelöscht

		1: Unter den folgenden Bedingungen wird das Interrupt-Flag-Bit von der Hardware gesetzt yDie erste Frame-Adresse wurde erfolgreich abgeglichen y 8-Bit-Daten erfolgreich empfangen oder senden yNeustart yDer Slave empfängt das Stoppsignal
4	<b>GCA</b>	Allgemeines Adress-Antwort-Flag-Bit 0: Nicht reagierende universelle Adresse 1: Wenn GC auf 1 gesetzt ist und die allgemeine Adresse übereinstimmt, wird dieses Bit von der Hardware auf 1 gesetzt und automatisch gelöscht.
3	<b>AA</b>	Empfangsfreigabebit 0: Vom Host gesendete Informationen dürfen nicht empfangen werden 1: Empfangen der vom Host gesendeten Informationen zulassen
2-0	<b>STATE[2:0] Status-Flag-Bit der Zustandsmaschine</b>	000: Zu diesem Zeitpunkt befindet sich die Zustandsmaschine im Ruhezustand und wartet darauf, dass TWEN auf 1 gesetzt wird, und erkennt das TWI-Startsignal. 001: Der Slave erhält die erste Frame-Adresse sowie Lese- und Schreibbits (Bit 8 ist das Lese- und Schreibbit, 1 ist das Lesebit, 0 ist das Schreiben) 010: Der Host sendet Daten und der Slave empfängt den Datenstatus 011: Der Host empfängt Daten und der Slave sendet Datenstatus 100: Wenn der Host im Slave-Sendestatus UACK zurückgibt, springen Sie in diesen Status und warten Sie. Neustartsignal oder Stoppsignal. 101: Wenn sich der Slave im Empfangs- oder Sendezustand befindet und AA = 0 ist, springt er in den Sekundärzustand usw. Warten auf Neustartsignal oder Stoppsignal.
5	-	Reservieren

**SSCON1 (9Eh) TWI- Adressregister (Lesen/Schreiben)**

Bit Nummer 7 Symbol	Lesen/	6	5	4	3	2	1	0	
		TWA[6:0] Lesen/							GC
Schreiben Lesen/Schreiben	Schreiben	lesen/schreiben	lesen/schreiben	Schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	
Einschaltanfangswert 0		0	0	0	0	0	0	0	

Bitnummer	Bitzeichen	weitschauen
7-1	<b>TWA[6:0]</b>	TWI-Adressregister
0	<b>GC</b>	Aktivierung der universellen TWI-Adresse 0: Antworten auf universelle Adressen deaktivieren 1: Antworten auf universelle Adressen zulassen

**SSDAT (9Fh) TWI- Daten-Cache-Register (Lesen/Schreiben)**

	7	6	5	4	3	2	1	0
	TWDAT[7:0]							
Bitnummersymbol Lesen/Schreiben,	lesen/schreiben	lesen/schreiben	Lesen/Schreiben Lesen/Schreiben 0 0		lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben
Lesen/Schreiben, Anfangswert beim Einschalten 0	0	0			0	0	0	0

Bitnummer	Bitzeichen	weitschauen
7-0	<b>TWDAT[7:0]</b>	TWI-Daten-Cache-Register

**16.2.1 Signalbeschreibung****TWI- Taktsignalleitung (SCL)**

Dieses Taktsignal wird vom Master gesendet und an alle Slaves weitergeleitet. Alle 9 Taktzyklen wird ein Datenbyte übertragen. Die ersten 8 Zyklen dienen der Datenübertragung.

Der letzte Takt wird als Antworttakt des Empfängers verwendet.

**TWI- Datensignalleitung (SDA)**

SDA ist eine bidirektionale Signalleitung, die im Leerlauf hoch sein sollte und durch den Pull-up-Widerstand auf der SDA-Leitung hochgezogen wird.

**16.2.2 Arbeitsmodus**



Die TWI-Kommunikation des SC93F833X verfügt nur über den Slave-Modus:  $\bar{y}$

Modusstart: Wenn das TWI-

Aktivierungsflag-Bit eingeschaltet ist (TWEN = 1) und gleichzeitig das vom Host gesendete Startsignal empfangen wird, startet der Modus.  $\bar{y}$  Nicht-universelle Adressantwort: Der

Slave wechselt aus dem Leerlaufmodus

(STATE[2:0] = 000) in den Status des Empfangs der ersten Frame-Adresse (STATE[2:0] = 001) und wartet auf den ersten Frame mit Daten von der Gastgeber. Der erste Datenrahmen wird vom Master gesendet, einschließlich 7 Adressbits und 1 Lese- und Schreibbit. Alle Slaves am TWI-Bus empfangen den ersten Datenrahmen vom Master. Der Host gibt die SDA-Signalleitung frei, nachdem er den ersten Datenrahmen gesendet hat. Wenn die vom Master gesendete Adresse mit dem Wert im Adressregister eines Slaves übereinstimmt, bedeutet dies, dass der Slave ausgewählt ist. Der ausgewählte Slave beurteilt das 8. Bit auf dem Bus, dh das Datenlese- und -schreibbit (= 1, Lesebefehl; = 0, Schreibbefehl), belegt dann die SDA-Signalleitung, gibt dem Host im 9. Taktzyklus von SCL ein Antwortsignal mit niedrigem Pegel und gibt dann den Bus frei. Nachdem der Slave ausgewählt wurde, wechselt er entsprechend den unterschiedlichen Lese- und Schreibbits in verschiedene Zustände:  $\bar{y}$  Wenn das im ersten Frame empfangene Lese- und Schreibbit Schreiben (0) ist, wechselt der Slave in den Slave-Empfangszustand (STATE[2 : 0] = 010) Warten auf den empfangenden

Host

gesendete Daten. Jedes Mal, wenn der Master 8 Bit sendet, muss er den Bus freigeben und im 9. Zyklus auf das Antwortsignal des Slaves warten. 1. Wenn das

Antwortsignal des Slaves einen niedrigen Pegel (ACK) hat, kann der Master weiterhin Daten senden. Sie können das Startsignal (Start) auch erneut senden, woraufhin der Slave wieder in den Status des

Empfangs der ersten Frame-Adresse (001) wechselt. Um das Ende dieser Übertragung anzuzeigen, kann auch ein Stoppsignal gesendet werden, woraufhin der Slave in den Ruhezustand zurückkehrt und auf das nächste Startsignal vom Host wartet.

2. Wenn der Slave mit einem High-Pegel (AA = 0) antwortet. Zeigt an, dass der Slave keine vom Host gesendeten Daten mehr empfängt und beendet diese Übertragung aktiv. aus

Die Maschine kehrt in den

Ruhezustand zurück.  $\bar{y}$  Wenn das im ersten Frame empfangene Lese- und Schreibbit gelesen wird (1), belegt der Slave den Bus und sendet Daten an den Host. Jedes Mal, wenn 8 Datenbits gesendet werden, gibt der Slave frei

Steigen Sie in den Bus ein und warten Sie

auf die Antwort des Hosts. 1. Wenn der Host mit einem Low-Pegel antwortet, sendet der Slave weiterhin Daten. Wenn während des Übertragungsprozesses der AA-Wert im Slave-

Register auf 0 umgeschrieben wird, beendet der Slave aktiv die Übertragung und gibt den Bus frei, während er auf das Stoppsignal oder Neustartsignal des Masters wartet (STATE[2:0] = 101).

2. Wenn der Host mit einem High-Pegel antwortet, wechselt der Slave in den Dateneingangsmodus (STATE[2:0] = 010) und wartet auf das Stoppsignal vom Host.

Oder starten Sie das Signal neu.

$\bar{y}$  Antwort auf die allgemeine Adresse:

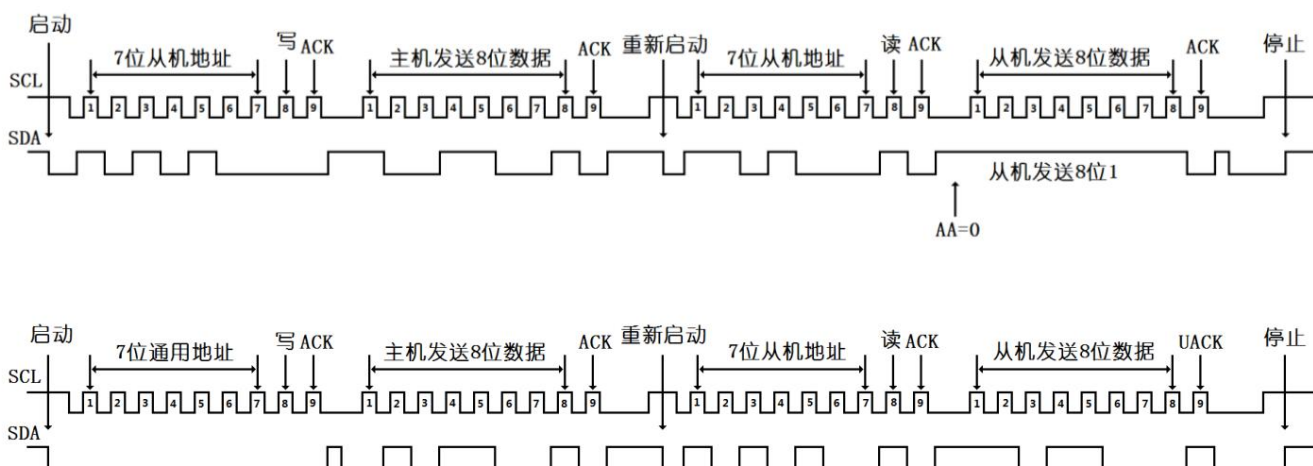
Wenn GC=1, darf zu diesem Zeitpunkt die allgemeine Adresse verwendet werden. Der Slave wechselt in den Status des Empfangs der ersten Frame-Adresse (STATE[2:0] = 001). Die Adressbitdaten in den empfangenen ersten Frame-Daten sind 0x00. Zu diesem Zeitpunkt antworten alle Slaves dem Host. Wenn das Lese- und Schreibbit des ersten Frames „Schreiben“ (0) ist, wechseln alle Slaves in den Empfangsdatenstatus (STATE[2:0] = 010). Der Host gibt die SDA-Leitung jedes Mal frei, wenn er 8 Daten sendet, und liest den Status der SDA-Leitung:  $\bar{y}$  Wenn SDA auf niedrigem Niveau ist (es liegt eine Slave-Antwort vor), kann

der Host auf die folgenden drei Arten kommunizieren: 1. Senden Sie weiterhin Daten. 2. Starten Sie neu und geben Sie den Status des Empfangs der

ersten Frame-Adresse ein (STATE[2:0]

= 001). 3. Senden Sie ein Stoppsignal, um diese Kommunikation zu beenden.  $\bar{y}$  Wenn SDA einen hohen Pegel aufweist (AA = 0),

befindet sich SDA im Ruhezustand (STATE[2:0] = 000).



Hinweis: Bei Verwendung einer universellen Adresse können die vom Host gesendeten Lese- und Schreibbits nicht gelesen werden (1), da sonst alle Hosts antworten.

Die Betriebsschritte von TWI im integrierten seriellen Port sind wie folgt:

$\bar{y}$ SSMOD[1:0] konfigurieren und TWI-Modus auswählen;  $\bar{y}$ SSCON0-Steuerregister

konfigurieren ;

• Konfigurieren Sie das SSSCON1-Adressregister.

• Wenn der Slave Daten empfängt, warten Sie, bis das Interrupt-Flag-Bit SPIF/TWIF in SSSCON0 auf 1 gesetzt wird. Jedes Mal, wenn der Slave 8 Datenbits empfängt, wird das Interrupt-Flag-Bit gesetzt und auf 1 gesetzt. Das Interrupt-Flag-Bit muss manuell gelöscht werden;

• Wenn der Slave Daten sendet, müssen die zu sendenden Daten in TWDAT geschrieben werden, und TWI sendet die Daten automatisch. Alle 8 gesendeten Bits unterbrechen das Flag-Bit SPIF/TWIF wird auf 1 gesetzt.

## 16.3 UART1

SSMOD[1:0] = 11, wählen Sie eine der drei seriellen SSI-Schnittstellen, die als UART-Schnittstelle konfiguriert sind.

**SSCON0 (9Dh) Steuerregister der seriellen Schnittstelle 1 (Lesen/Schreiben)**

Bit Nummer 7 Symbol	6	5	4	3	2	1	0
SM0	-	SM2	REN	TB8	RB8	TI	RI
Schreiben Lesen/Schreiben	-	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen Schreiben
Einschaltanfangswert 0	X	0	0	0	0	0	0

Bit Nummer	Bitzeichen	veranschaulichen
7	<b>SM0</b>	Steuerbit für den seriellen Kommunikationsmodus 0: Modus 1, asynchrone 10-Bit-Vollduplex-Kommunikation, bestehend aus 1 Startbit, 8 Datenbits und 1 Stoppsbit. Zusammensetzung des Stoppsbits, Kommunikationsbaudrate ist variabel; 1: Modus 3, asynchrone 11-Bit-Vollduplex-Kommunikation, bestehend aus 1 Startbit, 8 Datenbits und einem Stoppsbit. Die Kommunikationsbaudrate besteht aus dem 9. Programmierbit und einem Stoppsbit und ist variabel.
5	<b>SM2</b>	Steuerbit 2 für den seriellen Kommunikationsmodus. Dieses Steuerbit ist nur für Modus 3 gültig 0: Stellen Sie RI so ein, dass jedes Mal eine Interrupt-Anfrage generiert wird, wenn ein vollständiger Datenrahmen empfangen wird. 1: Wenn ein vollständiger Datenrahmen empfangen wird, wird RI nur gesetzt, wenn RB8=1 und eine Interrupt-Anfrage generiert wird.
4	<b>REN</b>	Empfangsfreigabe-Steuerbit 0: Dateneingang nicht erlaubt; 1: Dateneingang zulassen.
3	<b>TB8</b>	Gilt nur für Modus 3, es ist das 9. Bit der gesendeten Daten
2	<b>RB8</b>	Gilt nur für Modus 3, es handelt sich um das 9. Bit der empfangenen Daten
1	<b>TI</b>	Interrupt-Flag-Bit senden
0	<b>RI</b>	Interrupt-Flag-Bit empfangen

**SSCON1 (9Eh) Niedriges Bit des Baudraten-Steuerregisters der seriellen Schnittstelle 1 (Lesen/Schreiben)**

	7	6	5	4	3	2	1	0
	BAUD1L [7:0]							
Bitnummersymbol Lesen/Schreiben,	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben
Lesen/Schreiben, Anfangswert beim Einschalten 0	0	0	0	0	0	0	0	0

**SSCON2(95h) serieller Port 1 Baudraten-Steuerregister High-Bit (Lesen/Schreiben)**

	7	6	5	4	3	2	1	0
	BAUD1H [7:0]							
Bitnummersymbol Lesen/Schreiben,	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben
Lesen/Schreiben, Anfangswert beim Einschalten 0	0	0	0	0	0	0	0	0

Bitnummer	Bitzeichen	veranschaulichen
7-0	<b>BAUD1 [15:0]</b> Baudratensteuerung des seriellen Ports 1	$\text{BaudRate} = \frac{1}{16} \times \frac{f_{\text{sys}}}{\text{BAUD1H, BAUD1L}}$

**SSDAT (9Fh) Daten-Cache-Register der seriellen Schnittstelle (Lesen/Schreiben)**

Bitnummer 7 6	5	4	3	2	1	0
---------------	---	---	---	---	---	---

Symbol	SBUF1[7:0]							
lesen/schreiben, lesen/schreiben,	lesen/schreiben	lesen/schreiben	lesen/schreiben	Lesen/Schreiben Lesen/Schreiben	Lesen/Schreiben 0 0	lesen/schreiben	lesen/schreiben	lesen/Schreiben
Einschaltanfangswert 0		0	0			0	0	0

Bitnummer	Bitzeichen	veranschaulichen
7-0	<b>SBUF1[7:0]</b> Daten-Cache-Register der seriellen Schnittstelle	<p>SBUF1 enthält zwei Register: ein Sendeschieberegister und ein Empfangslatch zum Schreiben</p> <p>Die in SBUF1 eingegebenen Daten werden an das Sendeschieberegister gesendet und der Sendevorgang wird gestartet. Lesen Sie SBUF1</p> <p>Der Inhalt des Empfangslatches wird zurückgegeben.</p>

## 17 Analog-Digital-Umwandlungs -ADC

SC93F833X verfügt über einen integrierten hochpräzisen 12-Bit-10-Kanal-ADC mit sukzessiver Approximation. Dieser ADC wird mit anderen Funktionen des IO-Ports gemultiplext. Innerhalb von ADC Sie können auch den Temperatursensorausgang oder 1/4 VDD auswählen und ihn mit der internen 2,4-V-Referenzspannung verwenden, um die Chiptemperatur oder die VDD-Spannung zu messen.

Für die Referenzspannung des ADC gibt es 2 Möglichkeiten:

• Es ist der VDD-Pin (d. h. direkt der interne VDD);

• Die vom internen Regler ausgegebene Referenzspannung beträgt genau 2,4 V;

### 17.1 ADC- bezogene Register

#### ADCCON (ADh) ADC- Steuerregister (Lesen/Schreiben)

	7	6	5	4	3	2	1	0
Bitnummersymbol	ADCEN	ADCS	LOWSP	EOC/ADCIF	lesen/schreiben lesen/	ADCIS[3:0]		
schreiben lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben
beim Einschalten	0 0		0	0	0	0	0	N

Bit Nummer	Bitzeichen	veranschaulichen
7	<b>ADCEN</b>	<p>Schalten Sie die Stromversorgung des ADC ein</p> <p>0: Schalten Sie die Stromversorgung des ADC-Moduls aus</p> <p>1: Schalten Sie das ADC-Modul ein</p>
6	<b>ADCS</b>	<p>ADC-Start-Trigger-Steuerung (ADC-Start)</p> <p>Schreiben Sie „1“ in dieses Bit, um eine ADC-Konvertierung zu starten, d. h. dieses Bit ist nur ein Auslöser für die ADC-Konvertierung.</p> <p>Signal. Dieses Bit ist nur gültig, wenn es auf 1 geschrieben wird.</p>
5	<b>LOWSP</b>	<p>ADC-Sampling-Clocks-Auswahl</p> <p>0: Stellen Sie die vom ADC verwendete Taktfrequenz auf 2 MHz ein</p> <p>1: Stellen Sie die vom ADC verwendete Taktfrequenz auf 333 kHz ein</p> <p>LOWSP steuert die Abtasttaktfrequenz des ADC und die Konvertierungstaktfrequenz des ADC ist fest eingestellt 2 MHz und wird vom LOWSP-Bit nicht beeinflusst</p> <p>Der ADC muss zum Abschluss 6 ADC-Abtastakte plus 14 ADC-Umwandlungstakte durchlaufen in den gesamten Prozess von der Probenahme bis zur Konvertierung, also im tatsächlichen Einsatz, der ADC von der Probenahme bis zum Abschluss der Konvertierung</p> <p>Die Gesamtschaltzeit errechnet sich wie folgt:</p> <p>LOWSP=0: <math>TADC1=6*(1/2MHz)+14*(1/2 MHz)=10\mu s</math>;</p> <p>LOWSP=1: <math>TADC2=6*(1/333kHz)+14*(1/2 MHz)=25\mu s</math>.</p>
4	<b>EOC /ADCIF- Konvertierungsabschluss /ADC-Interrupt-Anforderungsflag (Ende der Konvertierung / ADC-Interrupt-Flag)</b>	<p>0: Konvertierung noch nicht abgeschlossen</p> <p>1: ADC-Konvertierung abgeschlossen. Zum Löschen ist eine Benutzersoftware erforderlich</p> <p>Flag für den Abschluss der ADC-Konvertierung EOC: Wenn der Benutzer ADCS so einstellt, dass die Konvertierung gestartet wird, ist dieses Bit hart</p> <p>Die Software löscht es automatisch auf 0. Wenn die Konvertierung abgeschlossen ist, wird dieses Bit von der Hardware automatisch auf 1 gesetzt.</p> <p>ADC-Interrupt-Anforderungsflag ADCIF:</p> <p>Dieses Bit wird auch als Interrupt-Anforderungsflag des ADC-Interrupts betrachtet. Wenn der Benutzer den ADC aktiviert</p> <p>Wenn der ADC-Interrupt auftritt, muss der Benutzer dieses Bit per Software löschen.</p>
3-0	<b>ADCIS[3:0]</b>	<p>ADC-Eingangsauswahl</p> <p>0000: Wählen Sie AIN0 als Eingang des ADC</p>

		<p>0001: Wählen Sie AIN1 als Eingang des ADC</p> <p>0010: Wählen Sie AIN2 als Eingang des ADC</p> <p>0011: Wählen Sie AIN3 als Eingang des ADC</p> <p>0100: Wählen Sie AIN4 als Eingang des ADC</p> <p>0101: Wählen Sie AIN5 als Eingang des ADC</p> <p>0110: Wählen Sie AIN6 als Eingang des ADC</p> <p>0111: Wählen Sie AIN7 als Eingang des ADC</p> <p>1000: Wählen Sie AIN8 als Eingang des ADC</p> <p>1001: Wenn PGA ausgeschaltet ist, wählen Sie AIN9 als Eingang des ADC; wenn PGA aktiviert ist, wählen Sie den PGA-Ausgang als Eingang des ADC</p> <p>1010~1101: reserviert</p> <p>1110: Der ADC-Eingang ist ein Temperatursensorausgang, der zur Messung der Chiptemperatur verwendet werden kann</p> <p>1111: Der ADC-Eingang beträgt 1/4 VDD und kann zur Messung der Versorgungsspannung verwendet werden</p>
--	--	-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------

**ADCCFG0 (ABh) ADC- Einstellungsregister 0**

	7	6	5	4	3	2	1	0
Bitnummersymbol	EAIN7 Lese-/	EAIN6	EAIN5	EAIN4	EAIN3	EAIN2	EAIN1	EAIN0
Schreib-Lese-/Schreib-		lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen Schreiben
Anfangswert beim Einschalten	0	0	0	0	0	0	0	0

**ADCCFG1 (ACh) ADC- Einstellungsregister 1**

	7	6	5	4	3	2	1	0
Bitnummersymbol	-	-	-	-	-	-	EAIN9	EAIN8
Schreib-Lese-/Schreib-	-	-	-	-	-	-	lesen/schreiben	lesen Schreiben
Anfangswert beim Einschalten		lesen/schreiben x	X	X	X	X	0	0

Bitnummer	Bitzeichen	veranschaulichen
0	<b>EAINx</b> (x=0-9)	<p><b>ADC- Port-Einstellungsregister</b></p> <p>0: AINx als IO-Port festlegen</p> <p>1: Stellen Sie AINx als ADC-Eingang ein und entfernen Sie automatisch den Pull-up-Widerstand.</p>

**OP\_CT1M1(C2H@FFh) Kundenoptionsregister 1**

	7	6	5	4	3	2	1	0
Bitnummersymbol	VREFS Lesen/	-	-	-	IAPS[1:0]		-	-
Schreiben Lesen/Schreiben		-	-	-	schreibgeschützt, schreibgeschützt		-	-
Anfangswert beim Einschalten	n	X	X	X	N	N	X	X

Bit Nummer	Bitzeichen	veranschaulichen
7	<b>VREFS</b>	<p>Auswahl der Referenzspannung (der Anfangswert wird von <b>Code Option</b> übertragen, der Benutzer kann die Einstellungen ändern)</p> <p>0: VREF des ADC auf VDD setzen</p> <p>1: Stellen Sie den VREF des ADC auf die internen genauen 2,4 V ein</p>

**ADCVL (AEh) ADC- Umwandlungswertregister (untere 4 Bits) (Lesen/Schreiben)**

	7	6	5	4	3	2	1	0
Bitnummersymbol	ADC[3:0] lesen/				-	-	-	-
Schreiben Lesen/Schreiben	lesen/schreiben lesen/	schreiben lesen/schreiben		lesen Schreiben	-	-	-	-
Anfangswert beim Einschalten	x	X	X	X	X	X	X	X

**ADCVH (AFh) ADC- Umwandlungswertregister (hohe 8 Bits) (Lesen/Schreiben)**

	7	6	5	4	3	2	1	0
Bitnummersymbol	ADC[11:4] lesen/							
Schreiben Lesen/Schreiben	lesen/schreiben lesen/	lesen Schreiben	lesen Schreiben	schreiben lesen/schreiben		lesen Schreiben	lesen Schreiben	lesen Schreiben
Anfangswert beim Einschalten	x	X	X	X	X	X	X	X

Bitnummer	Bitzeichen	veranschaulichen
11~4	<b>ADC[11:4]</b>	Der hohe 8-Bit-Wert des ADC-Konvertierungswerts
3~0	<b>ADC[3:0]</b>	Die unteren 4 Ziffern des ADC-Umwandlungswerts

**IE (A8h) Interrupt-Aktivierungsregister (Lesen/Schreiben)**

	7	6	5	4	3	2	1	0
Bitnummernsymbol	EA	EADC	ET2	EUARTET1		EINT1	ET0	EINT0
lesen Schreiben	lesen Schreiben	lesen Schreiben	lesen Schreiben	lesen/schreiben	lesen/schreiben	lesen Schreiben	lesen Schreiben	lesen Schreiben
Einschaltanfangswert	0	0	0	0	0	0	0	0

Bitnummer	Bitzeichen	veranschaulichen
6	<b>EADC</b>	ADC-Interrupt-Aktivierungssteuerung 0: EOC/ADCIF darf keine Interrupts generieren 1: EOC/ADCIF erlauben, Interrupts zu generieren

**IP (B8h) Interrupt-Prioritätsregister (Lesen/Schreiben)**

Bitnummer	7	6	5	4	3	2	1	0
Symbol	-	IPADC	IPT2	IPUART IPT1		IPINT1	IPT0	IPINT0
lesen Schreiben	-	lesen Schreiben	lesen Schreiben	lesen/schreiben	lesen/schreiben	lesen Schreiben	lesen Schreiben	lesen Schreiben
Einschaltanfangswert	x	0	0	0	0	0	0	0

Bitnummer	Bitzeichen	veranschaulichen
6	<b>IPADC</b>	Auswahl der ADC-Interrupt-Priorität 0: Stellen Sie die ADC-Interrupt-Priorität auf „niedrig“ ein. 1: Setzen Sie die ADC-Interrupt-Priorität auf „hoch“

**17.2 ADC- Konvertierungsschritte**

Die vom Benutzer erforderlichen Schritte zur tatsächlichen ADC-Konvertierung sind wie folgt:

• Stellen Sie den ADC-Eingangspin ein; (Setzen Sie das entsprechende Bit von AINx als ADC-Eingang ein, normalerweise wird der ADC-Pin vorab festgelegt)

• Stellen Sie die ADC-Referenzspannung Vref und die für die ADC-Umwandlung verwendete Frequenz ein.

• Schalten Sie die Stromversorgung des ADC-Moduls ein;

• Wählen Sie den ADC-Eingangskanal aus. (Setzen Sie das ADCIS-Bit und wählen Sie den ADC-Eingangskanal aus.)

• Starten Sie ADCS und die Konvertierung beginnt

• Warten Sie auf EOC/ADCIF=1. Wenn der ADC-Interrupt aktiviert ist, wird der ADC-Interrupt generiert. Der Benutzer muss das EOC/ADCIF-Flag per Software löschen.

• Erhalten Sie 12-Bit-Daten von ADCVH und ADCVL, zuerst das High-Bit und dann das Low-Bit, und eine Konvertierung ist abgeschlossen.

• Wenn Sie den Eingangskanal nicht ändern möchten, wiederholen Sie die Schritte 5 bis 7 für die nächste Konvertierung.

Hinweis: Vor dem Festlegen von **IE[6] (EADC)** wird Benutzern empfohlen, **zuerst EOC/ADCIF** mithilfe einer Software zu löschen. Wenn die **ADC- Interrupt-ServiceRoutine** abgeschlossen ist, Löschen Sie außerdem **EOC/ADCIF**, um kontinuierliche **ADC- Interrupts** zu vermeiden.

**17.3 Temperatursensor**

SC93F833X verfügt über einen eingebauten Temperatursensor, der die Temperatursensordaten über den ADC-Schaltkreis messen kann.

**TSCFG (AAh) Temperatursensorregister (Lesen/Schreiben)**

Bitnummer	7	6	5	4	3	2	1	0
Symbol	TS_EN	-	-	-	-	-	-	TS_CHO P
lesen Schreiben	lesen Schreiben	-	-	-	-	-	-	lesen Schreiben

Einschaltanfangswert	0	X	X	X	X	X	X	0
----------------------	---	---	---	---	---	---	---	---

Bit Nummer	Bitzeichen	veranschaulichen
7	<b>TS_EN</b>	Steuerbit zur Aktivierung des Temperatursensors 0: Schalten Sie den Temperatursensor aus 1: Temperatursensor aktivieren
0	<b>TS_CHOP</b> Temperatursensor	<b>-Offset-Offset- Anwendungssteuerbit</b> Schreiben Sie 0 in TS_CHOP und starten Sie eine ADC-Konvertierung, um einen Wert zu erhalten. Schreiben Sie TS_CHOP erneut. 1 und starten Sie dann eine ADC-Konvertierung, um den zweiten Wert zu erhalten. Die beiden Zahlen werden gemittelt, um die endgültige Zahl zu erhalten.
6-1	-	Reservieren

Bei Verwendung eines Temperatursensors wählt die ADC-Referenzspannung die internen 2,4 V als Referenz. Jedes Mal, wenn der Temperatursensor um 1 °C ansteigt, erhöht sich der ADC-Umwandlungswert um 8LSB.

Wenn Saiyuan das Werk verlässt, wurden die ADC-Umwandlungsergebnisse, die 25 $\mu$  jedes Chips entsprechen, in die 3EH- und 3FH-Adressen im IFB-Bereich geschrieben, unter denen 3EH[3:0] die Umwandlung speichert

Die oberen 4 Bits des Ergebnisses, 3FH[7:0], speichern die niedrigen 8 Bits des Konvertierungsergebnisses.

Die Schritte für Benutzer zur Verwendung des Temperatursensors sind wie folgt:

• Stellen Sie die ADC-Referenzspannung Vref als interne 2,4-V-Referenzquelle ein, stellen Sie die für die ADC-Umwandlung verwendete Frequenz ein und schalten Sie die Stromversorgung des ADC-Moduls ein.

• Wählen Sie den ADC-Eingangskanal als Temperatursensorkanal (ADCIS[3:0] = 1110);

• Aktivieren Sie den Temperatursensor und schreiben Sie 1 in TS\_EN.

• Verzögerung 20 $\mu$ s

• Schreiben Sie 0 in TS\_CHOP, um die ADC-Konvertierung zu starten. Sobald die Konvertierung abgeschlossen ist, wird der Konvertierungswert ADCValue1 aufgezeichnet.

• Schreiben Sie 1 in TS\_CHOP, um die ADC-Konvertierung zu starten. Sobald die Konvertierung abgeschlossen ist, wird der Konvertierungswert ADCValue2 aufgezeichnet.

• Mitteln Sie die beiden Konvertierungswerte:

$$\text{ADCValue} = \frac{(\text{ADCValue1} + \text{ADCValue2})}{2}$$

• Lesen Sie den 25-Grad-Celsius-ADC-Umwandlungswert ADCValueTest, der im Werk von den 3EH- und 3FH-Adressen im IFB-Bereich geschrieben wurde.

• Setzen Sie in die Formel ein, um die aktuelle Temperatur zu berechnen:

$$\text{Temperatur} = 25 + \frac{(\text{ADCValue} - \text{ADCValueTest})}{8}$$

## 18 PGA- Verstärker mit variabler Verstärkung

SC93F833X verfügt über einen integrierten Verstärker mit variabler Verstärkung und andere Funktionen dieses PGA- und IO-Ports werden gemultiplext.

### PGACON (BFh) PGA- Steuerregister (Lesen/Schreiben)

	7	6	5	4	3	2	1	0
Bitnummersymbol	ENPGA PGACOM	PGAGAN PGAIPT	Lesen/Schreiben		-	-	-	-
lesen/schreiben		lesen/schreiben	lesen/schreiben	lesen/schreiben	-	-	-	-
Einschaltanfangswert	0	0	0	0	X	X	X	X

Bitnummer	Bitzeichen	veranschaulichen
7	<b>ENPGA</b>	<b>PGA- Aktivierungssteuerbit</b> 0: PGA ausschalten, der Eingang von ADC-Kanal 9 ist AIN9; 1: PGA aktivieren, der Eingang von ADC-Kanal 9 ist ein PGA-Ausgang und der Eingang von PGA ist AIN9.
6	<b>PGACOM</b>	<b>PGA- Gleichtaktspannungs-Steuerbit</b> 0: Gleichtaktspannung beträgt 0 V; 1: Die Gleichtaktspannung beträgt 1,2 V.
5	<b>PGAGAN</b>	<b>PGA- Verstärkungssteuerbits</b> 0: Die PGA-Verstärkung beträgt: 20-fach für nicht invertierenden Eingang und 19-fach für invertierenden Eingang;

		1: Die PGA-Verstärkung beträgt: 100-fach für nicht invertierenden Eingang und 99-fach für invertierenden Eingang.
4	<b>PGA IPT</b>	<b>PGA- Eingangssteuerbit</b>  0: Nicht invertierender Eingang;  1: Invertierender Eingang.
3~0	-	Reservieren

**PGACFG (BEh) PGA- Setup-Register (Lesen/Schreiben)**

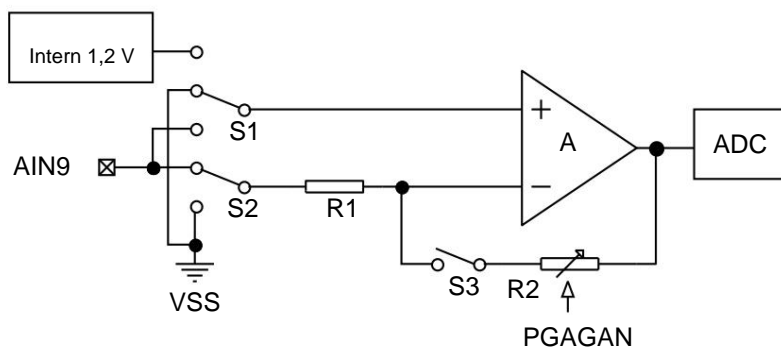
	<b>7</b>	<b>6</b>	<b>5</b>	<b>4</b>	<b>3</b>	<b>2</b>	<b>1</b>	<b>0</b>
Bitnummersymbol	PGA OFC Lesen/	-	PGA OFS[5:0]					
Startwert	Schreiben	-	lesen Schreiben	lesen/schreiben	lesen/schreiben	lesen Schreiben	lesen Schreiben	lesen Schreiben
0 beim Einschalten lesen/schreiben		X	0	0	0	0	0	0

Bitnummer	Bitzeichen	veranschaulichen
7	<b>PGA OFC</b>	Steuerbit für die Anpassung des <b>PGA-</b> Eingangsoffsets  0: PGA-Eingangsanschluss mit AIN9 verbunden  1: Die nichtinvertierenden und invertierenden Eingangsanschlüsse des PGA-Operationsverstärkers sind kurzgeschlossen und mit AIN9 verbunden
5~0	<b>PGA OFS[5:0]</b>	<b>PGA-Offset- Anpassung</b>
6	-	Reservieren

**18.1 PGA- Konfigurationsmethode**

Die PGA-Konfigurationsmethode ist in der folgenden Tabelle dargestellt:

PGA OFC	PGA IPT	PGA COM	PGA-	S1	S2	S3
0	0	Modus			mit VSS verbunden	Schließung
0	1				Verbinden Sie sich mit AIN9	
1	X	X-Kalibrierungsmodus verbunden mit AIN9			Verbinden Sie sich mit AIN9	trennen



Konfigurationsdiagramm für den PGA-Modus

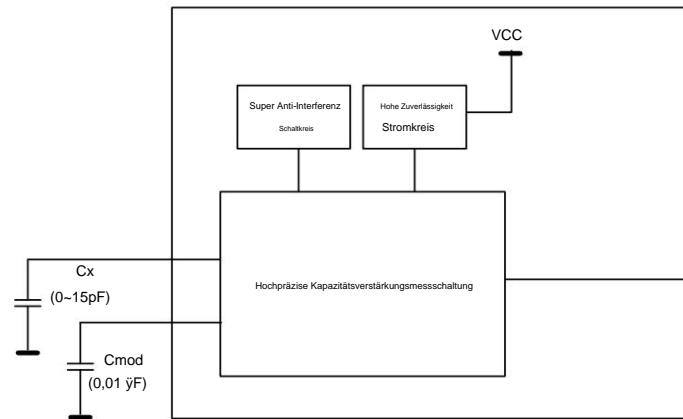
Informationen zur spezifischen Verwendung von PGA finden Sie in den „PGA-Anweisungen für MCUs der Saine SC93F-Serie“.

**19 Hochempfindliche luftisolierende kapazitive Berührungsschaltung**

SC93F833X verfügt über eine integrierte 23-Kanal-Touch-Key-Sensorschaltung mit hoher Empfindlichkeit und hoher Empfindlichkeit, die die Berührung und Verbindung von Remote-Tasten realisieren kann.

Nähererkennung und andere Operationen. Durch die Verwendung der von Saiyuan bereitgestellten hochempfindlichen Touch-Button-Bibliotheksdateien können Benutzer schnell und einfach Funktionen wie Lufttasten und Nähererkennung implementieren.

Blockdiagramm der hochempfindlichen luftisolierenden kapazitiven Berührungsschaltung:



Blockschaltbild des Touch-Key-Sensor-Schaltkreises

## 20 EEPROM- und IAP- Betrieb

Die IAP-Betriebsbereichsreihe des SC93F833X bietet zwei Modi zur Auswahl:

- Als Datenspeicher kann das 128 Byte große EEPROM mit der höchsten internen Adresse verwendet werden;
- IAP-Vorgänge können innerhalb des 8-KB-Bereichs des gesamten ROM-Speicherplatzes des IC und des 128-Byte-EEPROMs ausgeführt werden, der hauptsächlich für Remote-Programmaktualisierungen verwendet wird.

Der IAP-Betriebsbereich wird als Codeoption ausgewählt, wenn der Programmierer in den IC schreibt:

### OP\_CTM1(C2H@FFh) Kundenoptionsregister 1

	7	6	5	4	3	2	1	0
Bitnummersymbol	VREFS lesen/	-	-	-	IAPS[1:0]		-	-
	schreiben lesen/schreiben	-	-	-	schreibgeschützt, schreibgeschützt		-	-
Anfangswert beim Einschalten	n	X	X	X	N	N	X	X

Bitnummer	Bitzeichen	veranschaulichen
3~2	<b>IAPS[1:0]</b>	Auswahl des EEPROM- und IAP-Speicherbereichs 0: IAP-Operationen sind im Codebereich verboten und nur der EEPROM-Bereich kann als Datenspeicher verwendet werden. 01: Reserviert 10: Der letzte 1K-Codebereich ermöglicht IAP-Operationen (1C00H~1FFFH) 11: Alle Codebereiche erlauben IAP-Operationen (0000H~1FFFH)

### 20.1 EEPROM/IAP- betriebsbezogene Register

Beschreibung des EEPROM/IAP-Betriebsregisters:

Beschreibung der Symboladresse	7	6	5	4	3	2	1	0	Wert zurücksetzen	
<b>IAPKEY F1H</b>	IAP-Schutzregister							IAPKEY[7:0]		0000000b
<b>IAPADL F2H</b>	Niedriges Bit der IAP-Adresse							IAPADR[7:0]		0000000b
<b>IAPADH F3H</b>	-	-	High-Bits der IAP-Adresse							xx000000b
<b>IAPADE F4H</b>	IAP-Erweiterungsadresse							IAPADER[7:0]		0000000b
<b>IAPDAT F5H</b>	IAP-Datenregister							IAPDAT[7:0]		0000000b
<b>IAPCTL F6H</b>	IAP-Kontrollregister -							- ZÄHLUNGSZEITEN [1:0]	CMD[1:0] xxx0000b	

#### IAPKEY (F1H) IAP- Schutzregister (Lesen/Schreiben)

Bit Nummer 7 Symbol Lesen/	6	5	4	3	2	1	0
	IAPKEY[7:0]						
Schreiben Lesen/Schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben
Einschaltanfangswert 0	0	0	0	0	0	0	0



Bitnummer	Bitzeichen	veinschauchen
7-0	<b>IAPKEY[7:0]</b> öffnet die Einstellungen für die EEPROM-/IAP-Funktion und die Betriebszeitbegrenzung	<p>Schreiben Sie einen Wert n ungleich Null, der Folgendes darstellt:</p> <ul style="list-style-type: none"> <li>ÿ Schalten Sie die EEPROM/IAP-Funktion ein;</li> <li>ÿ Wenn nach n Systemtaktungen kein Schreibbefehl empfangen wird, wird die EEPROM/IAP-Funktion deaktiviert.</li> </ul> <p>Wieder schließen.</p>

**IAPADL (F2H) IAP- Schreibadresse im unteren 8 -Bit-Register**

Bitnummer	6	5	Symbol	Lesen/Schreiben	7	6	5	4	3	2	1	0
0	IAPADR[7:0]											
				lesen/schreiben				lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen Schreiben
				o				0	0	o	o	0

Bitnummer	Bitzeichen	veinschauchen
7-0	<b>IAPADR[7:0]</b>	EEPROM/IAP niedrige 8 Bit der Schreibadresse

**IAPADH (F3H) IAP- Schreibadresse im oberen 6 -Bit-Register**

Bitnummer	6	5	Symbol	Lesen/Schreiben	7	6	5	4	3	2	1	0
				lesen/schreiben				lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen Schreiben
				X				o	0	0	o	0

Bitnummer	Bitzeichen	veinschauchen
5-0	<b>IAPADR[13:8]</b>	EEPROM/IAP High 6 Bits der Schreibadresse
7-6	-	Reservieren

**IAPADE (F4H) IAP schreibt erweitertes Adressregister**

Bit Nummer	7	6	5	4	3	2	1	0
	IAPADER[7:0]							
				lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen/schreiben	lesen Schreiben
Einschaltanfangswert	0	o	o	0	0	o	o	0

Bitnummer	Bitzeichen	veinschauchen
7-0	<b>IAPADER[7:0]</b>	<p>IAP-Erweiterungsadresse:</p> <ul style="list-style-type: none"> <li>0x00: MOV- und IAP-Programmierung werden beide für Code durchgeführt</li> <li>0x01: MOV wird für den INFO-Bereich (dh IFB) durchgeführt. IAP kann IFB nicht programmieren</li> <li>0x02: MOV- und IAP-Programmierung werden beide für EEPROM durchgeführt</li> </ul> <p>Sonstiges: reserviert</p>

**IAPDAT (F5H) IAP- Datenregister**

Bitnummer	7	6	5	4	3	2	1	0
	IAPDAT[7:0]							
	lesen Schreiben	lesen Schreiben	lesen Schreiben	lesen Schreiben	lesen Schreiben	lesen Schreiben	lesen Schreiben	lesen Schreiben
Einschaltanfangswert	x	X	X	X	X	X	X	X

Bitnummer	Bitzeichen	veinschauchen
7-0	<b>IAPDAT</b>	Von IAP geschriebene Daten

**IAPCTL (F6H) IAP- Steuerregister**

Bit Nummer	6	5	4	3	2	1	0
				PAYTIMES[1:0] lesen/		CMD[1:0]	
				schreiben lesen/schreiben		lesen/schreiben lesen/schreiben	

Einschaltanfangswert x		X	X	X	0	0	0	0
------------------------	--	---	---	---	---	---	---	---

Bitnummer	Bitzeichen	veranschaulichen
3-2	<b>PAYTIMES[1:0]</b> EEPROM/IAP-Schreibvorgang, Einstellung der CPU-Haltezeit	<p>00: Stellen Sie die CPU-Haltezeit auf 4 ms bei 12/6/2 MHz ein            01: Stellen Sie die CPU-Haltezeit auf 2 ms bei 12/6/2 MHz ein            10: Stellen Sie die CPU-Haltezeit auf 1 ms bei 12/6/2 MHz ein            11: Reserviert</p> <p>Hinweis: Der CPU-Halt ist der PC-Zeiger und andere Funktionsmodule funktionieren weiterhin; das Interrupt-Flag wird dies tun wird gespeichert und tritt nach Ende des Haltens in den Interrupt ein, mehrere Interrupts können jedoch nur den letzten beibehalten.</p> <p>Zweckung</p> <p>Auswahlvorschlag: VDD liegt zwischen 2,7 V und 5,5 V, Sie können 10 auswählen            VDD liegt zwischen 2,4 V und 5,5 V, Sie können 01 oder 00 wählen</p>
1-0	<b>CMD[1:0]</b>	<p>EEPROM/IAP-Schreibvorgangsbefehl</p> <p>10: schreiben            Sonstiges: reserviert</p> <p><b>Hinweis:</b> Stellen Sie sicher, dass Sie nach der EEPROM/IAP-Schreiboperationsanweisung mindestens 8 NOP- Anweisungen hinzufügen .            um sicherzustellen, dass nachfolgende Anweisungen nach Abschluss des IAP- Vorgangs normal ausgeführt werden können !</p>

## 20.2 128BYTE unabhängiger EEPROM- Betriebsprozess

Der Schreibvorgang des EEPROM/IAP des SC93F833X ist wie folgt:

ÿ Schreiben Sie IAPADE[7:0], 0x00: Wählen Sie den Codebereich aus, um den IAP-Vorgang auszuführen; 0x02: Wählen Sie den EEPROM-Bereich aus, um den EEPROM-Vorgang auszuführen

Lesen- und Schreibvorgänge;

ÿ Schreiben Sie IAPDAT[7:0] (bereiten Sie die vom EEPROM/IAP geschriebenen Daten vor);

ÿ Schreiben Sie {IAPADR[12:8], IAPADR[7:0]} (bereiten Sie die Zieladresse für den EEPROM/IAP-Betrieb vor);

ÿ IAPKEY[7:0] schreiben Schreiben Sie einen Wert n ungleich 0 (schalten Sie den EEPROM/IAP-Schutz ein und erhalten Sie innerhalb von n Systemtaktungen keinen Schreibbefehl) damit EEPROM/IAP ausgeschaltet wird);

ÿ Schreiben Sie IAPCTL[3:0] (stellen Sie die CPU-Haltezeit ein, schreiben Sie CMD[1:0] als 1, 0, CPU-Halten und starten Sie das EEPROM-/IAP-Schreiben eingeben);

ÿ Das Schreiben in das EEPROM/IAP ist abgeschlossen und die CPU setzt die nachfolgenden Vorgänge fort.

Beachten:

1. Wenn beim Programmieren von IC „IAP-Betrieb im Codebereich deaktivieren“ über die Code-Option ausgewählt wird, dann ist IAPADE[7:0]=0x00 (auswählen).

Codebereich) ist IAP nicht funktionstüchtig, d. h. Daten können nicht geschrieben werden und Daten können nur über MOVC-Anweisungen gelesen werden.

2. Wenn IAPADE = 0X01 oder 0X02, werden MOVC und Schreiben für den EEPROM- oder IAP-Bereich ausgeführt. Wenn zu diesem Zeitpunkt ein Interrupt auftritt,

Und wenn innerhalb des Interrupts eine MOVC-Operation stattfindet, ist das Ergebnis von MOVC falsch und das Programm wird abnormal ausgeführt. Um dies zu vermeiden, bitten wir Sie, dies zu verhindern

Der Benutzer muss den Gesamtinterrupt (EA = 0) ausschalten, bevor er IAPADE = 0X01 oder 0X02 ausführt, und IAPADE = 0X00 festlegen, nachdem der Vorgang abgeschlossen ist.

Total-Interrupt einschalten (EA=1).

### 20.2.1 128BYTE unabhängige EEPROM- Betriebsroutine

```
#include „intrinsic.h“
unsigned char EE_Add; unsigned char
EE_Data;
Zeichencode * POINT =0x0000; unsigned char
```

**Demoprogramm für EEPROM- Schreibvorgang C :**

```
EA = 0; // Gesamtinterrupt ausschalten
IAPADE = 0X02; //Wählen Sie den EEPROM-Bereich aus
IAPDAT = EE_Data; //Daten an das EEPROM-Datenregister senden
IAPADH = 0x00; //Hohe Adresse ist standardmäßig 0x00
IAPADL = EE_Add; //Schreiben Sie den niedrigen Wert der EEPROM-Zieladresse
```

```

IAPKEY = 0XF0; //Dieser Wert kann entsprechend der tatsächlichen Situation angepasst werden. Es muss sichergestellt werden, dass nach der Ausführung dieser Anweisung und vor der Zuweisung eines Werts an IAPCTL.

// Das Zeitintervall muss weniger als 240 (0xf0) Systemuhren betragen, andernfalls wird die IAP-Funktion deaktiviert.

// Seien Sie besonders vorsichtig, wenn Sie Interrupts aktivieren

IAPCTL = 0X0A; _nop_(); //Führen Sie den EEPROM-Schreibvorgang aus, 1ms@12M/6M/2M;
_nop_(); //Warten (erfordert mindestens 8 _nop_())

_nop_();
_nop_();
_nop_();
_nop_();
_nop_();
_nop_();
_nop_();
_nop_();
IAPADE = 0X00; //Zurück zum ROM-Bereich
EA = 1; //Gesamten Interrupt aktivieren

```

**Demoprogramm für EEPROM- Lesevorgang C :**

```

EA = 0; // // Gesamtiinterrupt ausschalten
IAPADE = 0X00; //Codebereich auswählen
EE_Data = *( POINT +EEPROM_Add); //Lesen Sie den Wert von IAP_Add zu IAP_Data
IAPADE = 0X00; // ROM-Bereich, um zu verhindern, dass MOVc mit dem EEPROM arbeitet
EA = 1; // Gesamtiinterrupt aktivieren

```

**20.2.2 IAP- Betriebsroutine für den 8-KB-CODE- Bereich**

```

#include „intrinsic.h“
unsigned int IAP_Add; unsigned
char IAP_Data;
vorzeichenloser Zeichencode * POINT =0x0000;

```

**Demoprogramm für den IAP- Schreibvorgang in C :**

```

IAPADE = 0X00; //Daten //Codebereich auswählen
IAPDAT = IAP_Data; // an das IAP-Datenregister senden
IAPADH = (unsigned char)((IAP_Add >> 8)); //Schreiben Sie den höherwertigen Wert der IAP-Zieladresse
IAPADL = (unsigned char)IAP_Add; //Dieser Wert kann entsprechend den //Schreiben Sie den niedrigen Wert der IAP-Zieladresse
IAPKEY = 0XF0; // Das tatsächlichen Bedingungen angepasst werden; es muss sichergestellt werden, dass nach der Ausführung dieser Anweisung und vor der Zuweisung eines Werts an IAPCTL,
// Zeitintervall muss weniger als 240 (0xf0) Systemuhren betragen, sonst wird die IAP-Funktion ausgeschaltet;
// Seien Sie besonders vorsichtig, wenn Sie Interrupts aktivieren

IAPCTL = 0X0A; _nop_(); //Führen Sie einen IAP-Schreibvorgang aus, 1 ms@12M/6M/2M;
_nop_(); //Warten (erfordert mindestens 8 _nop_())

_nop_();
_nop_();
_nop_();
_nop_();
_nop_();
_nop_();
_nop_();

```

**Demoprogramm für IAP- Lesevorgang C :**

```

IAPADE = 0X00; //Codebereich auswählen
IAP_Data = *( POINT+IAP_Add); //Lesen Sie den Wert von IAP_Add zu IAP_Data

```

Hinweis: Bei IAP-Vorgängen im 8-KB-Codebereich bestehen bestimmte Risiken, und Benutzer müssen entsprechende Sicherheitsmaßnahmen in der Software ergreifen. Wenn dies bei dem Vorgang nicht der Fall ist

Dies kann dazu führen, dass das Anwenderprogramm neu geschrieben wird! Sofern der Benutzer diese Funktion nicht benötigt (z. B. für Remote-Programmaktualisierungen usw.), wird die Verwendung für Benutzer nicht empfohlen.

**21 Elektrische Eigenschaften**
**21.1 Grenzparameter**

Symbol	Parameter	Minimum	Maximum	EINHEIT
VDD/VSS	Parameter DC-		-0,3	V
Spannung EIN beliebig Stift	Versorgungsspannung Beliebige Pin-Eingangs-/Ausgangsspannung	-0,3	VDD+0,3	V
TA	Arbeitstemperatur	-40	85	°C
TSTG	Lagertemperatur	-55	125	°C

**21.2 Empfohlene Arbeitsbedingungen**

Symbol	Parameter	Mindestwert	Maximalwert	EINHEIT	Systemtaktfrequenz
VDD	Arbeitsspannung	2,9	5,5	V	Größer als 6 MHz
VDD	Arbeitsspannung	2.4	5.5	V	Kleiner oder gleich 6 MHz
TA	Arbeitsumgebungstemperatur	-40	85	°C	-

**21.3 Elektrische Eigenschaften von Gleichstrom**

(VDD = 5V, TA = +25°C, sofern nicht anders angegeben)

Symbol	Parameter	Minimaler Wert	Typischer Wert	Maximaler Wert	Einheit	Test-Bedingungen
aktuell						
Iop1	Arbeitsstrom		13		mA	IRC=12 MHz
Iop2	Arbeitsstrom		9		mA	IRC = 6 MHz
Iop3	Arbeitsstrom		7		mA	IRC=2MHz
Ipd1	Standby-Strom (Power-Down-Modus)	-	0,7	1,0	µA	
IIDL1	Standby-Strom (Ruhezustand)	-	9.4		mA	
ILRC	Niederfrequenter 128k RC-Oszillatorstrom	-	5	10	µA	
IWDT	WDT-Strom	-	1	3	µA	
ITK1	Betriebsstrom der Touch-Taste	-	1	1.2	mA	
Eigenschaften des E/A-Ports						
VIH1	Eingang Hochspannung	0,7VDD	-	VDD+0.3	V	
VIL1	Eingang niedrige	-0,3	-	0,3VDD	V	
VIH2	Spannung Eingang	0,8VDD		VDD	V	V-Schmitt-Trigger-Eingang:
VIL2	hohe Spannung	-0,2		0,2VDD	V	VRST, tCK, SCK
IOL1	Eingang niedrige		30		mA	VPin=0,4V
IOL2	Spannung Ausgang		48		mA	VPin=0,8V
IOH1	niedriger Strom Ausgang niedriger		—		mA	VPin=4,3V
IOH2	Strom Ausgang hoher Strom P1/P5		11		mA	VPin=4,7V
IOH3	Ausgang hoher Strom P1/P5 Ausgang hoher Strom P0/P2		—		mA	VPin=4,3V, Pxyz=0,IOH-Level 0
	Geben Sie hohen Strom P0/P2 aus		15		mA	VPin=4,3V Pxyz=1,IOH-Ebene 1
	Geben Sie hohen Strom P0/P2 aus		12		mA	VPin=4,3V Pxyz=2,IOH Level 2
	Geben Sie hohen Strom P0/P2 aus		8		mA	VPin=4,3V Pxyz=3,IOH Level 3
IOH4	Geben Sie hohen Strom P0/P2 aus		11		mA	VPin=4,7V

					Pxyz=0, IOH-Level 0
	Geben Sie hohen Strom P0/P2 aus		9		mA VPin=4,7V
	Geben Sie hohen Strom P0/P2 aus		7		Pxyz=1, IOH-Ebene 1 mA VPin=4,7V
	Geben Sie hohen Strom P0/P2 aus		5		Pxyz=2, IOH Level 2 mA VPin=4,7V
RPH1	Der Pull-Up-		30		Pxyz=3, IOH Level 3 k $\Omega$
Widerstand dient als interne Referenz für die ADC-Referenzspannung von 2,4 V.					
VDD24	Interne Referenz 2,4 V Spannungsausgang 2,37	2,40	2,45		VTA =40~85 $\mu$

(VDD = 3,3 V, TA = +25 $\mu$ , sofern nicht anders angegeben)

Symbol	Parameter	Minimalwert	Typischer Wert	Maximalwert	Unit-Testbedingungen
aktuell					
lop4	Arbeitsstrom		9		mA IRC=12 MHz
lop5	Arbeitsstrom		7		mA IRC = 6 MHz
lop6	Arbeitsstrom		6		mA IRC=2MHz
IPD2	Standby-Strom (Power-Down-Modus)	-	0,6	1	$\mu$ A
IIDL2	Standby-Strom (Ruhezustand)	-	6,0		mA
ITK2	Betriebsstrom der Touch-Taste	-	0,9	1.1	mA
Eigenschaften des E/A-Ports					
VIH	Eingang Hochspannung	0,7VDD	-	VDD+0,3	V
VIL	Eingang Niederspannung	-0,3	-	0,3VDD V	
VIH, RSTN- Eingangshochspannung		0,8VDD		VDD	V Schnitt-Trigger-Eingang: tCK
VIL, RSTN- Eingangs-Niederspannung		-0,2		0,2VDDV	RST , SCK
IOL3	Ausgang		---		mA VPin=0,4V
IOL4	Niederstromausgang		42		mA VPin=0,8V
IOH5	Niederstromausgang		7		mA Vpin = 3,0 V
RPH1	Hochstrom-Pull-		50		k $\Omega$
up-Widerstand als interne Referenz für ADC-Referenzspannung 2,4 V					
VDD24	Interne Referenz 2,4 V Spannungsausgang 2,37	2,40	2,45		VTA =40~85 $\mu$

#### 21.4 Elektrische Eigenschaften des Wechselstroms

(VDD = 2,4 V ~ 5,5 V, TA = 25  $\mu$ , sofern nicht anders angegeben)

SymbolparameterTosc		Minimalwert	Typischer Wert	Maximalwert	Unit-Testbedingungen
	Startzeit des externen 32k-Oszillators -	-	-	1	s externer 32k Quarzoszillator
TPOR	Zeit zum Zurücksetzen beim Einschalten	-	1	1.5	MS
TPDW	Beim Aufwachen aus dem Power-Down-Modus	-	1	1.5	MS
Treset	Impulsbreite zurücksetzen	18			$\mu$ s aktiver Low-Pegel
fosc	RC-Schwingungsstabilität	23.76	---	24.24	MHz VDD = 4,5 ~ 5,5 V TA=-20~85 $\mu$

**21.5 Elektrische Eigenschaften des ADC**

(TA = 25°C, sofern nicht anders angegeben)

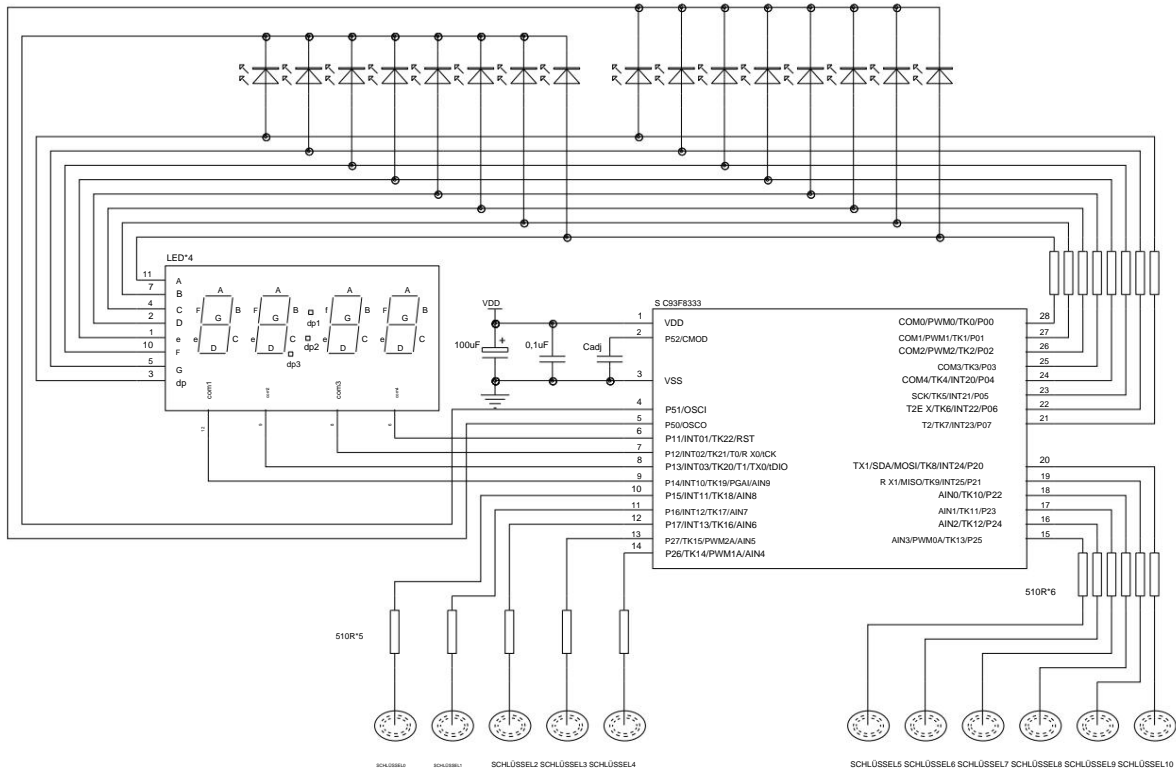
Symbol	Parameter	Minimalwert	Typischer Wert	Maximalwert	Unit	Testbedingungen
Genauigkeit der VAD		2.4	5,0 5,5			V
NR	Stromversorgungsspannung		12			klassisch GNDyVAInyVD D
VERGEBLICH	ADC-Eingangsspannung	GND		VDD		V
REGEN	ADC-Eingangswiderstand	1				MΩ Fahrgestellnummer=5V
IADC1	ADC-Umwandlungsstrom 1		2.7	3.2		mA ADC-Modul eingeschaltet VDD=5V
IADC2	ADC-Umwandlungsstrom 2		2.1	2.5		mA ADC-Modul ist eingeschaltet VDD=3.3V
	Differenzialer nichtlinearer DNL-Fehler			±1		LSB
	INL Integrierter nichtlinearer Fehler			±2		LSB
EZ	Offsetfehler		12			LSB
EF	Vollskalener Fehler		23			LSB
EAD	Gesamter absoluter Fehler		23			LSB
TADC1	ADC-Wandlungszeit		10			µs ADC-Takt = 2 MHz
TADC2	ADC-Wandlungszeit		25			µs ADC-Takt = 333 kHz
γTS- Temperatur	sensor-Spannungstemperaturkoeffizient		4.7			mV/°C

**21.6 Elektrische PGA-Eigenschaften**

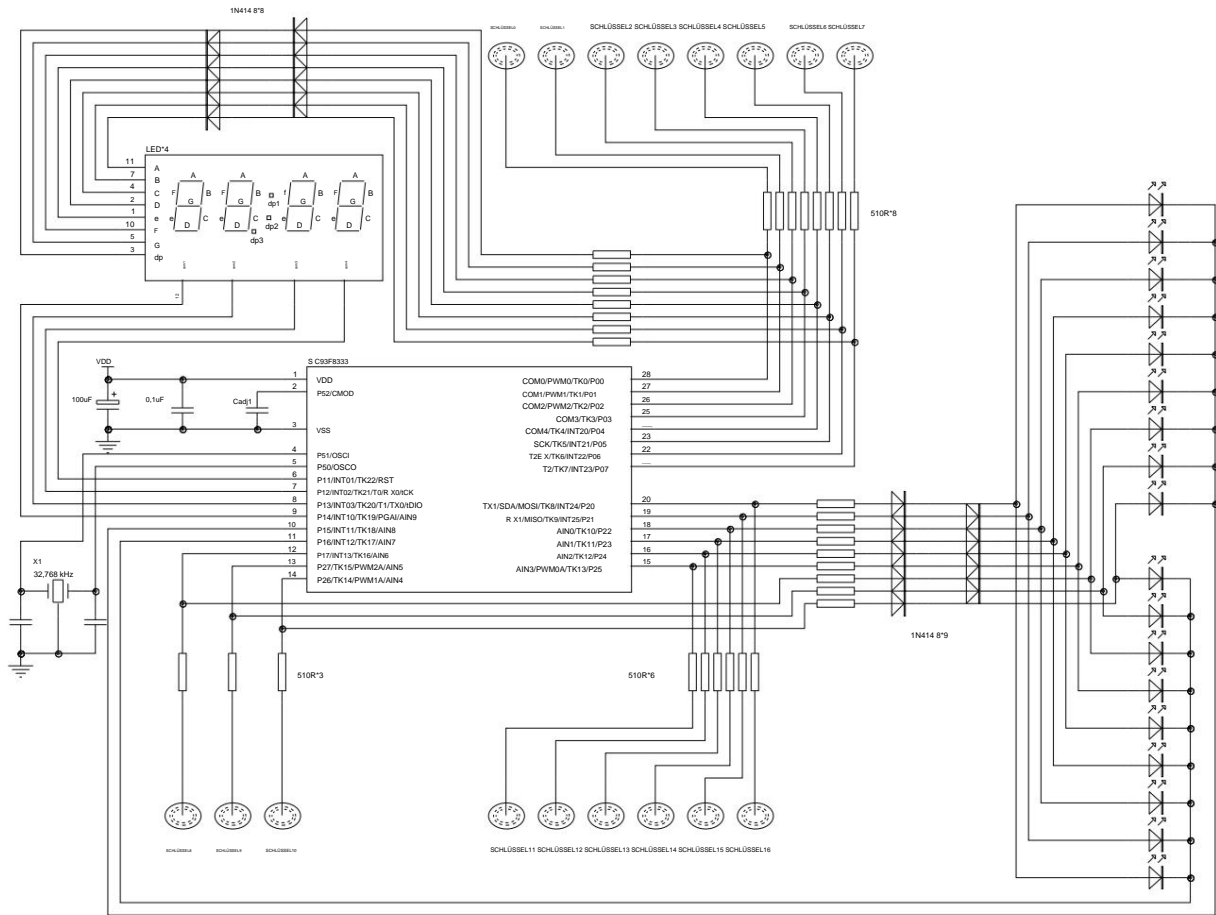
(VDD=5V, TA =25°C, sofern nicht anders angegeben)

Symbol	Parameter	Minimalwert	Typischer Wert	Maximalwert	Unit	Testbedingungen
IPGA	PGA-Betriebsstrom	-	1	1.3		mA
RPGA1	Nichtinvertierender PGA-Eingangswiderstand	1	-	-		MΩ Fahrgestellnummer=5V
RPGA2	PGA-invertierender Eingangswiderstand	1.3	1.8	-		kΩ Fahrgestellnummer=5V
VPGA0	PGA-Ausgangsspannung	0	-	3.5		V
GPGA1	PGA nicht invertierende Vergrößerung 1	19	20	—		
GPGA2	PGA nicht invertierende Vergrößerung 2	95	100	105		
GPGA3	PGA-Umkehrvergrößerung 1	18	19	20		
GPGA4	PGA-Umkehrvergrößerung 2	94	99	104		

## 22Anwendungsschaltung



SC93F8333 Touch Key-Anwendungsschaltplan



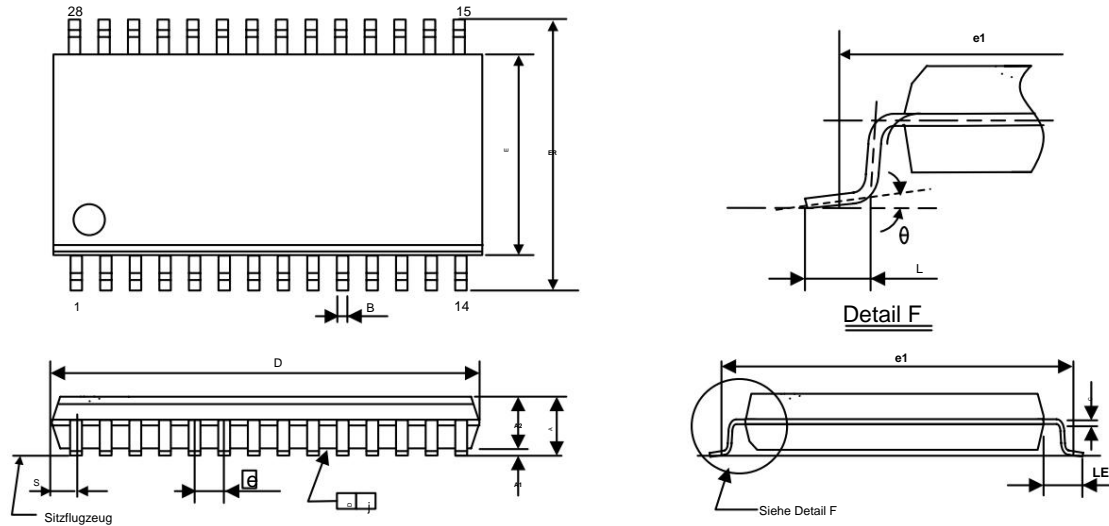
SC93F8333 Touch Key-Anwendungsschaltung: Wird von Touch Key und LED gemeinsam genutzt





## 23Bestellinformationen

Produktnummer	Verpackung	Paket
SC93F8333M28U	SOP28L	Rohr
SC93F8333X28U	TSSOP28L	Rohr
SC93F8332M20U	SOP20L	Rohr
SC93F8332X20U	TSSOP20L	Rohr
SC93F8331M16U	SOP16L	Rohr

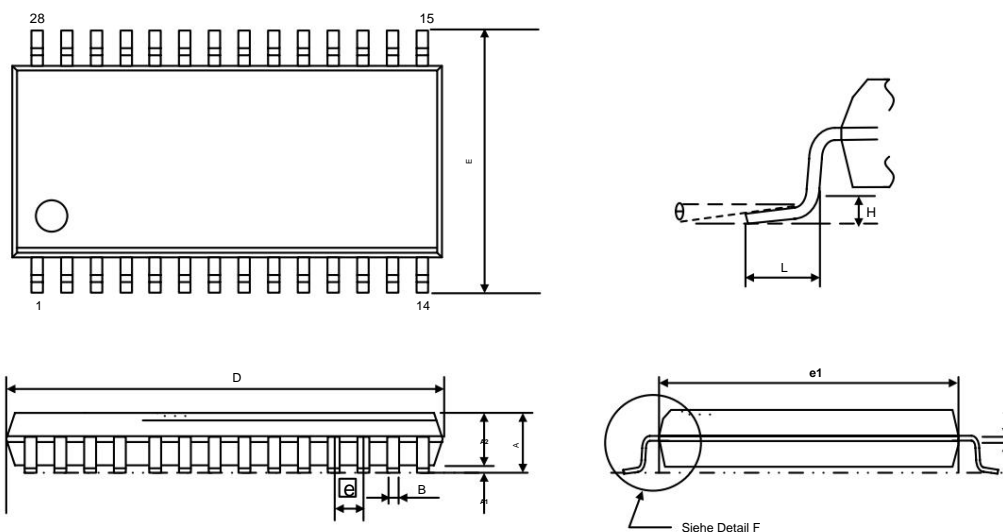
**24Paketinformationen**
**SC93F8333M28U**
**SOP28L (300 mil) Gesamtabmessungen : mm**



Symbol	mm(Millimeter)		
	am kleinsten	Standard	maximal
A	2.465	2.515	2.565
A1	0,100	0,150	0,200
A2	2.100	2.300	2.500
B	0,356	0,406	0,456
C	0,254 (BSC)		
D	17.750	17.950	18.150
E	7.374	7.450	7.574
ER	10.100	10.300	10.500
e	1,270 (BSC)		
L	0,764	0,864	0,964
LE	1.303	1.403	1.503
γ	0γ	-	10γ
S	0,745 (BSC)		

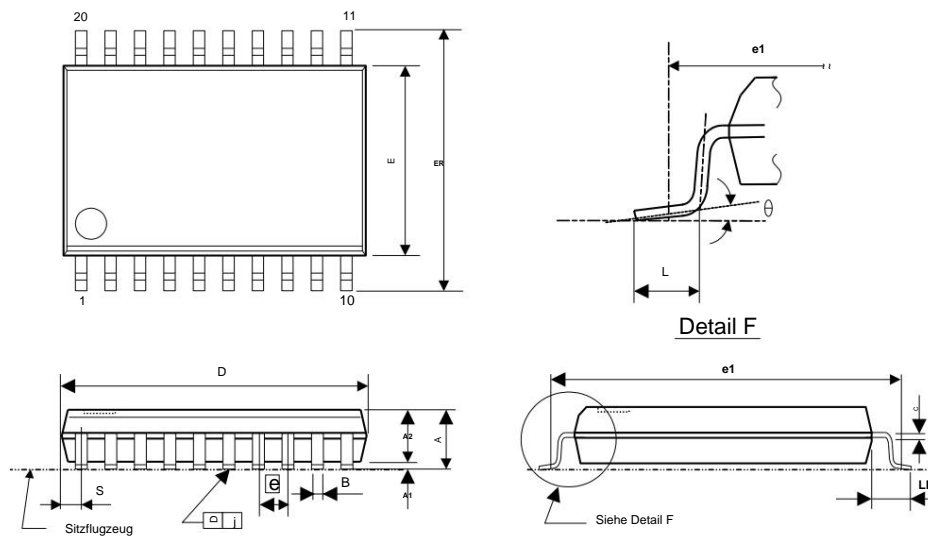
**SC93F8333X28U**

Gesamtabmessungen des TSSOP28

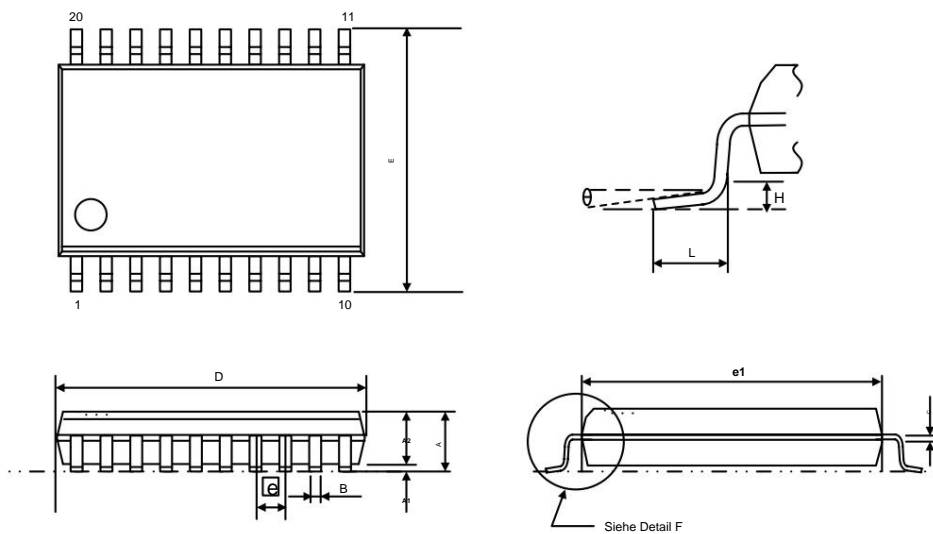
Einheit: mm




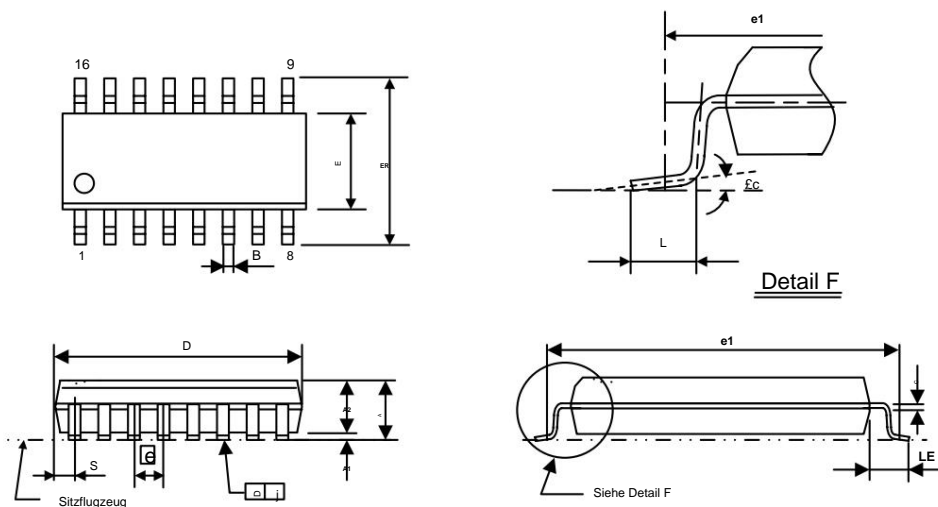
Symbol	mm(Millimeter)		
	maximal	normal	maximal
A	-	-	1,200
<b>A1</b>	0,050	-	0,150
<b>A2</b>	0,800	-	1,000
B	0,190	-	0,300
C	0,090	-	0,200
D	9,600	-	9,800
E	6,250	-	6,550
e1	4,300	-	4,500
	0,65 (BSC)		
L	0,500	-	0,700
ÿ	1ÿ	-	7ÿ
H	0,25 (TYP)		

**SC93F8332M20U**
**SOP20L (300 mil) Gesamtabmessungen : mm**


Symbol	mm(Millimeter)		
	am kleinsten	normal	maximal
A	2.465	2.515	2.565
A1	0,100	0,150	0,200
A2	2.100	2.300	2.500
B	0,356	0,406	0,456
C	0,254 (BSC)		
D	12.500	12.700	12.900
E	7.400	7.450	7.500
ER	10.206	10.306	10.406
e	1,27 (BSC)		
L	0,800	0,864	0,900
LE	1.303	1.403	1.503
y	0y	-	10y
S	0,660 (BSC)		

**SC93F8332X20U**
**TSSOP20L** Gesamtabmessungen Einheit: mm


Symbol	mm (Millimeter)		
	am Hersteller	normal	maximal
A	-	-	1.200
<b>A1</b>	0,050	-	0,150
<b>A2</b>	0,800	-	1,000
B	0,190	-	0,300
C	0,090	-	0,200
D	6,400	-	6,600
E	6,250	-	6,550
e1	4,300	-	4,500
	0,65 (BSC)		
L	0,500	-	0,700
ÿ	1ÿ	-	7ÿ
H	0,25 (TYP)		

**SC93F8331M16U**
**SOP16L (150 mil) Gesamtabmessungen : mm**


Symbol	mm(Millimeter)		
	am kleinsten	normal	maximal
A	1.500	1.600	1.700
A1	0,100	0,150	0,200
A2	1.400	1.450	1.500
B	0,356	0,406	0,470
C	0,203 (BSC)		
D	9.700	9.900	10.160
S	0,505 (BSC)		
E	3.800	3.900	4.000
ER	5.900	6.000	6.100
e	1,27 (BSC)		
L	0,500	0,660	0,700
LE	0,950	1,050	1,150
ÿ	0ÿ	-	8ÿ

**25Spezifikationsänderungsdatensatz**

Version	Aufzeichnen	Datum
V1.2	1. Spezifikationsnamen ändern 2. Register SPDAT wird in SSDAT korrigiert 3. ADC-Parameter aktualisieren	Dezember 2017
V1.1	1. Aktualisieren Sie die grafische Beschreibung von PWM Duty 2. Beheben Sie einige Beschreibungsfehler 3. Ändern Sie die PIN14 von SC91F8331 von P0.4 auf P0.5 4. Ändern Sie den Anwendungsschaltplan 5. Ändern Sie den Header-Inhalt 6. ADC-Parameter aktualisieren	November 2017
V1.0 erste Version		August 2017