

DIC1	5AAELI	Kolloquium	WS20/21	Datum:	12.04.2021
Name:	Eskandari			Bewertung:	

Phase corect PWM

Es sollen zwei zueinander phasenkorrekte (phase correct) PWM-Signale erzeugt werden. Die Breite der Einschaltdauer wird mit zwei 5-Bit breiten Eingangssignalen (z.B. je 5 Schalter, 10 Schalter stehen am Board zur Verfügung) gesteuert (31 → Signal gänzlich auf High, 0 → Signal gänzlich auf Low¹). Die Periodendauer selbst entspricht somit $2 \cdot 2^n$ Taktschritten (Takt 50 MHz). Das Prinzip und ein möglicher Lösungsvorschlag sollen in der untenstehenden Skizze verdeutlicht werden.

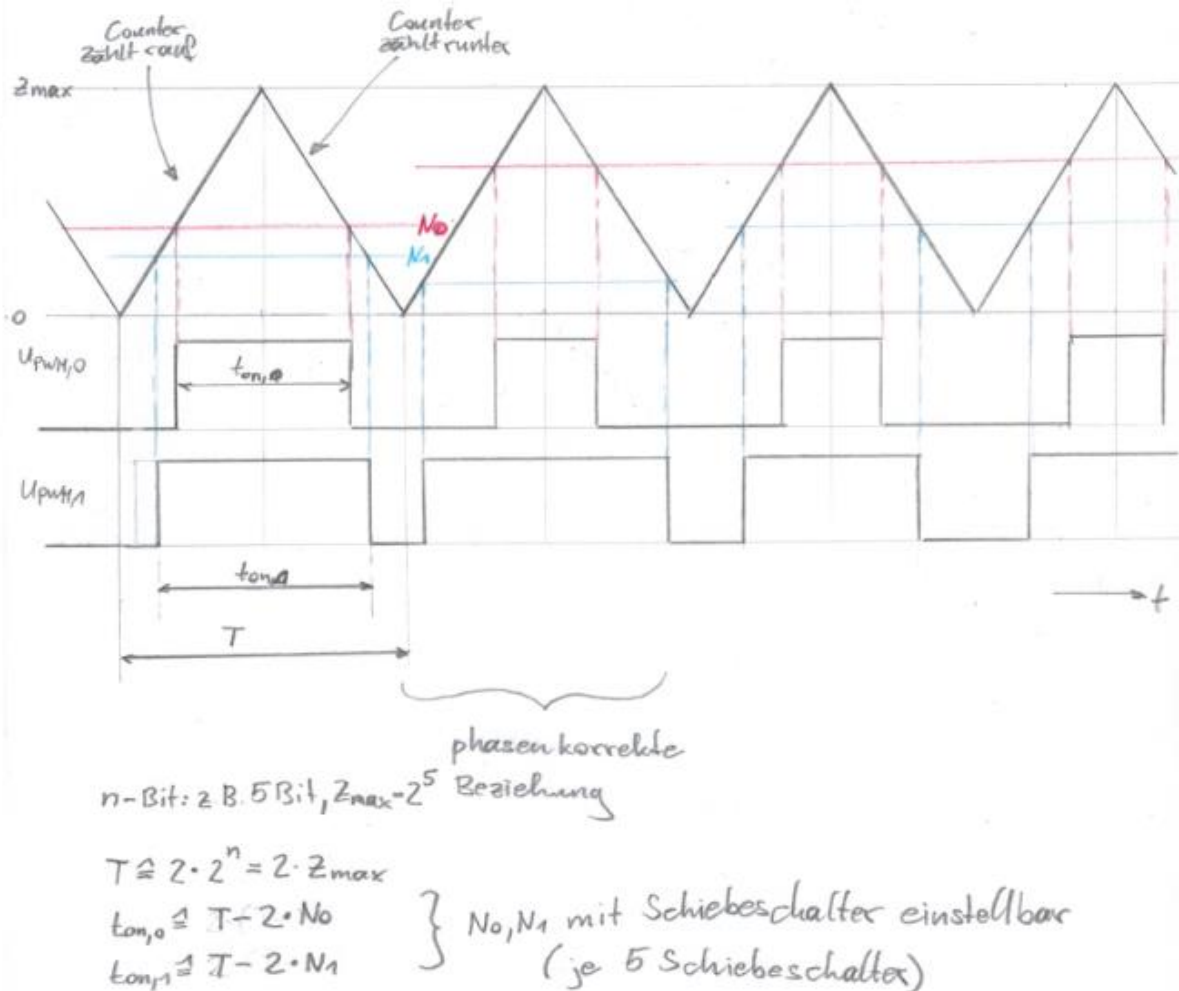


Abbildung 1 – Prinzip: Phase correct PWM

Modellierung in VHDL und Simulation:

- Installieren Sie sich Quartus 18 inklusive ModelSim.
- Erstellen Sie ein passendes VHDL Modell zur Angabe.
- Erstellen Sie eine passende Testbench.
- Simulieren und analysieren Sie das Modell mit der Testbench.
- Verwenden Sie zum automatisierten Testen eine Simulationsdatei (sim.do).
- Erstellen Sie ein Quartus Projekt und testen Sie Ihr Modell mittels FPGA.
- Erstellen Sie eine Doku (Ausdruck abgeben).

¹ Hinweis: $(2^n - 1)$ – Schalterstellung, z.B. 31 – 31 = 0, 31 – 0 = 31, ...