

Otto-von-Guericke-Universität Magdeburg
Fakultät für Elektrotechnik und Informationstechnik
Lehrstuhl für Leistungselektronik

Masterarbeit



Analyse von GaN-Gleichstromstellern im Parallelbetrieb

eingereicht: 30. Mai 2017

von: Christian Krause

Kurzreferat

Der Einsatz von enhancement-mode Gallium Nitride Field Effect Transistors (eGaN-FETs) bietet hinsichtlich der geringen Schalt- und Durchlassverluste den Vorteil den DC/DC Wandler des Antriebsstrangs im Automobil, effizienter zu gestalten [1]. Bisher werden dazu Silizium (Si) insulated-gate bipolar transistors (IGBTs) eingesetzt [2]. Beim Einsatz dieser neuen Technologie stößt der Entwickler auf mehrere Herausforderungen. Die Wärmeabfuhr erweist sich aufgrund der kleinen Bauteilabmaße der eGaN-FETs als schwierig. Schaltgeschwindigkeiten im einstelligen ns-Bereich erfordern ein Leiterplattenlayout, welches weder die Funktionsweise beeinträchtigt noch die Einhaltung der geforderten EMV-Richtlinien verhindert [3].

Diese Masterarbeit widmet sich der Entwicklung, Inbetriebnahme und dem Test eines bidirektionalen Synchronwandlers, auf Basis von eGaN-FETs des Typs GS66506T, im Einzel- sowie im Parallelbetrieb. Bei der Dimensionierung und Auswahl der Bauteile wird besonderer Wert auf die Kühlung der Leistungshalbleiter (LHL) gelegt. Das Schaltverhalten wird mit Hilfe eines Doppelpulsversuchs (DPVs) untersucht. Beim Einzel- und Parallelbetrieb werden Wirkungsgrad- und Temperaturmessungen durchgeführt. Die erreichte Ausgangsleistung eines Wandlers im Tiefsetzsteller (TSS)-Betrieb beträgt bei einer Eingangsspannung $U_{BN} = 400 \text{ V}$ und einem Aussteuergrad $a_{T1} = 0,5$ $P_{DSK} = 2 \text{ kW}$. Der maximale Wirkungsgrad eines Moduls beträgt $\eta_{max} = 98,77 \%$.

Eidesstattliche Erklärung

Hiermit versichere ich, die vorliegende Arbeit selbstständig und unter ausschließlicher Verwendung der angegebenen Literatur und Hilfsmittel erstellt zu haben.

Die Arbeit wurde bisher in gleicher oder ähnlicher Form keiner anderen Prüfungsbehörde vorgelegt und auch nicht veröffentlicht.

Magdeburg, den 30. Mai 2017

Inhaltsverzeichnis

1	Einleitung	2
2	GaN-Technologie	4
2.1	Materialeigenschaften	4
2.2	dGaN-FET	9
2.3	eGaN-FET Varianten	10
2.4	Statisches und dynamisches Verhalten	16
2.4.1	Statisches Verhalten	16
2.4.2	Dynamisches Verhalten	17
3	Synchron-Tief- und Hochsetzsteller	26
3.1	Aufbau und Funktionsweise	26
3.1.1	TSS-Betrieb	27
3.1.2	Synchron-TSS	29
3.2	Fehlfunktionen und Problemlösungen	31
3.2.1	du/dt Immunität	32
3.2.2	di/dt Immunität	33
3.2.3	Gleichtaktströme	33
3.2.4	Switch Node Ringing	34
3.3	Verlustleistungsrechnung	36
3.3.1	eGaN-FETs	36
3.3.2	Speicherdrossel	38
3.4	Parallelbetrieb von Synchronwandlern	43
4	Dimensionierung und Auswahl der Bauteile	47
4.1	Kühlkörper	47
4.1.1	Mechanismus der Wärmeübertragung	47
4.1.2	Verlustleistungsberechnung	48
4.1.3	Thermische Berechnung	50
4.1.4	Kühlkörperauswahl	51
4.2	Zwischenkreiskondensator C_1	54
4.2.1	Dimensionierung	55
4.2.2	Auswahl der Kondensatoren	57

4.2.3	Impedanzverlauf	59
4.3	Ausgangskondensator C_2	61
4.3.1	Dimensionierung	61
4.3.2	Auswahl der Kondensatoren	62
4.3.3	Impedanzverlauf	62
4.4	Speicherdrossel L	63
4.4.1	Dimensionierung	63
4.4.2	Auswahl des Kerns	65
4.4.3	Impedanzverlauf	66
5	Anforderungen an die Messtechnik	70
6	Layout und Bauteilauswahl	73
6.1	Layout 1	73
6.2	Layout 2	73
6.2.1	Kommutierungsschleife	73
6.2.2	Gatekreis	75
6.2.3	Weitere Layoutdetails	76
7	Testergebnisse	77
7.1	Schaltverhalten	77
7.1.1	Einschaltvorgang	79
7.1.2	Ausschaltvorgang	84
7.1.3	Schaltenergien	86
7.2	Einzelbetrieb Synchron-TSS	88
7.2.1	Versuchsaufbau	88
7.2.2	Inbetriebnahme	89
7.2.3	Wirkungsgrad	93
7.2.4	Temperaturmessung	95
7.3	Parallelbetrieb Synchron-TSS	99
7.3.1	Verläufe	100
7.3.2	Wirkungsgrad	102
7.3.3	Temperaturmessung	103
8	Zusammenfassung und Ausblick	105
8.1	Zusammenfassung	105
8.2	Diskussion und Ausblick	107
	Literaturverzeichnis	109

A Anhang	118
A.1 Spezifikation	118
A.2 Schaltplan	119
A.3 Leiterplattenlayout	122

Symbolverzeichnis

Δi_L	Spitze-Spitze-Wert des Drosselstromes
\dot{Q}	Wärmestrom
ϵ_0	Dielektrizitätskonstante des Vakuums
ϵ_r	relative Dielektrizitätszahl
η	Wirkungsgrad
λ	Wärmeleitfähigkeit
μ_n	Elektronenbeweglichkeit
μ_o	magnetische Feldkonstante
μ_p	Löcherbeweglichkeit
μ_r	Permiabilitätszahl
ρ_W	spezifischer Widerstand eines Leitermaterials
$\frac{di_D}{dt}$	Drain-Stromsteilheit
$\frac{di}{dt}$	Stromsteilheit
$\frac{du_{DS}}{dt}$	Drain-Source-Spannungssteilheit
$\frac{du}{dt}$	Spannungssteilheit
α	Wärmeausdehnungskoeffizient
φ_S	Potential des Schaltknotens
ϑ	Temperatur

ϑ_A	Umgebungstemperatur
ϑ_C	Gehäusetemperatur
ϑ_J	Sperrschichttemperatur
ϑ_S	Kühlkörpertemperatur
$\vartheta_{J,max}$	maximale Sperrschichttemperatur
A	Fläche
a_{T1}	Aussteuergrad des highside (HS) Transistors
a_{T2}	Aussteuergrad des lowside (LS) Transistors
B	magnetische Flussdichte
c_0	Lichtgeschwindigkeit des Vakuums
C_1	Eingangskapazität des TSS
C_2	Ausgangskapazität des TSS
C_{BN}	Kapazität der Bordnetz (BN) Batterie
C_{DSK}	Kapazität des Doppelschichtkondensator (DSK)
C_{DS}	Drain-Source-Kapazität
C_{GD}	Gate-Drain-Kapazität
C_{GS}	Gate-Source-Kapazität
C_{OSS}	Ausgangskapazität eines eGaN-FET
C_p	parasitäre Kapazität
D	Durchmesser
d	Dicke eines Materials
e	Elementarladung / Eulersche Zahl

E_{krit}	kritische elektrische Feldstärke
f	Taktfrequenz des Ansteuersignals
f_{GS}	Grenzfrequenz ab der der Skin-Effekt nicht mehr zu vernachlässigen ist
f_N	Frequenz der n -Oberschwingung des Drosselstromes
f_R	Resonanzfrequenz
g_m	Transkonduktanz
H	magnetische Feldstärke
i_i	Wechselanteil des Drosselstroms
I_{BN}	BN-Strom
$I_{C,1,Eff}$	Effektivwert des Kondensatoreingangsstroms des TSS
$i_{C,1}$	Momentanwert des Stromes der Eingangskapazität des TSS
$I_{C,2,Eff}$	Effektivwert des Kondensatorausgangsstroms des TSS
$i_{C,2}$	Momentanwert des Stromes der Ausgangskapazität des TSS
$I_{D,1,Eff}$	Effektivwert des Drainstroms des HS Transistors
$i_{D,1}$	Drainstrom des HS Transistors
$I_{D,2,Eff}$	Effektivwert des Drainstroms des LS Transistors
$i_{D,2}$	Drainstrom des LS Transistors
I_{DSK}	DSK-Strom
i_D	Drain-Strom
i_G	Gatestrom
I_L	Gleichanteil des Drosselstroms
i_L	Drosselstrom

k	Boltzmann-Konstante
L	Induktivität der Speicherdrossel
L_G	Gateinduktivität
L_S	Sourceinduktivität
L_σ	Induktivität der Kommutierungsschleife
N_C	Zustandsdichte des Leitungsbandes
N_C	äquivalente Zustandsdichte des Leitungsband
N_D	Ladungsträgerdichte
n_i	intrinsische Trägerdichte
N_V	Zustandsdichte des Valenzbandes
N_V	äquivalente Zustandsdichte des Valenzband
P_{BN}	hinzugeführte Leistung durch das BN
$P_{Cu,AC}$	AC Kupferverluste der Speicherdrossel
$P_{Cu,DC}$	DC Kupferverluste der Speicherdrossel
P_{Cu}	Kupferverluste der Speicherdrossel
P_{DSK}	abgeführte Leistung durch den DSK
P_D	Durchlassverluste eines LHL
P_H	Hystereseverluste
P_K	Kernverluste
$P_{S,aus}$	Ausschaltverluste eines LHL
$P_{S,ein}$	Einschaltverluste eines LHL
P_{tot}	Totzeitverluste eines LHL

$P_{V,1}$	Verluste des HS Transistors
$P_{V,2}$	Verluste des LS Transistors
$P_{V,LHL}$	Die Summe aus den Verlusten des LS und des HS Transistors
Q	Wärme
Q_g	Gateladung
Q_{rr}	Reverse-Recovery-Ladung
$R_{DS(on)}$	Einschaltwiderstand
R_{Goff}	Gatewiderstand während des Ausschaltvorganges
R_{Gon}	Gatewiderstand während des Einschaltvorganges
R_L	Lastwiderstand
$R_{on,spec}$	spezifischer Einschaltwiderstand
$R_{TH,JA}$	thermischer Widerstand zwischen Sperrschicht des LHL und seiner Umgebungstemperatur
$R_{TH,JC}$	thermischer Widerstand zwischen Sperrschicht und Gehäuse des LHL
R_{TH}	thermischer Widerstand
$R_{W,AC,n}$	AC Widerstand der n -Ordnung der Kupferwicklung der Speicherdrossel
$R_{W,DC}$	DC Widerstand der Kupferwicklung der Speicherdrossel
$t_{aus,1}$	Ausschaltdauer des HS Transistors
$t_{ein,1}$	Einschaltdauer des HS Transistors
t_{fi}	Absinkzeit des Drain-Stromes zwischen 10 % und 90 %
t_{fu}	Absinkzeit der Drain-Source-Spannung zwischen 10 % und 90 %
T_p	Periodendauer
t_{ri}	Anstiegszeit des Drain-Stromes zwischen 10 % und 90 %

t_{ru}	Anstiegszeit der Drain-Source-Spannung zwischen 10 % und 90 %
t_{tot}	Totzeit
U_{BN}	BN-Spannung
$u_{DS,1}$	Drain-Source-Spannung des HS Transistors
$u_{DS,2}$	Drain-Source-Spannung des LS Transistors
U_{DSK}	DSK-Spannung
U_{DS}	Drain-Source-Spannung im stationären Arbeitspunkt
u_{DS}	Drain-Source-Spannung
$u_{GS,1}$	Gate-Source-Spannung des HS Transistors
$u_{GS,2}$	Gate-Source-Spannung des LS Transistors
U_{GS}	Gate-Source-Spannung im stationären Arbeitspunkt
u_{GS}	Gate-Source-Spannung
u_{gs}	tatsächliche Gate-Source-Spannung
U_{TH}	Gate-Source-Schwellspannung
U_Z	Zwischenkreisspannung
v_{Ph}	Phasengeschwindigkeit
W_C	Energieniveau des Leitungsbandes
W_G	Bandabstand
W_V	Energieniveau des Valenzbandes

Abkürzungsverzeichnis

AC	alternating current
A/D	Analog/Digital
2DEG	Zweidimensionales Elektronengas
DSK	Doppelschichtkondensator
AlN	Aluminiumnitrid
AlGaN	Aluminiumgalliumnitrid
BFOM	Baliga's figure of merit for power devices
BN	Bordnetz
bzw.	beziehungsweise
ca.	circa
CSI	common source inductance
EMV	Elektromagnetische Verträglichkeit
EPC	Efficient Power Conversion Corporation
eGaN-FET	enhancement-mode Gallium Nitride Field Effect Transistor
ESB	Ersatzschaltbild
ESL	äquivalente Serieninduktivität
ESR	äquivalenter Serienwiderstand
DC	direct current
dGaN-FET	depletion-mode Gallium Nitride Field Effect Transistor
d.h	das heißt
DPV	Doppelpulsversuch
DUT	Device Under Test
FET	Feldeffekttransistor
GaN	Galliumnitrid

GND	ground
InAlGaN	Indium Aluminiumgalliumnitrid
IGBT	insulated-gate bipolar transistor
$\beta - \text{Ga}_2\text{O}_3$	Galliumoxid
Al_2O_3	Aluminiumoxid
GIT	Gate Enhancement Mode Transistor
HEMT	highly-electron-mobility transistor
HS	highside
JFET	Junction Field Effect Transistor
IR	International Rectifier
LHL	Leistungshalbleiter
LS	lowside
MOSFET	metal-oxide-semiconductor field-effect transistor
MISFET	metal-insulator-semiconductor field-effect transistor
MPP	moly permalloy powder
OvGU	Otto-von-Guericke-Universität
PCB	printed circuit board
REM	Rasterelektronenmikroskop
Si	Silizium
SiC	Siliziumcarbid
WBG	wide bandgap
MOCVD	metallorganische Gasphasenepitaxie
MBE	Molekularstrahlepitaxie
SJ	Superjunction
HALT	highly accelerated life test
TIM	thermal interface medium
TSS	Tiefsetzsteller
HSS	Hochsetzsteller

Abbildungsverzeichnis

2.1	theoretischer spezifischer Einschaltwiderstand $R_{on,spec}$ in Abhängigkeit von der Durchbruchspannung U_{BR} der fünf Halbleiter aus Tabelle 2.1	7
2.2	Schichtenfolge eines depletion-mode Gallium Nitride Field Effect Transistor (dGaN-FET) [4, 24]	9
2.3	Aufbau innerhalb einer Galliumnitrid (GaN) highly-electron-mobility transistor (HEMT) Kaskode [5]	10
2.4	Ersatzschaltbild einer eGaN-FET Kaskodenschaltung, in Anlehnung an [6, S.9]	10
2.5	Schichtenfolge eines Gate Enhancement Mode Transistor (GIT) [7]	11
2.6	Querschnitt einer Rasterelektronenmikroskops (REMs) Aufnahme eines GIT [7]	11
2.7	GIT bei $U_{GS} = 0\text{ V}$ [8]	12
2.8	GIT bei $u_{GS} > U_{TH}$ [8]	12
2.9	Schichtenfolge eines metal-insulator-semiconductor field-effect transistor (MISFET) [9, S.282]	12
2.10	simuliertes Ausgangskennlinienfeld des eGaN-FET (GS66056T) für $\vartheta_J = 25^\circ\text{C}$ für $-6\text{ V} \leq U_{GS} \leq 6\text{ V}$	16
2.11	für die LT-Spice Simulation verwendetes Ersatzschaltbild (ESB)	18
2.12	ESB zur Beschreibung des Einflusses von L_s auf die Schaltgeschwindigkeit während der Stromkommutierung beim Einschalten	19
2.13	ESB zur Beschreibung des Einflusses von L_s auf die Schaltgeschwindigkeit während der Stromkommutierung beim Ausschalten	19
2.14	Siliziumcarbid (SiC) Power Modul mit niederinduktivem Kommutierungskreis ($L_\sigma = 0,86\text{ nH}$) [10]	20
2.15	ESB zur Beschreibung des Einflusses der parasitären Kapazität auf $i_{D,2}$ während des $\frac{du_{DS}}{dt}$ beim Ausschalten von T2	21
2.16	ESB zur Beschreibung des Einflusses der parasitären Kapazität auf $i_{D,2}$ während des $\frac{du_{DS}}{dt}$ beim Einschalten von T2	21
2.17	simulierter Einschaltvorgang eines eGaN-FET (GS66056T)	22
2.18	simulierter Ausschaltvorgang eines eGaN-FET (GS66506T)	25
3.1	Schaltplan eines TSSs	27
3.2	Simulationsergebnisse TSS 1	28

3.3	Simulationsergebnisse TSS 2	29
3.4	zeitliche Verläufe eines Synchron-TSS	30
3.5	ESB des LS-eGaN-FET während des $\frac{du_{DS}}{dt}$ (in Anlehnung an [11])	32
3.6	Reihenschwingkreis bestehend aus L_σ , $C_{OSS,2}$ und R	35
3.7	ESB einer Speicherdrossel nach [12, S.366]	39
3.8	Hystereseschleife einer Speicherdrossel mit zeitlich konstantem und wechselndem Magnetfeld H. Abbildung aus [12, S.358] übernommen und geändert	42
3.9	ESB eines Synchronwandlers mit N Phasen (in Anlehnung an [13])	44
3.10	normierter Stromrippel Δi_{C2} in Abhängigkeit vom Aussteuergrad a_{T1} bei 1 bis 8 Phasen (Funktionswerte: $U_{DSK} = 200V$, $f = 100kHz$, $L = 100\mu H$)	45
3.11	normierter Stromeffektivwert $I_{C1,rms}$ in Abhängigkeit vom Aussteuergrad a_{T1} bei 1 bis 8 Phasen (Funktionswerte: $U_{DSK} = 200V$, $f = 100kHz$, $L = 100\mu H$, $\Delta i_L = 0$, $3 \cdot \frac{I_{DSK}}{N}$)	45
4.1	Einzel- sowie Gesamtverluste der LHL bei $\vartheta_J = 25^\circ C$	49
4.2	Einzel- sowie Gesamtverluste der LHL bei $\vartheta_J = 150^\circ C$	49
4.3	vereinfachtes thermisches ESB nach dem Cauer-Modell	50
4.4	Aluminium Stiftkühlkörper	51
4.5	links: Schichtenfolge der Kühlung der eGaN-FETs mit einem Aluminium Kühlkörper; rechts: thermisches ESB nach der Schichtenfolge links im Bild	52
4.6	Sperrschichttemperaturen ϑ_{J1} und ϑ_{J2} , sowie die Kühlkörpertemperatur ϑ_1 in Abhängigkeit von U_{BN} ($I_{DSK} = 12,5 A$, $U_{DSK} = 200 V$)	52
4.7	Aluminiumnitrid (AlN)-Kühlkörper der Firma Ceramtec	53
4.8	Wasserkühlung mit zwei eGaN-FETs (Bild wurde von der Firma IQ Evolution zur Verfügung gestellt)	54
4.9	erster Prototyp für die Wasserkühlung zweier eGaN-FETs (Bild wurde von der Firma IQ Evolution zur Verfügung gestellt)	54
4.10	Ein negatives $\frac{di_{D,1}}{dt}$ würde ohne Zwischenkreiskondensator zu sehr hohen Sperrspannungen an T1 führen	55
4.11	zeitliche Verläufe der Ströme des Knoten K1	56
4.12	Ladungsmenge ΔQ_1 in Abhängigkeit von $U_{DSK} = 115V \dots 240V$ und $U_{BN} = 290V \dots 400V$ bei $I_{DSK} = 12,5 A$ und $T_p = 10 \mu s$	57
4.13	einfaches ESB eines Kondensators nach [14]	57
4.14	Impedanzmessung Z_{C1}	59
4.15	Impedanzverlauf des Eingangszwischenkreises (Messung, rote Kurve), der Zuleitungen (Messung, blaue Kurve) sowie die Impedanzverläufe des einzelnen Kondensatoren (Herstellerangaben TDK)	59
4.16	Vergleich von $Z_{C1,kor}$ (schwarze Linie) mit den Impedanzverläufen aus Abbildung 4.15	60

4.17	zeitliche Verläufe der Ströme des Knoten K2	61
4.18	Impedanzverlauf des Ausgangszwischenkreises (Messung und Berechnung aus Herstellerangaben von TDK)	63
4.19	Induktivität L in Abhängigkeit von $U_{DSK} = 115V \dots 240V$ und $U_{BN} = 290V \dots 400V$ bei $\Delta i_{L,max} = 10$ A und $T_p = 10 \mu s$	64
4.20	Speicherdrossel bewickelt Lackdraht	67
4.21	Speicherdrossel bewickelt mit Litze	67
4.22	Impedanz $ Z $ über der Frequenz f , durchgezogene Linien: Messergebnisse des Impedanzanalysators, gestrichelte Linien: Simulation mittels Matlab aus dem bestimmten ESB der Speicherdrosseln	67
5.1	ESB eines passiven Tastkopfes (in Anlehnung an [15, S. 87])	72
6.1	Oberseite der Platine	74
6.2	Gateschleife für den Einschalt (rot)- und den Ausschaltvorgang (blau)	75
6.3	Unterseite der Platine	76
7.1	ESB des Doppelpulsversuchs mit den Messgrößen $i_{D,2}$, $u_{GS,2}$ und $u_{DS,2}$	77
7.2	Legende für den Ein- und Ausschaltvorgang	79
7.3	Einschaltvorgang mit $R_{Gon} = 0 \Omega$	80
7.4	Einschaltvorgang mit $R_{Gon} = 10 \Omega$	80
7.5	Einschaltvorgang mit $R_{Gon} = 20 \Omega$	81
7.6	Messung mit und ohne Shunt	82
7.7	Einschaltvorgang bei $i_{D,2} = 5$ A mit $R_{Gon} = 0 \Omega$ mit und ohne Shunt	82
7.8	Einschaltvorgang mit $R_{Gon} = 0 \Omega$ mit (durchgezogene Linie) und ohne Shunt (gestrichelte Linie)	83
7.9	Ausschaltvorgang mit $R_{Goff} = 0,47 \Omega$	84
7.10	Ausschaltvorgang mit $R_{Goff} = 20 \Omega$	84
7.11	Oszillation von $u_{DS,2}$ zum Ende des Ausschaltvorganges	86
7.12	Schaltenergien	87
7.13	Versuchsaufbau für die Lastversuche des Synchronwandlers	88
7.14	Ausschaltvorgang Einzelbetrieb	89
7.15	Legende für den Ein- und Ausschaltvorgang des HS-eGaN-FET (siehe Abb. 7.14a, 7.14b und 7.16)	90
7.16	Einschaltvorgang des HS-eGaN-FET	91
7.17	Aussteuergrenzen des Hochsetzsteller (HSS)	91
7.18	Wirkungsgrad Einzelbetrieb	93
7.19	Aufteilung der berechneten Einzelverluste auf die berechneten Gesamtverluste	94
7.20	Temperaturen verschiedener Platinen ($\vartheta_{XPlatine}$) und Umgebungstemperaturen (ϑ_{Xamb})	95

7.21	Vergleich zweier Thermoelemente	96
7.22	Thermbilder der Platinenrückseite	97
7.23	Layoutausschnitt der Platinenrückseite	97
7.24	Layoutausschnitt der gespiegelten Platinenvorderseite	97
7.25	98
7.26	ESB des Parallelbetriebstests Nr. 1	99
7.27	ESB des Parallelbetriebstests Nr. 2, welches für alle weiteren Tests verwendet wurde	99
7.28	Testaufbau für den Parallelbetrieb	99
7.29	Strommessungen des Parallelbetriebs während der Inbetriebnahme	100
7.30	Ein- und Ausgangsströme im Parallelbetrieb	100
7.31	Gleichstromaufteilung im Parallelbetrieb	101
7.32	Kommutierungsvorgang im Parallelbetrieb	102
7.33	Wirkungsgrad im Einzel- und Parallelbetrieb	103
7.34	absolute Verluste im Einzel- und im Parallelbetrieb	103
7.35	gemessene Temperaturen während des Parallelbetriebes	104
A.1	Eagle Schaltplan des eGaN-FET Synchronwandlers (S. 1/3)	119
A.2	Eagle Schaltplan des eGaN-FET Synchronwandlers (S. 2/3)	120
A.3	Eagle Schaltplan des eGaN-FET Synchronwandlers (S. 3/3)	121
A.4	Leiterplattenlage 1 (Oberseite) des eGaN-FET Synchronwandlers (S. 1/4) .	122
A.5	Leiterplattenlage 2 des eGaN-FET Synchronwandlers (S. 2/4)	123
A.6	Leiterplattenlage 3 des eGaN-FET Synchronwandlers (S. 3/4)	124
A.7	Leiterplattenlage 4 (Unterseite) des eGaN-FET Synchronwandlers (S. 4/4)	125

1 Einleitung

Die Elektrifizierung des Antriebsstranges des Automobils, erfordert aus Effizienz-, Gewichts- und Kostengründen eine hohe BN-Spannung [16, S. 23]. Die Bereitstellung hoher Spitzenleistungen aus der Batterie erweist sich aus mehreren Gründen als ineffizient [17, S. 2]. Der Einsatz von DSK bietet sich als zusätzlicher Energiespeicher für Leistungsspitzen aufgrund seiner hohen Leistungsdichte an [17, S. 3f.]. Die Regelung des bidirektionalen Energieflusses zwischen der BN- und der DSK-Spannungsebene übernimmt eine Leistungselektronik. Aufgrund seiner hohen Effizienz, der geringen Anzahl an LHL und der Möglichkeit des bidirektionalen Energietransfers bietet sich ein Synchronwandler dafür an [18, S. 11]. Herkömmliche Wandler verwenden als LHL Si IGBTs [18, S. 13] [2]. Die seit kurzem auf den Markt vorhandenen 650 V-eGaN-FETs des Herstellers GaN Systems, bieten sich aus mehreren Gründen als Alternative bzw. Ersatz für den IGBT im Automobil an [19]. Die hohen Schaltgeschwindigkeiten der eGaN-FETs sowie der geringe Einschaltwiderstand $R_{DS(on)}$ führt zu geringeren Gesamtverlusten [1]. Die Verringerung der Schaltverluste beim Einsatz von eGaN-FETs, ermöglicht somit eine Erhöhung der Taktfrequenz f des Wandlers. Als Folge verringert sich das Bauvolumen, das Gewicht und damit auch die Kosten der Filter des Synchronwandlers. Letztgenannte Punkte können weiter reduziert werden, wenn man für den Antriebsstrang anstelle eines Wandlers großer Leistung mehrere Wandler geringer Leistung parallel schaltet [20]. Durch eine phasenversetzte Ansteuerung reduzieren sich der Ein- und Ausgangsfilter erheblich [13].

Das Ziel dieser Masterarbeit ist die Entwicklung, Inbetriebnahme und Erprobung eines Synchronwandlers auf Basis von eGaN-FETs des Typs GS66506T von GaN Systems. Das Modul, welches für den automotive-Bereich angedacht ist, wird für eine Ausgangsleistung von $P_{DSK} = 2,5 \text{ kW}$ ausgelegt und soll im Einzel- und im Parallelbetrieb getestet werden.

Beginnend mit den ausführlichen Grundlagen zur GaN Thematik, wird im Anschluss die Theorie zum Synchronwandler im Einzel- und Parallelbetrieb skizziert. Anhand einer Verlustleistungsrechnung werden verschiedene Kühlkonzepte für die LHL ausgearbeitet. Darauf aufbauend erfolgt die Dimensionierung und Auswahl der Ein- und Ausgangsfilter. Ein Kapitel widmet sich den Anforderungen an die Messtechnik, die es beim Messen schneller Schaltvorgänge zu beachten gibt. Nach der Vorstellung der wesentlichen Layoutdetails werden die Ergebnisse zum Schaltverhalten und die daraus berechneten Schaltenergien präsentiert. Im Anschluss an die Erklärung des Aufbaus des Versuchsstandes und den

Inbetriebnahmedetails werden die Wirkungsgrade und die Ergebnisse der Temperaturmessungen vorgestellt. Nach der Verdeutlichung der anfänglichen Probleme im Parallelbetrieb werden die Testergebnisse gezeigt und erläutert. Das letzte Kapitel liefert eine Zusammenfassung über die Ergebnisse dieser Arbeit und liefert Ansätze zur Lösung bestehender Probleme.

2 GaN-Technologie

Si war und ist der dominierende Halbleiter in der Leistungselektronik. Die Gründe liegen in der hohen Zuverlässigkeit, Qualität und den niedrigen Produktions- und Materialkosten, im Vergleich zu anderen Halbleitern [6, S.2]. Der Elementhalbleiter Si lässt sich mit Hilfe des Zonenschmelz- oder dem Czochralski-Verfahren in großen Mengen und mit Waferndurchmessern von 30 mm kostengünstig herstellen [21, S.11-S.19]. GaN ist ein III-V Verbindungshalbleiter, bestehend aus den Elementen Gallium und Stickstoff und bietet hinsichtlich der elektrischen Eigenschaften gegenüber Si enorme Vorteile. Die Herstellung von industrietauglichen GaN-Einkristallen kann jedoch nicht mit dem Zonenschmelz- oder Czochralski-Verfahren vorgenommen werden. Stattdessen verwendet man aufwendige Verfahren, wie das metallorganische Gasphasenepitaxie (MOCVD) und das Molekularstrahlepitaxie (MBE) Verfahren, bei dem GaN auf einem geeigneten Substrat abgeschieden wird [6, S.11]. Die Kosten für diese Verfahren konnten gesenkt und die Qualität von GaN Kristallen erhöht werden, wodurch die Produktion von GaN für die Halbleiterhersteller rentabler wird [22]. Dies erklärt die momentan einsetzende Zunahme an GaN LHL auf dem Markt. Im Folgenden werden zunächst die Materialeigenschaften von Si mit denen von GaN verglichen. Der Aufbau und das Grundprinzip eines dGaN-FET werden anschließend vorgestellt, da sie die Grundlage des für die Leistungselektronik interessanteren eGaN-FETs bilden. Auf Letzteren wird daher detailliert eingegangen. Es wird sowohl der Aufbau, als auch das statische und dynamische Verhalten erläutert. Ein Vergleich mehrerer auf dem Markt befindlicher Si-, GaN- und SiC- Transistoren der gleichen Spannungsklasse schließt das erste Kapitel ab.

2.1 Materialeigenschaften

Die Materialeigenschaften von Si und verschiedener wide bandgap (WBG)-Halbleitermaterialien mit Relevanz für die Leistungselektronik sind in Tabelle 2.1 dargestellt. Die Tabelle zeigt die Eigenschaften von Si, GaN, 4H-SiC, *Galliumoxid*($\beta - \text{Ga}_2\text{O}_3$) und Diamant. Neben SiC genießt auch GaN in letzter Zeit zunehmend Aufmerksamkeit im Bereich der Leistungselektronik, wie sich anhand diverser auf dem Markt erschienener LHL für den unteren und mittleren Spannungsbereich erkennen lässt. SiC liegt in einer Vielzahl von Kristallgittermodifikationen vor. In Tabelle 2.1 dargestellt ist 4H-SiC, welches aktuell in Forschung und Entwicklung Anwendung findet [23, S.6]. Ebenfalls mit aufgelistet sind $\beta - \text{Ga}_2\text{O}_3$ und Diamant, die noch größere Bandabstände als GaN und SiC aufweisen.

Tabelle 2.1: Materialeigenschaften verschiedener Halbleiter [9, S.3][23, S.8][24, S.3][25][26][27][28][29][30]

Parameter	Einheit	Si	GaN	4H-SiC	$\beta - \text{Ga}_2\text{O}_3$	Diamant
W_G	eV	1,12	3,39	3,26	4,85	5,46-5,6
E_{krit}	MVcm^{-1}	0,3	3,3	3,5	8	10
μ_n	$\text{cm}^2\text{V}^{-1}\text{s}^{-1}$	1500	1400	460-980	300	2200
μ_p	$\text{cm}^2\text{V}^{-1}\text{s}^{-1}$	450	10	115		1800
λ	$\text{Wm}^{-1}\text{K}^{-1}$	150	210	490	10,9 -27	600-2000
ϑ_{max}	$^{\circ}\text{C}$	300	700	600		
α	ppm/K	2,6	5,4 -7,2	5,12		0,8
ϵ_r		11,7	12	9,7	10	5,7
BFOM		1	1274	404-860	3242	26464

Bandabstand W_G Der Bandabstand beschreibt die Differenz der Energie der Unterkante des Leitungs- und der Oberkante des Valenzbandes, wie in Formel 2.1 dargestellt[31, S.9].

$$W_G = W_C - W_V \quad (2.1)$$

WBG-Materialien haben dem Namen nach einen hohen Bandabstand. Bei einem Bandabstand $W_G > 2,2$ eV spricht man von WBG-Halbleitern [25]. Alle in Tabelle 2.1 genannten Halbleiter, außer Si, zählen zu den WBG-Halbleitern. Im Vergleich zu Si (1,12 eV) ist der Bandabstand von GaN (3,39 eV) und SiC (3,26 eV) circa (ca.) um den Faktor 3 höher. Diamant weist den höchsten Bandabstand dieser fünf Halbleiter mit 5,46 eV auf, dicht gefolgt von $\beta - \text{Ga}_2\text{O}_3$ mit 4,85 eV.

maximale Temperatur T_{max} Ein höherer Bandabstand reduziert die intrinsische Trägerdichte n_i , wie dies anhand von Formel (2.2) [23, S.10] ersichtlich ist und erhöht damit die maximale Temperatur T_{max} eines dotierten Halbleiters.

$$n_i = \sqrt{N_C \cdot N_V} \cdot e^{\left(\frac{-W_G}{2 \cdot k \cdot \vartheta}\right)} \quad (2.2)$$

Die in Formel 2.2 enthaltenen Formelzeichen sind N_C als Zustandsdichte des Leitungsbandes, N_V als Zustandsdichte des Valenzbandes, k die Boltzmann-Konstante und ϑ die Temperatur des Halbleiters. Der Temperaturbereich eines dotierten Halbleiters erstreckt sich über den Bereich der Störstellenleitung. In diesem Bereich ist die Konzentration der freien Ladungsträger nahezu konstant, da alle Dotieratome ionisiert sind [31, S.25f.]. Sobald n_i in den Bereich der Grunddotierung gelangt, wird das Verhalten des Halbleiters durch die intrinsischen Ladungsträger dominiert. Es folgt ein exponentieller Anstieg der Ladungsträger mit der Temperatur. Die durch die Dotierung gewünschte und über einen weiten Temperaturbereich konstante Ladungsträgerdichte ist ab Erreichen von T_{max} aufge-

hoben und unerwünscht. Bei Si ist man daher auf eine Temperatur von 300 °C beschränkt. Für GaN ergibt sich ein theoretisches Limit von 700 °C. Einschränkend wirkt sich jedoch die Aufbau- und Verbindungstechnik aus [23, S.10].

kritische Feldstärke E_{krit} Sie gibt die Feldstärke an, bei dem es im Halbleiter zur Stoßionisation kommt und dadurch die Anzahl der freien Ladungsträger lawinenartig ansteigt. Der damit verbundene Stromanstieg führt in dem Halbleiter zu hohen Verlusten und kann auch zu dessen Zerstörung führen [31, S.39]. Die kritische Feldstärke von GaN ($3,3 \text{ MVcm}^{-1}$) und SiC ($3,5 \text{ MVcm}^{-1}$) ist um mehr als den Faktor 10 höher als von Si mit $0,3 \text{ MVcm}^{-1}$. Die Durchbruchspannung U_{BR} , bei der das jeweilige Material “durchbricht“, berechnet sich nach Formel (2.3).

$$U_{BR} = \frac{1}{2} \cdot d_{Drift} \cdot E_{krit} \quad (2.3)$$

Daraus ist direkt ersichtlich, dass $U_{BR} \sim E_{krit}$. Im Umkehrschluss bedeutet dies bei Verwendung eines GaN-Halbleiters, dass bei einer gegebenen Spannungsklasse eines Leistungshalbleiters (beispw. $U_{DS} = 600 \text{ V}$) d_{Drift} um den Faktor 10-11 gegenüber Si reduziert werden kann. Neben der Einsparung an Substratmaterial und damit einer geringeren Masse sowie eines reduzierten Bauteilvolumens ergibt sich eine Verringerung des $R_{DS(on)}$ wie Formel (2.4) beweist [6, S.4].

$$R_{DS(on)} = \frac{d_{Drift}}{e \cdot \mu_n \cdot N_D} \quad (2.4)$$

Dies hat zur Folge, dass die Durchlassverluste bei WBG-Halbleitern geringer ausfallen im Vergleich zu Si LHL.

Grafisch veranschaulichen lässt sich dies, indem man Formel 2.5 mit Hilfe der Daten aus Tabelle 2.1 plottet. $R_{on,spez}$ stellt den idealen theoretischen spezifischen Einschaltwiderstand eines Driftgebietes in Abhängigkeit des verwendeten Halbleitermaterials dar [32, 15].

$$R_{on,spez} = \frac{4 \cdot U_{BR}^2}{\epsilon_0 \cdot \epsilon_r \cdot \mu_n \cdot E_{krit}^3} \quad (2.5)$$

Daraus lässt sich erkennen, dass mit zunehmender kritischer Feldstärke und Elektronenbeweglichkeit der Einschaltwiderstand sinkt. Der Einfluss von E_{krit} auf den $R_{on,spez}$ ist aufgrund der dritten Potenz wesentlich größer als von μ_n . Diamant schneidet daher im Vergleich zu den anderen Halbleitern mit $E_{krit} = 10 \text{ MVcm}^{-1}$ am Besten ab.

Der Nenner von (2.5) wird als Baliga’s figure of merit for power devices (BFOM) bezeichnet und dient als Leistungskennzahl zur Bewertung von Halbleitermaterialien hinsichtlich ihrer Durchlassverluste im direkten Verhältnis zu Silizium[32, 15]. GaN erreicht einen um 1273-

fach höheren Wert. Diese niedrigen Werte für den spezifischen Einschaltwiderstand können

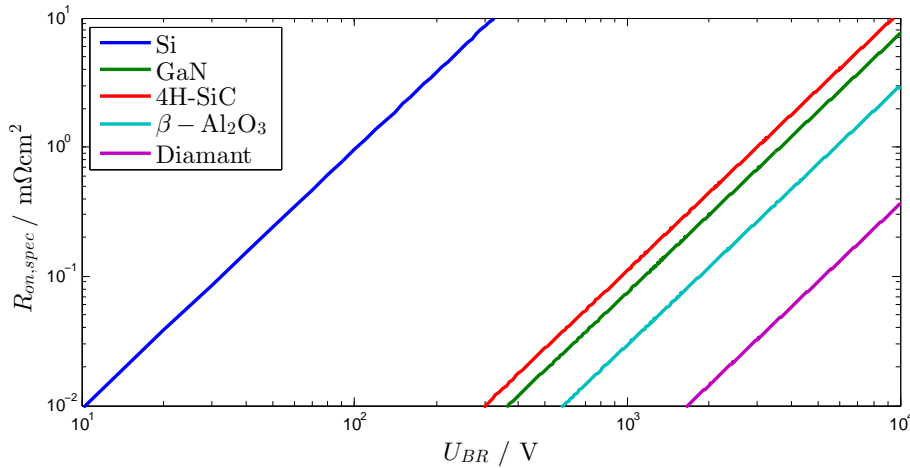


Abbildung 2.1: theoretischer spezifischer Einschaltwiderstand $R_{on,spec}$ in Abhängigkeit von der Durchbruchspannung U_{BR} der fünf Halbleiter aus Tabelle 2.1

zum einen dazu verwendet werden, die Chipfläche soweit zu reduzieren, sodass der $R_{DS(on)}$ in der Größenordnung mit denen von Si liegt (gleiche Stromtragfähigkeit bei geringerem Bauvolumen) oder zum anderen können bei gleich großer Chipfläche Einschaltwiderstände erzielt werden, die um ein Vielfaches geringer sind [33, S. 17f.]. Dies führt zu einer Reduzierung der Durchlassverluste. Der erstgenannte Fall, die Chipflächenminimierung, führt zu einer Verringerung der Bauteilkapazitäten und damit zu einer Verkleinerung der Schaltverluste [34].

Beweglichkeit μ_n/μ_p Aus Formel (2.4) ist ersichtlich, dass eine Zunahme der Elektronenbeweglichkeit zu einer Reduzierung des $R_{DS(on)}$ führt. Si hat mit $1500 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ eine leicht höhere Elektronenbeweglichkeit als GaN. Die Beweglichkeit von SiC fällt deutlich geringer aus. Der Einfluss auf den $R_{DS(on)}$ aufgrund der geringeren Beweglichkeit fällt gegenüber der Schichtdickenminimierung (Faktor 10) gering aus. Bei den in Tabelle 2.1 gezeigten Halbleitern ist das Verhältnis von μ_n/μ_p bei GaN und SiC im Vergleich zu Si deutlich höher. Der Einsatz von GaN und SiC beschränkt sich daher vorrangig auf den Einsatz bei unipolaren LHL. Als Material für bipolare LHL bietet Diamant die besten Eigenschaften [29]. $\beta - \text{Ga}_2\text{O}_3$ schneidet im Vergleich zu den in Tabelle 2.1 enthaltenen Halbleitern am schlechtesten ab.

Wärmeleitfähigkeit λ Die im LHL erzeugte Wärme Q fließt als Wärmestrom \dot{Q} von der Sperrschicht in Richtung des Kühlkörpers hinüber zur umgebenden Luft. Je höher die Wärmeleitfähigkeit, desto einfacher kann die Wärme an die Umgebung abgegeben werden und desto langsamer erhöht sich die Sperrschichttemperatur [30, 11]. Die besten thermischen Eigenschaften nach Tabelle 2.1 bietet Diamant, gefolgt von SiC. GaN und Si

besitzen in etwa eine gleich hohe Wärmeleitfähigkeit. Ein großer Nachteil von $\beta - \text{Ga}_2\text{O}_3$ ist die sehr geringe Wärmeleitfähigkeit.

Wärmeausdehnungskoeffizient α Ein weiterer Vorteil von GaN und SiC ist der nahezu übereinstimmende Wärmeausdehnungskoeffizient mit demjenigen der heute in Packages verwendeten Keramiken. Dies sind zum einen Aluminiumoxid (Al_2O_3) (6,5 ppm/K) und AlN(4,5 ppm/K). Es wird daher angenommen, dass die WBG-Materialien hinsichtlich thermomechanischer Beanspruchung besser für den Einsatz bei höheren Leistungen und höheren Temperaturhuben geeignet sind als Si. Der geringe Wärmeausdehnungskoeffizient von Diamant stellt jedoch eine Diskrepanz gegenüber den derzeit verwendeten Keramiken dar [29].

Zusammenfassung und Ausblick zu den Materialeigenschaften Die herausragenden Eigenschaften der WBG-Materialien konnten hinsichtlich ihres elektrischen, thermischen und thermo-mechanischen Verhaltens gezeigt werden. Die Entwicklung und Produktion von SiC- und GaN-LHL werden zur Zeit sehr stark vorangetrieben. Große Halbleiterhersteller wollen den Wettbewerb mit ihren Konkurrenten nicht verlieren. Jüngst kam es zu der Übernahme von International Rectifier (IR) durch Infineon. Infineon erwarb sich damit das Know How von IR auf dem Gebiet von GaN, da IR bereits dGaN-FETs produziert[35]. Zudem kam es zu einer Unterzeichnung einer Vereinbarung zur gemeinsamen Entwicklung von GaN Feldeffekttransistor (FET) von Panasonic und Infineon, was die Entwicklung von GaN-Bauteilen weiter vorantreiben wird [36]. Infineon erweitert seine Kompetenzen auch auf dem Gebiet von SiC durch den Kauf von Wolfspeed, einem amerikanischen Unternehmen welches SiC Bauteile entwickelt und produziert[37]. $\beta - \text{Ga}_2\text{O}_3$ ist bisher noch wenig bekannt und spielt bisher noch keine Rolle auf dem Elektronikmarkt. Flosfia, ein start-up-Unternehmen der Kyoto-Universität in Japan, hat jedoch im letzten Jahr für Aufmerksamkeit mit einer Diode gesorgt. Sie besitzt mit $0,1 \text{ m}\Omega/\text{cm}^2$ den geringsten je gemessenen Durchlasswiderstand [38]. Vorteile des Materials liegen in seinem hohen Bandabstand und der Herstellung von $\beta - \text{Ga}_2\text{O}_3$ mit dem Zonenschmelzverfahren in ausreichend guter Kristallqualität [39][28]. Der große Nachteil liegt jedoch in der geringen Wärmeleitfähigkeit und der niedrigen Elektronenbeweglichkeit des Materials[27, S. 79]. Diamant bietet für die Leistungselektronik das größte Potential. Der Bandabstand kann von keinem anderen Halbleiter aus Tabelle 2.1 übertroffen werden. Die Beweglichkeit von Elektronen und Löchern sind hervorragend und überbieten die Beweglichkeiten der anderen Halbleitermaterialien deutlich. Zudem besitzt Diamant eine exzellente Wärmeleitfähigkeit. Bis eine Anwendung innerhalb der Leistungselektronik denkbar ist, muss sich in der Produktion von Diamantwafern noch folgendes tun: Herstellung von Diamantwafern mit genügender Größe, weniger Versetzungen innerhalb des Kristalls und ein niedriger elektrischer Widerstand [40].

2.2 dGaN-FET

Im Mittelpunkt dieses Abschnitts steht der dGaN-FET. Hierbei handelt es sich um einen “depletion mode“ (Verarmungstyp) GaN-Transistor. Bevor die Funktionsweise des dGaN-FET erklärt wird, erfolgt zunächst die Beschreibung zum Aufbau des LHLs. In Abbildung 2.1 ist die Schichtenfolge eines dGaN-FETs dargestellt.

Substratschicht In Kapitel 2 wurde bereits erwähnt, dass zur Herstellung von GaN die Verfahren MOCVD oder MBE zum Einsatz kommen. Dazu wird GaN auf die möglichen Substrate SiC, Si oder Saphier abgeschieden. Das Substratmaterial sollte eine ähnliche Gitterkonstante wie GaN aufweisen, eine hohe Wärmeleitfähigkeit besitzen und kostengünstig sein. Si besitzt den entscheidenden Kostenvorteil gegenüber den anderen Substraten, wengleich die Gitterkonstante zu GaN stark abweicht.

Auf dem Substrat kann nicht direkt GaN abgeschieden werden. Es ist ein Bufferlayer erforderlich, da sich die Gitterkonstanten von GaN und dem Substratmaterial zu sehr unterscheiden. Ohne ein Bufferlayer würde es zu Rissen / Brüchen in der Kristallstruktur kommen. Dieses Verfahren wurde erstmalig durch I. Akasaki und seinen Kollegen 1986 erfolgreich angewandt [41].

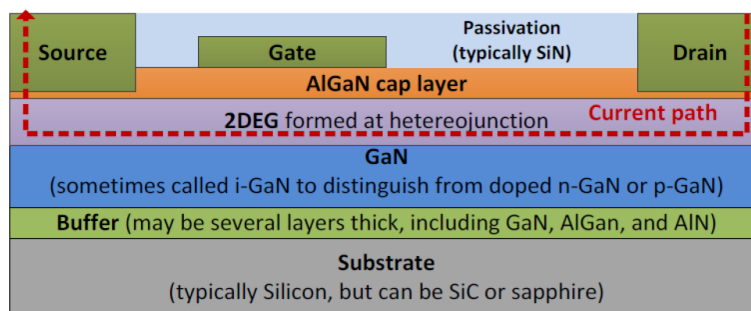


Abbildung 2.2: Schichtenfolge eines dGaN-FET [4, 24]

Aluminiumgalliumnitrid (AlGaIn)/GaN-Übergang Auf dem Bufferlayer folgt eine undotierte Schicht GaN, auf der wiederum AlGaIn aufgetragen wird. Der AlGaIn/GaN Übergang bildet den Strompfad des dGaN-FETs. Die unterschiedlichen Gitterkonstanten beider Materialien bewirken am Übergang eine Polarisierung aufgrund des Piezoeffektes. Zusätzlich erfolgt eine spontane Grenzflächenpolarisation. Beide Polarisierungseffekte führen zu einer positiven Flächenladung an der Grenzfläche, die wiederum durch freie Elektronen kompensiert wird. Die Elektronen befinden sich dadurch innerhalb eines Potentialtopfes in dem sehr hohe Ladungsträgerdichten und sehr große Beweglichkeiten vorherrschen [42, S.104ff.][43, S.8ff.]. Da sich die Elektronen nur in diesem schmalen Bereich des Potentialtopfes bewegen können, spricht man auch vom Zweidimensionalen Elektronengas (2DEG).

Die Elektronenbeweglichkeit innerhalb des 2DEG ist ca. doppelt so hoch wie im GaN-Kristall.[6, S.5] Das 2DEG schließt den Drain mit dem Source-Anschluss kurz, solange $U_{GS} = 0\text{ V}$ gilt.

Durch Anlegen einer negativen Spannung am Gate werden die Elektronen unterhalb der Gateelektrode abgesogen. Der Kanal "verarmt", wodurch die Drain-Source-Strecke Spannung aufnehmen kann. Der dGaN-FET sperrt. Diese Funktionsweise entspricht dem eines Junction Field Effect Transistor (JFET) und ist innerhalb der Leistungselektronik nicht gewünscht. Die Verwendung eines selbstsperrenden LHL hat den Vorzug, dass kurz nach dem Einschalten einer leistungselektronischen Schaltung ungewollte Brückenkurzschlüsse vermieden werden [6, S. 6f.]. Aus diesem Grund widmet sich das folgende Kapitel dem eGaN-FET.

2.3 eGaN-FET Varianten

Es gibt mehrere Varianten von eGaN-FETs, welche momentan in der Leistungselektronik Anwendung finden. Abgesehen von der Kaskodenschaltung ist das angewandte Prinzip zur Erzeugung eines eGaN-FET stets die Verringerung der Elektronendichte des 2DEG unterhalb der Gateelektrode. Das Resultat ist die Anhebung der Schwellspannung. Die Veränderung der Schwellspannung wird durch eine Variation des Aluminiumanteils, der Dicke, der Dehnung/mech. Spannung und Verunreinigung der AlGaIn-Schicht bewerkstelligt[44, S. 281].

GaN HEMT-Kaskode : Der Aufbau dieser Variante beinhaltet eine Reihenschaltung eines Si metal-oxide-semiconductor field-effect transistor (MOSFET) (für niedrige Spannungen ausgelegt) mit einem dGaN-FET. Für dieses Bauteil werden daher zwei Chips, wie in Abbildung 2.3 dargestellt, benötigt. Der Drain- und der Sourceanschluss des Si

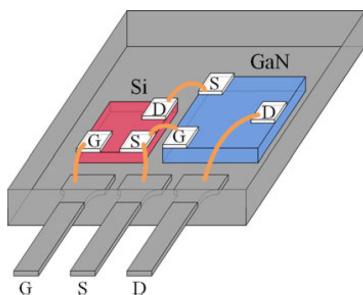


Abbildung 2.3: Aufbau innerhalb einer GaN HEMT Kaskode [5]

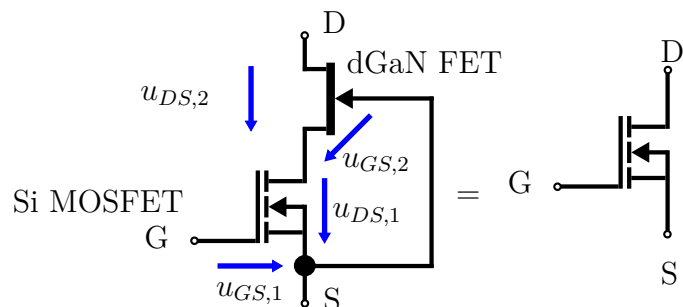


Abbildung 2.4: Ersatzschaltbild einer eGaN-FET Kaskodenschaltung, in Anlehnung an [6, S.9]

MOSFETs werden dazu an den Source- und den Gateanschluss des dGaN-FETs kontaktiert. Durch die Reihenschaltung entsteht ein Bauteil, dass dem el. Verhalten eines

eGaN-FETs entspricht (siehe Abbildung 2.4). Solange die Gatespannung $u_{GS,1}$ des Si-MOSFETs 0V beträgt, fällt über $u_{DS,1}$ Sperrspannung ab. Überschreitet $u_{DS,1}$ den Wert der negativen Schwellspannung des dGaN-FETs ($u_{GS,2} = -u_{DS,1} < U_{TH,2}$), so beginnt dieser ebenfalls zu sperren und nimmt den größten Teil der Sperrspannung auf. Beim Anlegen einer positiven Gate-Source-Spannung $u_{GS,1}$ wird $u_{DS,1}$ reduziert, wodurch sich $u_{GS,2}$ erhöht und der dGaN-FET zu leiten beginnt. Ein Vorteil dieses Aufbaus liegt darin, dass Standard MOSFET-Treiber verwendet werden können [9, 238]. Q_g und Q_{rr} sind verglichen mit Si Superjunction (SJ) MOSFETs deutlich kleiner. Die Kaskodenschaltung macht jedoch nur Sinn bei Bauteilen mit mehr als 200 V Sperrspannung, da andernfalls der Anteil des $R_{DS(on)Si}$ des in Reihe geschalteten Niederspannungs-Si-MOSFETs (in der Regel 30 V Bauteil) zu hoch wird. Bei 600 V-Bauteilen beträgt das Verhältnis $\frac{R_{DS(on)Si}}{R_{DS(on)GaN}}$ ca. 3 % und ist damit sehr gering [6, S.8]. Transphorm, ein Hersteller von GaN HEMT Kaskoden, weist eine sehr hohe Zuverlässigkeit der Bauteile nach. Mit Hilfe von highly accelerated life test (HALT) wird eine Bauteillebenszeit vorausgesagt, welche auf Augenhöhe mit Si MOSFETs liegt [9, S.87, S.237].

Gate Enhancement Mode Transistor (GIT) Positiv dotiertes AlGa_N wird, wie in Abbildung 2.5 dargestellt, auf die undotierte AlGa_N Schicht aufgebracht. Dies erhöht das Potential des Kanals und ermöglicht daher eine “normally off“-Arbeitsweise des GIT. Bei

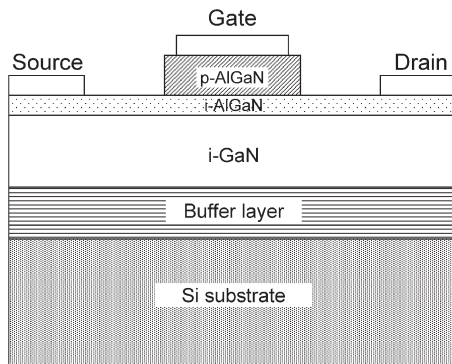


Abbildung 2.5: Schichtenfolge eines GIT [7]



Abbildung 2.6: Querschnitt einer REMs Aufnahme eines GIT [7]

einer Spannung $U_{GS} = 0V$ sind die Elektronen unterhalb des Gateanschlusses vollständig verarmt, wie dies in Abbildung 2.7 zu sehen ist. Der Transistor sperrt. Beim Anlegen einer positiven Gate-Source-Spannung werden Löcher in den Kanal injiziert, sobald die Schwellspannung des Gate pn-Übergangs überschritten wird (siehe Abbildung 2.8). Ein Absaugen der Elektronen des Kanals hin zur positiven Gateelektrode findet nicht statt. Dies wird durch den AlGa_N/GaN-Übergang verhindert. Die injizierten Löcher sammeln die gleiche Anzahl an Elektronen an. Die angesammelten Elektronen können sich aufgrund ihrer hohen Beweglichkeit innerhalb des Kanals zum Drain bewegen. Die Löcher, deren Beweglichkeiten zwei Größenordnungen geringer sind, verharren unterhalb des Gates [7].

Das typische Phänomen des Current Collapses bei eGaN-FETs, also des Absinkens des

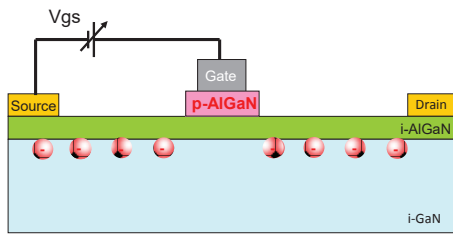


Abbildung 2.7: GIT bei $U_{GS} = 0\text{ V}$ [8]

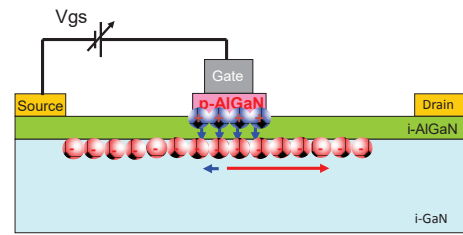


Abbildung 2.8: GIT bei $u_{GS} > U_{TH}$ [8]

Drainstromes und dem daraus resultierenden Anstieg des $R_{DS(on)}$ beim Anlegen hoher Spannungen, tritt bei Panasonics GIT Transistoren nicht in Erscheinung. Anstelle von p-dotiertem AlGaN erzielt p-dotiertes GaN deutlich bessere Ergebnisse aufgrund einer höheren Schwellspannung, Durchbruchspannung, eines höheren Sättigungsstrom und eines niedrigeren spez. Einschaltwiderstands [44, S.285] [6, S.8]. Zukünftig sind GIT denkbar die Indium Aluminiumgalliumnitrid (InAlGaN) anstelle von AlGaN verwenden. Hierdurch ließe sich eine Verdopplung der Ladungsträgerdichte im Kanal erzielen, was eine Reduktion des Kanalwiderstandes zur Folge hätte[9, 268].

Fluor-Implanted Enhancement-Mode Transistor Bei diesem eGaN-FET werden Fluor-Ionen in die AlGaN Schicht unterhalb der Gateelektrode eingebracht. Dies führt zu einer Unterbrechung des 2DEG, bei $U_{GS} = 0\text{ V}$. Aufgrund der hohen Elektronegativität des Fluors (die höchste aller chemischen Elemente) bezieht ein Fluor-Ion ein Elektron des 2DEG und wird zu einer ortsgebundenen negativen Ladung. Durch diesen Vorgang werden die Elektronen mit Hilfe der Fluor-Ionen abgesaugt und es kommt zu einer Potentialanhebung der Schwellspannung [9, S.273]. Zudem verdrängen die negativ geladenen Fluor-Ionen die Elektronen innerhalb des 2DEGs. Angewendet wird das Ionen Implantationsverfahren bei MISFET-Strukturen, wie in Abbildung 2.9 zu sehen. Die hohe Temperaturbelastbarkeit von

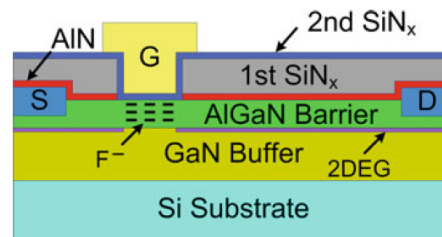


Abbildung 2.9: Schichtenfolge eines MISFET [9, S.282]

GaN, wird bei diesem MISFET jedoch sehr stark eingeschränkt, da die Schwellspannung mit steigender Temperatur absinkt und damit nur begrenzt thermisch belastbar ist. Eine teilweise Verjüngung der AlGaN-Schicht unterhalb des Gates mindert diesen thermischen

Einfluss auf U_{TH} [9, S.284]. Ein Nachteil dieser Variante ist, dass die Fluor-Ionen auch in das 2DEG eindringen und dadurch die Elektronenbeweglichkeit verringern [9, S.274].

Recessed Gate eGaN-FET Die AlGaN-Schicht wird unterhalb der Gate-Elektrode, durch einen Ätzvorgang, verjüngt, wodurch die durch den Piezoeffekt entstehende Spannung verringert wird. Ein darauf angebrachter Schottky-Kontakt kompensiert diese Spannung, wodurch ein eGaN-FET vorliegt und eine positive Gate-Source-Spannung erforderlich ist um den FET leitfähig zu machen. Eine positive Gate-Spannung macht den FET zwischen Drain- und Source-Elektrode leitfähig. Die Schwierigkeit dieser Technologie liegt in der ungenauen Prozesswiederholbarkeit der verjüngten AlGaN-Schichtdicke. Die Folge sind unterschiedliche Stärken der AlGaN-Schicht und demzufolge unterschiedlich hohe Schwellspannungen der gefertigten Transistoren [44, S. 282].

Stand der Technik In diesem Abschnitt werden die aktuellen GaN-Transistoren, mit dem besten SJ- Si-MOSFET seiner Klasse [45] und SiC-MOSFET/JFET, die es auf dem Markt gibt, verglichen. Tabelle 2.2 und 2.3 zeigen die Auflistung von sieben verschiedenen selbstsperrenden Transistoren der 600 V Spannungsklasse mit ähnlich hohen Drainströmen.

Tabelle 2.2: aktuell auf dem Markt befindliche eGaN-FETs

Parameter	Einheit				
Firma		GaN Systems	Panasonic	Transphorm	ON Semic.
Modell		GS66506T	PGA26E07BATPH3206LS	NTP8G206N	
Typ		-	GIT	Kaskode	Kaskode
Halbleiter		GaN	GaN	GaN / Si	GaN / Si
Package		GaN PX	DFN 8X8	PQFN	TO-220
Abmaße	mm	5,6 × 4,5 × 0,5	8 × 8 × 1,3	8 × 8 × 1,9	10 × 4,6 × 15,1
U_{DS}	V	650	600	600	600
I_D	A	22,5	26	17	17
$\vartheta_C = 25^\circ\text{C}$					
U_{GS} (typ.)	V	6	3,5	± 18	± 18
$R_{DS(on)}$	mΩ	67	56	150	150
$\vartheta_J = 25^\circ\text{C}$, typ.					
Q_g	nC	4,4	5	6,2	6,2
$Q_g \cdot R_{DS(on)}$	pC Ω	295	280	930	930
Q_{rr}	nC	0	0	54	53
$R_{TH,JC}$	K W ⁻¹	0,7	1,3	1,55	1,55
$\vartheta_{J,max}$	K	150	150	175	150

Die auf dem Markt befindlichen GaN-Technologien für diese Spannungsklasse sind der GIT (Panasonic) und die Kaskoden-Variante (Transphorm und On Semiconductor). Zwar findet sich in [9, 86] die Aussage, dass GaN Systems ebenfalls die GIT-Technologie verwendet aber vom Hersteller wird zu der angewandten Technologie keine Auskunft gegeben. Was bei den Transistoren von GaN Systems gegen einen GIT spricht, ist der nahezu nicht vorhandene Gatestrom im stationären Betrieb. Zusätzlich wurden SiC- Leistungshalbleiter (GeneSiC und Wolfspeed) und ein SJ Si MOSFET mit aufgelistet. Es ist ersichtlich, dass die eGaN-FETs, außer bei der maximal zulässigen Sperrschichttemperatur $\vartheta_{J,max}$, am besten Abschneiden (erkennbar an der grünen Hervorhebung). Im Vergleich zu den Kaskoden besitzen die beiden eGaN-FETs einen ca. zweieinhalb-fach kleineren $R_{DS(on)}$ (56 mΩ / 67 mΩ). Entgegen der Annahme liegt der SJ Si MOSFET knapp hinter den eGaN-FETs und noch vor den Kaskoden mit 85 mΩ. Die in Kapitel 2.1 gezeigte theoretisch erreichbare Grenze des spezifischen Widerstands für Si gilt nicht für SJ MOSFET [46, S. 347]. Letztere übertreffen diese Grenze (oberhalb einer gewissen Sperrspannung) und erreichen ähnliche Werte wie die GaN LHL, wie die Tabellen 2.3 und 2.3 bestätigen. Die beiden

Tabelle 2.3: aktuell auf dem Markt befindliche SJ Si MOSFET und SiC JFET/MOSFETs

Parameter	Einheit			
Firma		GeneSiC	Wolfspeed	Infineon
Modell		2N7638-GA	C3M0120090D	IPB60R099C7
Typ			SiC Power MOSFET	SJ MOSFET
Halbleiter		SiC	SiC	Si
Package		TO-276	TO-247-3	PG-TO 263
Abmaße	mm	$7,5 \times 10 \times 3$	$15 \times 21 \times 5$	$10 \times 9 \times 4,5$
U_{DS}	V	600	900	600
I_D	A	20	23	22
$\vartheta_C = 25^\circ\text{C}$				
U_{GS} (typ.)	V	5	-4/15	10
$R_{DS(on)}$	m Ω	170	120	85
$\vartheta_J = 25^\circ\text{C}$, typ.				
Q_g	nC	31	17,3	42
$Q_g \cdot R_{DS(on)}$	pC Ω	5270	4844	3570
Q_{rr}	nC	keine Angabe	115	4400
$R_{TH,JC}$	K W^{-1}	1	1,3	1,14
$\vartheta_{J,max}$	K	210	150	150

SiC-Halbleiter liegen mit 120 m Ω und 170 m Ω auf Augenhöhe mit den Kaskoden. Die eGaN-FETs besitzen ebenfalls die geringsten Gateladungen mit 5 nC, jedoch dicht gefolgt von den Kaskoden mit einem nur um ca. 25 % höherem Q_g . Die SiC-Varianten besitzen eine um drei- bis sechsfach höhere Gateladung als die eGaN-FETs. Das Schlusslicht bildet der SJ Si MOSFET mit einem achtfach höheren Q_g . Eine weitere Leistungskennzahl ist das Produkt aus $Q_g \cdot R_{ds(on)}$. Es macht eine Aussage der zu erwartenden Schalt- und Durchlassverluste eines Transistors [47]. Die eGaN-FETs besitzen das geringste Produkt aus $Q_g \cdot R_{ds(on)}$, wobei der Panasonic PGA26E07BA mit 280 pC Ω einen leichten Vorsprung gegenüber dem GS66506T mit 295 pC Ω besitzt. Die Kaskoden besitzen einen dreifach höheren Wert. Auch hier sind die Eigenschaften von der Transphorm-Kaskode identisch mit der Kaskode von ON Semiconductor. Aufgrund des geringen $R_{DS(on)}$ des SJ Si MOSFET, schneidet dieser deutlich besser gegenüber den SiC-LHLs ab. In Bezug auf die Wärmeabgabe erzielt der GS66506T, mit dem geringsten $R_{TH,JC}$, das beste Resultat. Die anderen Bauteile besitzen einen ca. zweifach höheren Wert. Die Werte legen nahe, dass sich mit den eGaN-FETs die geringsten Verluste und die höchsten Schaltgeschwindigkeiten bei dem gleichzeitig kleinsten Bauvolumen erzielen lassen. Aufgrund der hohen Leistungsdichte kommen jedoch erhöhte Kühlanforderungen auf die kleinen eGaN-FETs zu.

2.4 Statisches und dynamisches Verhalten

In diesem Kapitel wird das statische und dynamische Verhalten von eGaN-FETs erklärt. Die Kennlinien zur Beschreibung des statischen und dynamischen Verhaltens eines eGaN-FET wurden mit dem Simulationprogramm LT-Spice gewonnen. Als Leistungsschalter wurde ein Verhaltensmodell eines eGaN-FETs von der Firma GaN Systems des Typ GS66506T verwendet, da die Transistoren auch innerhalb des im späteren Teil entworfenen Synchronwandlers verwendet werden.

2.4.1 Statisches Verhalten

Zur Beschreibung des statischen Verhaltens wurde das Ausgangskennlinienfeld im ersten und dritten Quadranten für den eGaN-FET GS66506T von GaN Systems mittels eines DC Sweep von u_{DS} und eines Parameter Sweeps von u_{GS} in einer LT-Spice-Simulation durchgeführt.

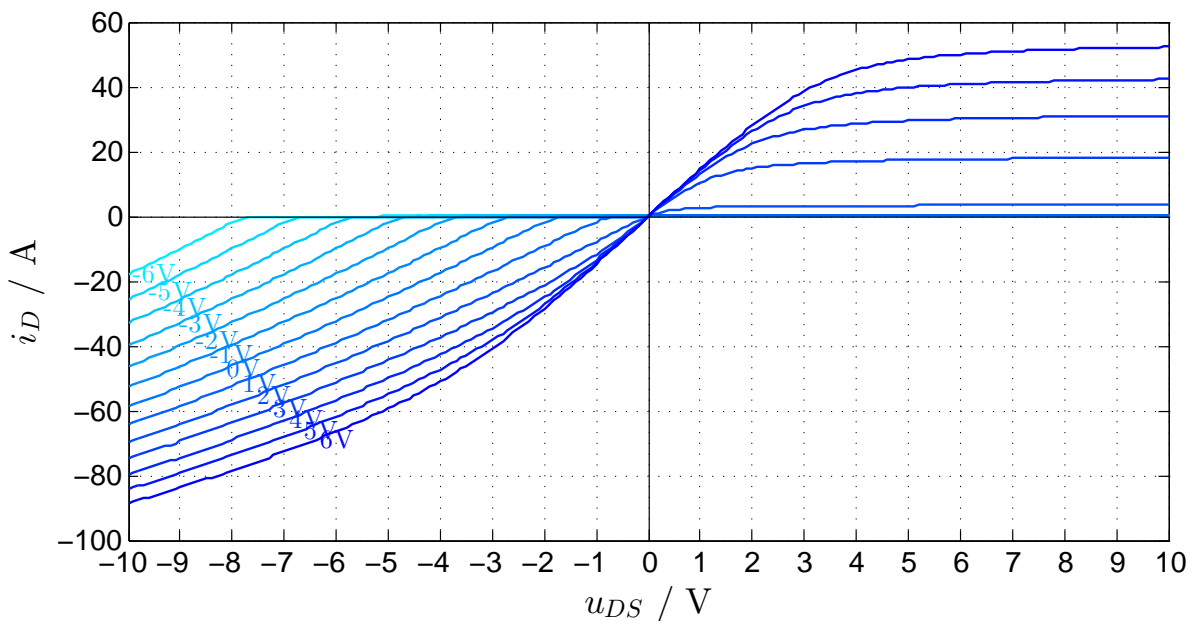


Abbildung 2.10: simuliertes Ausgangskennlinienfeld des eGaN-FET (GS66056T) für $\vartheta_J = 25^\circ\text{C}$ für $-6\text{ V} \leq U_{GS} \leq 6\text{ V}$

Abbildung 2.10 zeigt das Ausgangskennlinienfeld des eGaN-FET. Die Gate-Source-Spannung wurde zwischen $-6\text{ V} \leq U_{GS} \leq 6\text{ V}$ in 1 V-Schritten variiert. Die Kennlinien gelten für eine Sperrschichttemperatur von $\vartheta_J = 25^\circ\text{C}$.

Quadrant I Für Spannungen unterhalb der Schwellenspannung nimmt der eGaN-FET Sperrspannung auf. i_D bleibt daher 0. Ab Erreichen der Schwellenspannung $u_{GS} = U_{TH}$

ist der Kanal leitfähig und ein Drainstrom beginnt zu fließen. Laut Datenblatt beträgt $U_{TH} = 1,3\text{ V}$.

Bei 6 V ist der Transistor voll aufgesteuert. Der $R_{DS(on)}(\vartheta_J = 25\text{ °C})$ beträgt $\frac{1\text{ V}}{14,6\text{ A}} = 68\text{ m}\Omega$, was mit dem Datenblattwert von 67 mΩ übereinstimmt. Mit steigender Sperrschichttemperatur nimmt auch der $R_{DS(on)}$ zu. Bei $\vartheta_J = 150\text{ °C}$ hat sich der $R_{DS(on)}$ laut Datenblatt um den Faktor 2,6 erhöht [48].

Quadrant III Der Verlauf der Kennlinien zeigt eine Rückwärtsleitfähigkeit des eGaN-FET, wie sie bereits von Si MOSFETs her bekannt ist. Während beim Si MOSFETs ein pn-Übergang (“Body Diode“) für den Stromtransport verantwortlich ist, fließt beim eGaN-FET i_D immer im Kanal, unabhängig von u_{GS} [49, S.7]. Der Einfachheit halber wird bei ausgeschaltetem Gate des eGaN-FET und Stromführung in Rückwärtsrichtung innerhalb dieser Masterarbeit der Begriff der “Body Diode“ verwendet, um den für den Stromtransport verantwortlichen Teil des eGaN-FET zu benennen.

Es ergeben sich deutliche Unterschiede in der Rückwärtsleitfähigkeit zwischen dem Si MOSFET und dem eGaN-FET. Zum einen ist der Durchlassspannungsabfall $U_{DS,REV,GaN}$ in Rückwärtsrichtung im Vergleich zu Si deutlich höher als $U_{DS,REV,Si} = -0,7\text{ V}$. Bei $U_{GS} = 0\text{ V}$ ergibt sich $U_{DS,REV,GaN}(U_{GS} = 0\text{ V}) = -1,6\text{ V}$. Wird das Gate im “off“-Zustand mit einer negativen Gate-Source-Spannung von $U_{GS} = -3\text{ V}$ versorgt, erhöht sich der Durchlassspannungsabfall auf $U_{DS,REV,GaN}(U_{GS} = -3\text{ V}) = -4,6\text{ V}$. Letzteres ist, aufgrund der erhöhten $\frac{du}{dt}$ Robustheit (siehe Kapitel 3.2.1), häufig der Fall. Als weitere positive Eigenschaft des eGaN-FET ist das Nicht-Vorhandensein von Speicherladungen Q_{rr} , was zu einer Verbesserung des Wirkungsgrades führt [49, S.7].

2.4.2 Dynamisches Verhalten

Das dynamische Verhalten wird mittels eines DPVs mit Hilfe von LT-Spice untersucht. Für die eGaN-FETs wird das gleiche Verhaltensmodell wie das zur Erzeugung des Ausgangskennlinienfeldes verwendet. Zunächst wird das ESB des DPVs mit seinen parasitären Elementen erklärt und anschließend das Ein- und Ausschaltverhalten anhand der zeitlichen Verläufe von u_{DS} , i_D und u_{GS} erklärt.

Ein DPV ermöglicht den Einblick in das harte Schaltverhalten von LHL bei gleichzeitig geringer Belastung der Bauteile. Abbildung 2.11 zeigt das ESB des DPVs. Das Schaltverhalten des Device Under Test (DUT), T2, wird untersucht. Der erste Einschaltimpuls von T2 führt zu einer positiven Spannung an der Speicherdrossel L. Es kommt zu einem linearen Anstieg des Stromes i_L . Die Einschaltdauer des ersten Pulses wird so gewählt, dass sich der gewünschte Strom einstellt, der beim Schaltvorgang vorherrschen soll. T2

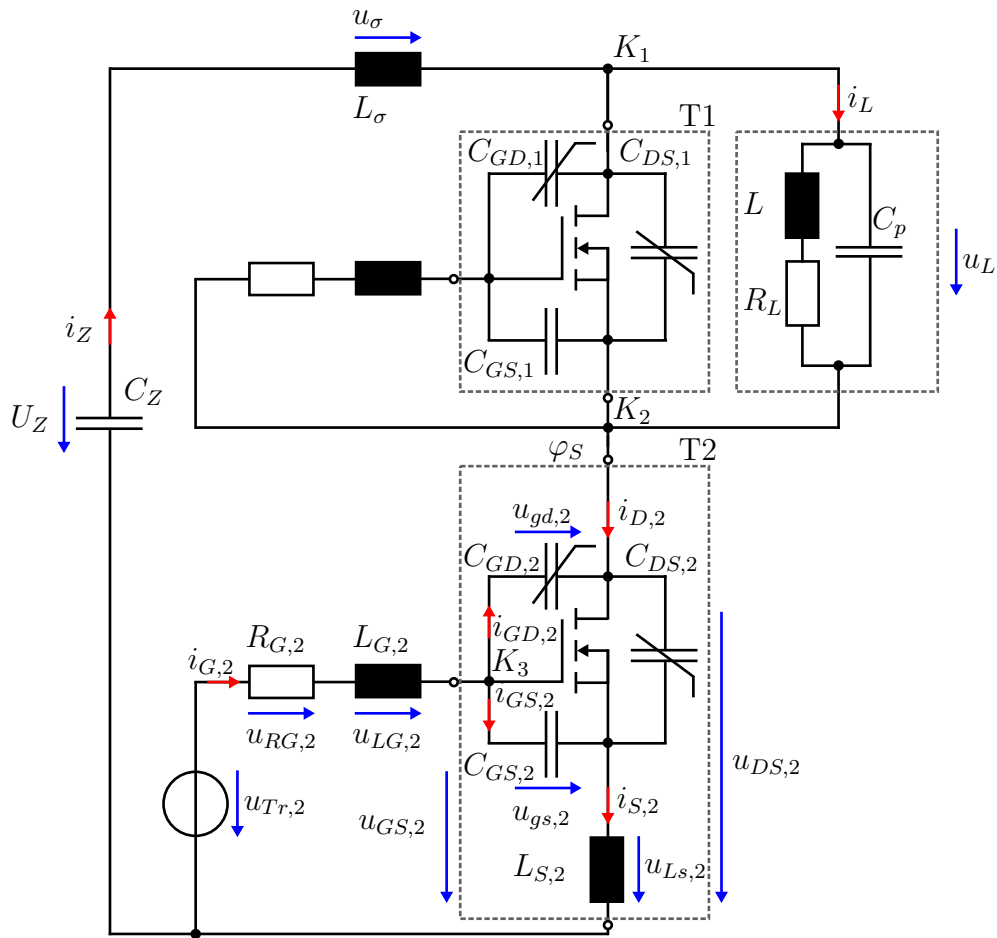


Abbildung 2.11: für die LT-Spice Simulation verwendetes ESB

schaltet aus und der Strom i_L läuft sich über T1 frei. Der zweite Einschaltimpuls von T2 liefert das Einschaltverhalten.

Das ESB in Abbildung 2.11 enthält eine Zwischenkreiskapazität C_Z , zwei in Serie geschaltete eGaN-FETs T1 und T2, eine zu T1 parallel geschaltete Speicherdrossel L mit der Kapazität C_p und dem Widerstand R_L , sowie weitere parasitäre Elemente.

Das ESB der Transistoren T1 und T2 setzt sich aus den Kapazitäten C_{GS} , C_{GD} und C_{DS} zusammen. Das ESB des LS-eGaN-FET wurde zudem um die Induktivität L_S ergänzt da sie Schaltvorgang beeinflusst.

Im Folgenden wird nun genauer auf die Komponenten des ESB eingegangen, um im Anschluss die zeitlichen Verläufe für das Ein- und Ausschalten besser erklären zu können.

C_{GS} ist die Gate-Source-Kapazität. Ihre Größe legt neben weiteren Parametern die Geschwindigkeit der Stromflanke fest.

C_{GD} ist die Gate-Drain-Kapazität. Sie legt im hohen Maße die Geschwindigkeit der Spannungsflanke fest. Zudem handelt es sich um eine nichtlineare Kapazität. Bei kleinen Drain-Source-Spannungen ist die Kapazität am größten. Dies führt zu einer nicht linearen Spannungsflanke während des Schaltvorgangs. Bei WBG-Materialien ergeben sich deutlich kleinere Kapazitäten und damit schnellere Schaltvorgänge im Vergleich zu Si MOSFETs.

C_{DS} ist die Drain-Source-Kapazität. In der Literatur finden sich kaum Angaben zu dieser Kapazität, da sie keinen Einfluss auf das Schaltverhalten hat. Durch C_{DS} kommt es zu erhöhten Schaltverlusten, da sie bei jedem Einschaltvorgang eines Transistors über den Kanal des eGaN-FET kurzgeschlossen wird [50, S. 98f.].

L_S ist die Source-Induktivität des Lowside Schalters und setzt sich hauptsächlich aus der Packageinduktivität ¹ des Leistungshalbleiters zusammen [52]. Sie ist sowohl im Gate- als auch im Kommutierungskreis involviert. L_S hat direkten Einfluss auf die Schaltgeschwindigkeit. Der Index 2 in den Abbildungen 2.12 und 2.13 wurde gewählt, da das Schaltverhalten des LS Transistors untersucht wird. Derselbe Effekt tritt jedoch auch während des Schaltvorgangs des HS Transistors ein. Während des Einschaltvorgangs kommt es aufgrund eines hohen positiven $\frac{di_D}{dt}$ zu einem Spannungsabfall an L_S . Abbildung 2.12 und Formel (2.6) veranschaulichen diesen Zusammenhang. Der Spannungsabfall am Gatewiderstand R_G wird während des Stromanstiegs von i_D durch L_S verringert und führt so zu einem kleineren Gatestrom. Die Stromkommutierung wird verlangsamt. In Formel (2.6) und (2.7) wurde der Einfluss des $\frac{di_G}{dt}$ vernachlässigt.

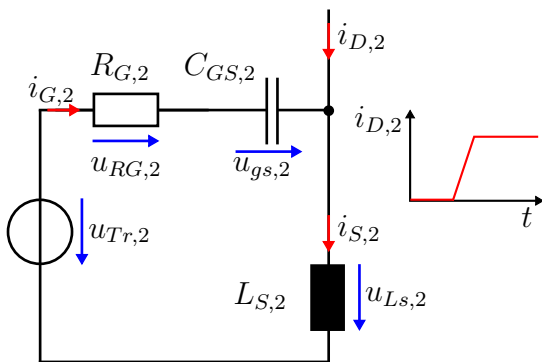


Abbildung 2.12: ESB zur Beschreibung des Einflusses von L_S auf die Schaltgeschwindigkeit während der Stromkommutierung beim Einschalten

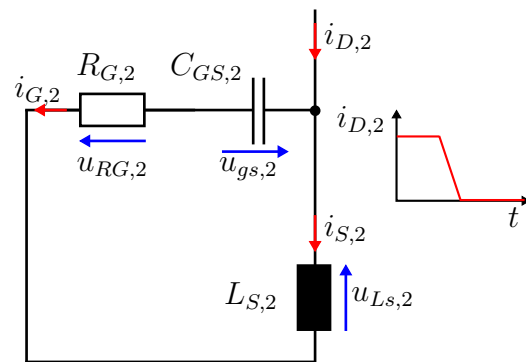


Abbildung 2.13: ESB zur Beschreibung des Einflusses von L_S auf die Schaltgeschwindigkeit während der Stromkommutierung beim Ausschalten

¹häufig wird der Begriff common source inductance (CSI) verwendet, da L_S sowohl im Gate- als auch im Lastkreis enthalten ist [51]

$$\begin{aligned}
 u_{RG} &= i_G \cdot R_G = u_{Tr} - u_{Ls} - u_{gs} & u_{RG} &= u_{gs} - u_{Ls} \\
 i_G &\approx \frac{1}{R_G} \left(u_{Tr} - L_s \cdot \frac{di_D}{dt} - u_{gs} \right) & i_G &\approx \frac{1}{R_G} \left(u_{gs} - L_s \cdot \frac{di_D}{dt} \right)
 \end{aligned} \quad (2.6) \quad (2.7)$$

Das Resultat einer großen Source-Induktivität sind erhöhte Schaltverluste. Im Ausschaltvorgang tritt dasselbe Verhalten in Erscheinung (siehe Abbildung 2.13 und Formel (2.7)). Zwar kehrt sich das Vorzeichen des $\frac{di_D}{dt}$ um, das Resultat, die Verringerung des Gatestroms i_G bleibt jedoch unverändert. Als positiver Effekt von L_S ergibt sich die Reduzierung der Stromspitze während des Einschaltens [53].

L_σ ist die Induktivität des Kommutierungskreises und setzt sich zusammen aus der ESL des Zwischenkreises, den Leiterbahnabschnitten und den Draininduktivitäten der eGaN-FETs. Im Falle einer Strommessung muss zudem die Induktivität des Shunts hinzugezählt werden.

Ein möglichst kleines L_σ ist wünschenswert. Durch ein gutes Layout des printed circuit boards (PCBs) und die Verwendung eines niederinduktiven Packages, lässt sich so ein minimales L_σ im einstelligen nH Bereich erreichen. In [10] wurde ein Powermodul entwickelt, bei welchem das $L_\sigma = 0,86$ nH beträgt.

Bei einer Stromänderung kommt es an L_σ zu einem Spannungsabfall:

$$u_\sigma = L_\sigma \cdot \frac{di_D}{dt} \quad (2.8)$$

Vernachlässigt man den Spannungsabfall an T1 so ergibt sich:

$$u_{DS} = U_Z \pm L_\sigma \cdot \frac{di_D}{dt} \quad (2.9)$$

Dies führt beim Einschalten des LS-eGaN-FET zu einer Minimierung von u_{DS} und gleichzeitig auch zu einer Reduzierung der Schaltverluste. Beim Ausschalten kehrt sich der Vorgang um. Aufgrund der Änderung des Vorzeichens des Stromgradienten addiert sich u_σ zur Spannung des Leistungshalbleiters und führt damit zu einer Überhöhung der Spannung und zusätzlich zu erhöhten Verlusten. Laut [52] ergeben sich im Synchronwandler während des Ausschaltens höhere Schaltverluste als beim Einschalten. Dies führt zu der Annahme, dass L_σ insgesamt zu erhöhten Schaltverlusten führt. Zudem führt L_σ zu einer Verringerung der Schaltgeschwindigkeit [52].

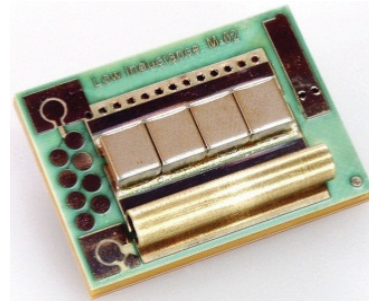


Abbildung 2.14: SiC Power Modul mit niederinduktivem Kommutierungskreis ($L_\sigma = 0,86$ nH) [10]

Parasitäre Kapazitäten eGaN-FETs besitzen keine Rückstromspitze, wie sie von Si Dioden / MOSFETs her bekannt ist. Dennoch treten zusätzliche, kapazitiv bedingte, Ströme in Erscheinung. Wie in Abbildung 2.11 zu sehen ist, besitzt der obere Schalter T1 und die Speicherdrossel L parasitäre Kapazitäten. Zur besseren Veranschaulichung wurden die parallelen Kapazitäten C_p , $C_{DS,1}$ und $C_{GD,1}$ zu einer Kapazität C zusammengefasst und in den vereinfachten ESBs in Abbildung 2.15 und 2.16 dargestellt. Im eingeschalteten Zustand von T2 ist die Kapazität C auf den Wert der Zwischenkreisspannung aufgeladen. Für den Drainstrom $i_{D,2}$ des LS-eGaN-FET ergibt sich an Knoten 2:

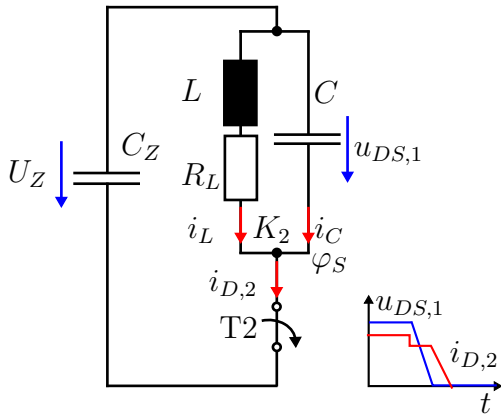


Abbildung 2.15: ESB zur Beschreibung des Einflusses der parasitären Kapazität auf $i_{D,2}$ während des $\frac{du_{DS,1}}{dt}$ beim Ausschalten von T2

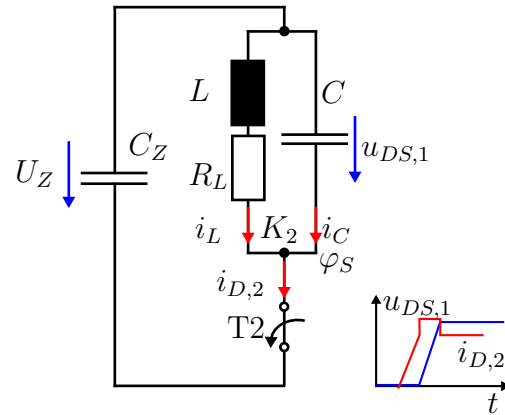


Abbildung 2.16: ESB zur Beschreibung des Einflusses der parasitären Kapazität auf $i_{D,2}$ während des $\frac{du_{DS,1}}{dt}$ beim Einschalten von T2

$$i_{D,2} = i_L + i_C$$

$$i_{D,2} = i_L \pm C \cdot \frac{du_{DS,1}}{dt} \quad (2.10)$$

Für den stationären Betrieb ist der rechte Term von (2.10) 0. Schaltet T2 aus, erhöht sich das Potential φ_S von 0V auf U_Z und es ergibt sich ein negatives $\frac{du_{DS,1}}{dt}$. Während der Spannungsänderung kommt zusätzlich zum Drosselstrom i_L ein negativer Strom i_C (2.10), der die Kapazität C entlädt und für eine Verringerung von $i_{D,2}$ sorgt. Aufgrund des geringeren Drainstroms sinken auch die Schaltverluste während des Ausschaltens. Beim Einschalten von T2 ändert sich das Vorzeichen des Spannungsgradienten an C, wodurch der Drainstrom erhöht wird (siehe Abbildung 2.16) [53].

R_G Der Gatewiderstand, bestehend aus dem internen Gatewiderstand des Packages, den internen Widerständen des Treibers, sowie den eigentlichen Gatewiderständen, legt die Höhe des Gatestromes nach Formel (2.6) und (2.7) und damit die Schaltgeschwindigkeit fest.

Einschaltvorgang

Nachdem die Schaltung sowie die Bedeutung der parasitären Elemente erklärt worden sind, wird im Folgenden zunächst der Einschaltvorgang des eGaN-FET erläutert. Die zeitlichen Verläufe von $i_{D,2}$, $u_{DS,2}$ (Maßstab: $\frac{1}{20}$) und $u_{GS,2}$ sind in Abbildung 2.17 dargestellt.

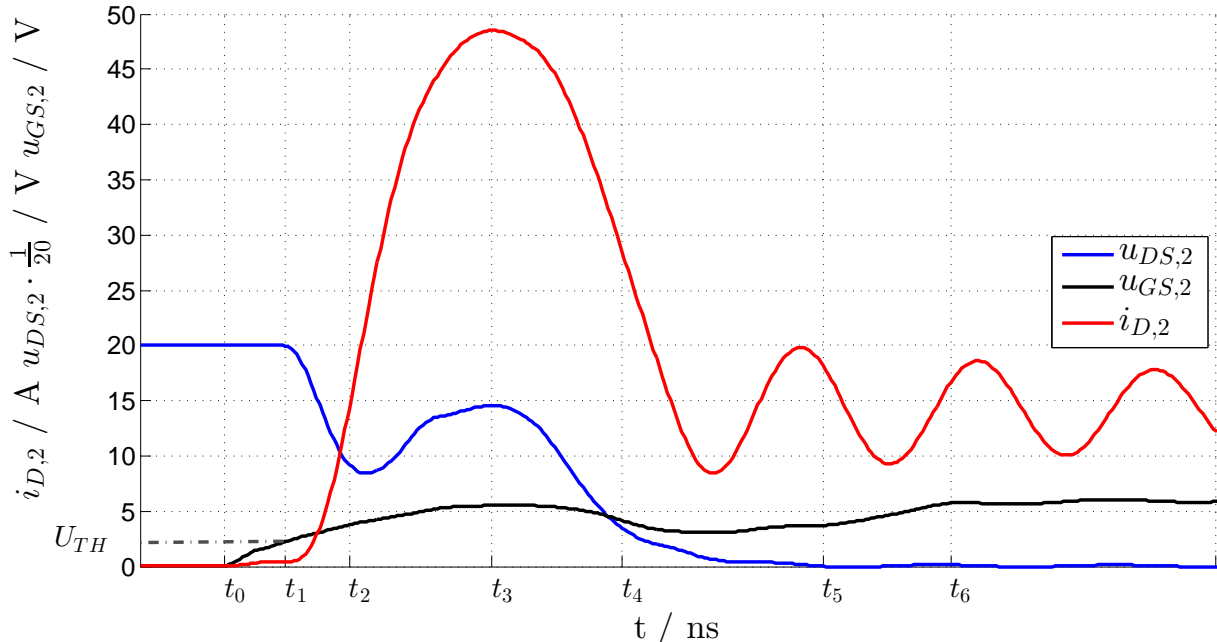


Abbildung 2.17: simulierter Einschaltvorgang eines eGaN-FET (GS66056T)

$t < t_0$ T2 ist ausgeschaltet. Der Drosselstrom i_L läuft über der “Bodydiode“ von T1 frei. Es gilt:

$$u_{DS,2} = U_Z + u_{DS,1} \approx U_Z$$

$t_0 < t < t_1$ Zum Zeitpunkt t_0 wechselt die Spannungsquelle des LS Gatetreibers sprunghaft ihren Zustand von 0 V auf $U_{Tr,2}$. Die Kapazität $C_{GS,2}$ wird geladen und $C_{GD,2}$ wird entladen. Es kommt zu einem exponentiellen Anstieg von $u_{GS,2}$. Während dieses Zeitabschnitts treten im Lastpfad keine Veränderungen auf. Es gelten die gleichen Zustände wie bei $t < t_0$. Dieses Intervall wird daher auch Einschaltverzögerung genannt.

$t_1 < t < t_2$ Die Gate-Source-Spannung hat zum Zeitpunkt $t = t_1$ die Schwellspannung $u_{gs,2} = U_{TH}$ erreicht, was anhand des Spannungseinbruchs von $u_{DS,2}$, aufgrund des beginnenden Stromanstiegs von $i_{D,2}$ erkennbar ist. Die Schwellspannung von U_{TH} beträgt laut einer Grafik im Datenblatt 1,6 V [48]. In der Abbildung 2.17 beträgt die Schwellspannung 2,2 V. Tatsächlich handelt es sich nicht um die Schwellspannung, da der zum

Zeitpunkt t_1 konstante Gatestrom $i_{G,2}$ einen Spannungsabfall an dem internen Gatewiderstand $R_{G,2int} = 1,5 \Omega$ von 0,6 V hervorruft. Der Kanal zwischen Drain und Source beginnt leitfähig zu werden, wodurch es zu einem Anstieg von $i_{D,2}$ kommt.

Der Drosselstrom i_L kommutiert nun auf T2. Die Stromflanke lässt sich beschreiben durch [54]:

$$\frac{di_{D,2}}{dt} = \frac{i_{G,2} \cdot g_m}{C_{GS,2}} \quad (2.11)$$

g_m ist die Transkonduktanz und beschreibt das Verhalten des Drainstromes bei einer Änderung der Gate-Source-Spannung. Das hohe $\frac{di_D}{dt}$ bewirkt nach (2.6) in Verbindung mit $L_{S,2}$ eine Verlangsamung des Stromkommutierungsvorganges. Weiterhin führt der rapide Stromanstieg zu einem Einbruch der Drain-Source-Spannung an T2, wie dies in Abbildung 2.17 anhand von $u_{DS,2}$ zu erkennen ist. Die Höhe des $\frac{di_{D,2}}{dt}$ legt die an L_σ induzierte Spannung fest. Es ergibt sich somit der Spannungsabfall an u_σ aus der Ableitung des Stromes $i_{D,2}$. Betrachtet man den Verlauf des Stromes so ist in Näherung ein (negativer) cosinusförmiger Verlauf des Stromes $i_{D,2}$ zu erkennen. Die Ableitung des Stromes liefert daher einen sinusförmigen Verlauf der Spannung an L_σ und somit einen sinusförmigen Einbruch der Spannung an $u_{DS,2}$. Ein weiteres Erhöhen der Gate-Source-Spannung $u_{GS,2}$ führt zur Zunahme von $i_{D,2}$, bis i_L vollständig durch T2 fließt. Letzteres ist bei t_2 der Fall. Es beginnt der nächste Zeitschnitt, das so genannte Millerplateau. An dieser Stelle sei angemerkt, dass die Höhe des Millerplateaus $u_{GS,2} = u_{GS,M}$ vom Laststrom abhängig ist. Kleine Lastströme führen zu kürzeren Stromkommutierungszeiten als hohe Lastströme.

$t_2 < t < t_5$ Dieser Zeitabschnitt repräsentiert das Millerplateau. Die Eingangskapazität wirkt während dieses Intervalls wie eine unendlich große Kapazität [55, 681]. Es kommt somit während $t_2 < t < t_5$ nicht zu einem Anstieg von $u_{gs,2}$. Daher bleibt der Gatestrom während des Millerplateaus nahezu konstant und entlädt $C_{GD,2}$. Dies führt zu einer Reduzierung des Potentials φ_S . Es erfolgt zunächst eine schnelle Spannungsänderung von $C_{GD,2}$. Die sich anhand der Nichtlinearität der Kapazität erklären lässt. Für hohe Spannungen $u_{DS,2}$ ergibt sich eine kleinere Kapazität $C_{GD,2}$. Mit dem Absinken der Spannung erfolgt eine Zunahme von $C_{GS,2}$. t_4 markiert den Zeitpunkt, an dem die Kapazität deutlich zugenommen hat. Die Spannungsänderungsgeschwindigkeit errechnet sich nach Formel (2.12).

$$\frac{du_{gd,2}}{dt} = \frac{i_{G,M}}{C_{GD,2}} = \frac{u_{Tr,2} - u_{GS,M}}{R_{G,2} \cdot C_{GD,2}} \quad (2.12)$$

Anhand von Formel (2.12) ist ersichtlich, dass das $\frac{du_{gd,2}}{dt}$ von der Millerplateauspannung $u_{GS,M}$ abhängig ist, welche sich aus der Transkonduktanz g_m und $i_{D,2}$ ermitteln lässt. Bei

kleinen Lastströmen ergeben sich geringere Werte für $u_{GS,M}$ als bei großen Lastströmen. Daraus resultiert bei kleinen Lastströmen ein höherer Gatestrom, der zu einem zügigeren Umladen von $C_{GD,2}$ führt [56]. Mit Beginn des Miller Plateau hat ebenfalls die Umladung der parasitären Kapazitäten des HS-eGaN-FET und der Drossel begonnen. Nach (2.10) ergibt sich ein zusätzlicher kapazitiver Strom i_C , der sich in Form einer Überstromspitze in $i_{D,2}$ äußert. Der Stromgradient erreicht kurz nach t_2 sein Maximum, was in dem Minimum von $u_{DS,2}$ ersichtlich ist (maximaler Spannungsabfall an L_σ). Bei t_3 ist $i_{D,2} = i_{D,2,max}$, das heißt (d.h) die Ableitung von $\frac{di_{D,2}}{dt}$ ist null. An L_σ fällt daher keine Spannung ab. Darauf folgend ändert sich die Polarität des Stromgradienten und damit auch das Vorzeichen des an Kommutierungsinduktivität auftretenden Spannungsabfalls. t_4 markiert die Zeitspanne in der $C_{GD,2}$ aufgrund der Abnahme von $u_{DS,2}$ zugenommen hat und damit zu einer Verringerung des $\frac{du_{DS,2}}{dt}$ führt. Das Millerplateau ist beendet, sobald der aktive Bereich durchlaufen ist und der Arbeitspunkt im linearen Bereich des Ausgangskennlinienfeldes liegt. Das Ende des Millerplateaus lässt sich in Abbildung 2.17 daran erkennen, dass $u_{GS,2}$ erneut ansteigt.

$t_4 - t_5$ Der aktive Bereich ist durchlaufen. In dem letzten Zeitabschnitt des Einschaltvorganges erhöht sich $u_{GS,2}$ bis der Wert der Treiberspannung $u_{Tr,2}$ erreicht ist. Während dieses Zeitabschnitts findet eine Abnahme des $R_{DS(on)}$ statt, wodurch $u_{DS,2}$ vollständig auf den Durchlassspannungsabfall absinkt bei dem der eGaN-FET vollständig aufgesteuert ist.

Ausschaltvorgang

Der Ausschaltvorgang verläuft umgekehrt zum Einschaltvorgang. Die bereits gewonnenen Erkenntnisse können daher genutzt werden und die Erklärungen zum Ausschalten verkürzen. Abbildung 2.18 zeigt die zeitlichen Verläufe von $i_{D,2}$, $u_{DS,2}$ und $u_{GS,2}$ für einen Ausschaltvorgang.

$t < t_0$ Der eGaN-FET ist vollständig eingeschaltet ($u_{GS,2} = u_{Tr,2}$, $i_{D,2} = i_L$) und L magnetisiert langsam auf.

$t_0 < t < t_1$ Zum Zeitpunkt t_0 sinkt die Spannung $u_{Tr,2}$ sprunghaft auf 0 ab. Der Entladevorgang von $C_{GS,2}$ und der Ladevorgang von $C_{GD,2}$ beginnt. $u_{GS,2}$ sinkt exponentiell ab. Bis zum Beginn des Millerplateaus ändert sich im Lastpfad nichts. Analog zum Einschaltvorgang heißt dieses Zeitintervall Ausschaltverzögerung.

$t_1 < t < t_3$ Mit Erreichen der Millerplateau Spannung wird die Kapazität $C_{GD,2}$ geladen, wodurch $u_{DS,2}$ steigt. Aufgrund der noch großen Kapazität von $C_{GD,2}$ erfolgt zunächst

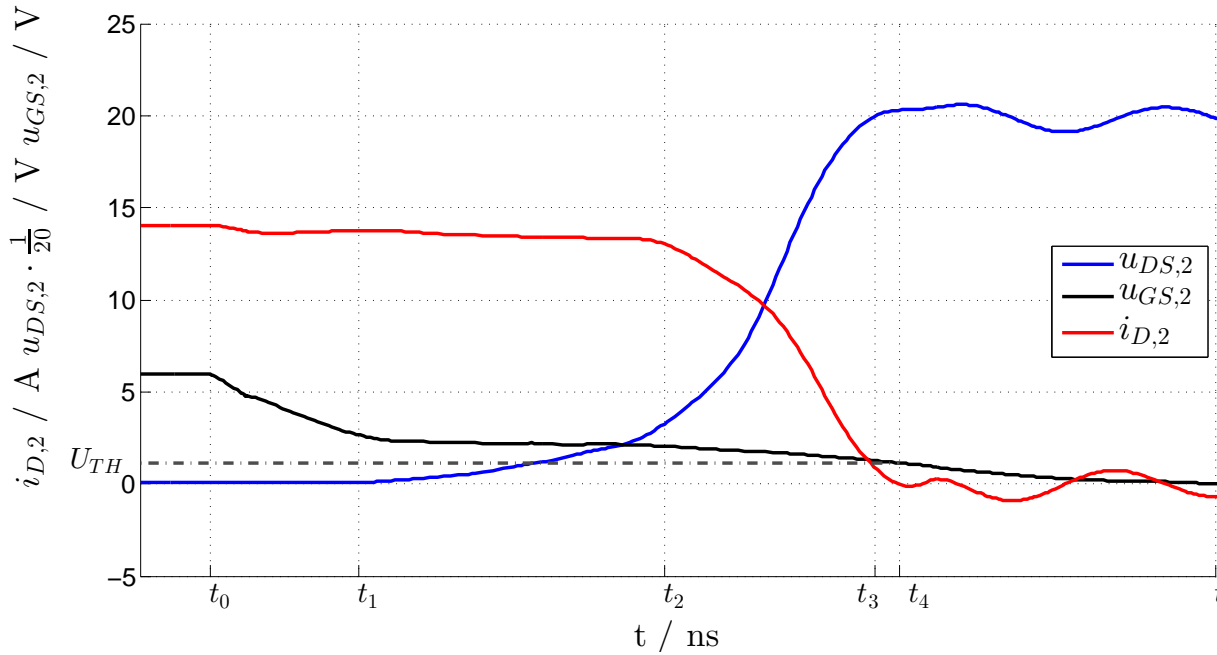


Abbildung 2.18: simulierter Ausschaltvorgang eines eGaN-FET (GS66506T)

ein langsamer Anstieg der Spannung $u_{DS,2}$. Dieses geringe $\frac{du_{DS,2}}{dt}$ führt zu einem geringen kapazitiven Strom i_C . Der konstante Drosselstrom fließt daher zu einem geringen Teil in die parasitären Kapazitäten des HS-eGaN-FET und der Drossel. In Summe verringert sich daher nach dem Knotensatz der Strom $i_{D,2}$ geringfügig, wie dies in Formel (2.10) ersichtlich ist. Zum Zeitpunkt t_2 erhöht sich der Spannungsgradient drastisch. Infolgedessen nimmt der kapazitive Strom zu und der Drainstrom ab. Zwar nimmt die Steigung von $u_{DS,2}$ für hohe Spannungen wieder ab, der kapazitive Strom steigt jedoch weiterhin, da die HS-eGaN-FET Kapazität aufgrund der geringen Spannung $u_{DS,1}$ zunimmt (siehe (2.10)). Dies führt zu einem erhöhten Spannungsabfall an L_σ und damit auch zu einer höheren Drain-Source-Spannung. Der kapazitive Strom i_C ist so groß, dass zu Beginn von t_3 $i_{D,2}$ bereits nahezu 0 ist.

$t_3 < t < t_4$ Der restliche Anteil des Stromes von i_L kommutiert auf den HS-eGaN-FET, wodurch $i_{D,2}$ zügig 0 erreicht.

$t_4 < t < t_5$ In dem letzten Zeitintervall entlädt sich die Kapazität $C_{GS,2}$ vollständig. Der Ausschaltvorgang ist bei t_5 beendet.

3 Synchron-Tief- und Hochsetzsteller

In diesem Grundlagenkapitel werden die Kenntnisse zum Aufbau und zur Funktionsweise des Synchron-Tief- und Hochsetzstellers vermittelt.

3.1 Aufbau und Funktionsweise

Der voraussichtliche Einsatz des Synchronwandlers dieser Masterarbeit liegt innerhalb des Antriebsstrangs eines Automobils. Bei Beschleunigungs- und Bremsvorgängen kommt es zu hohen Spitzenströmen. Um diese Spitzenleistungen beim Anfahren oder beim Bremsen liefern zu können, müsste der Batteriespeicher überdimensioniert werden, da Batterien nur eine geringe Leistungsdichte besitzen. Zudem reduzieren hohe Leistungsspitzen die Lebensdauer von Batterien. Deutlich besser für den Einsatz bei Traktionsvorgängen sind DSKs geeignet, da sie eine höhere Leistungsdichte als Batterien besitzen, eine größere Energiedichte als Kondensatoren aufweisen und sehr effizient sind [17, S.2 f.]. Der Spannungsbereich der Autobatterie (290 V bis 400 V) und des DSK (115 V bis 240 V) unterscheiden sich. Somit ist eine Spannungsanpassung mit Hilfe des Synchronwandlers, wie in Abbildung 3.1 dargestellt, erforderlich. Im Falle einer Beschleunigung arbeitet die elektrische Antriebsmaschine des Automobils als Motor. Daraufhin wird die Energie aus dem DSK bezogen. Die Schaltung arbeitet dann als HSS (Energiefluss von rechts nach links in Abbildung 3.1). Kommt es zu einem Bremsvorgang, so kehrt sich, aufgrund des generatorischen Betriebs der Arbeitsmaschine, der Energiefluss um (Rekuperation, Energiefluss von links nach rechts in Abbildung 3.1). Der Synchronwandlers arbeitet in diesem Fall als Tiefsetzsteller (TSS).

Links in Abbildung 3.1, befindet sich die Kapazität C_1 . Sie ist notwendig um Überspannungsspitzen an den LHLs, aufgrund von Zuleitungsinduktivitäten (in 3.1 nicht dargestellt) von der Bordnetzatterie zum Leistungshalbleiter, zu vermeiden. Sie ist parallel zum BN, also der Autobatterie C_{BN} , geschaltet. Die beiden Transistoren T1 und T2 bilden zusammen einen Brückenweig und werden im Synchronbetrieb invers getaktet. Die Induktivität L sorgt für eine Glättung des Stromes. Rechts befindet sich die Kapazität C_2 , welche den hochfrequenten AC-Anteil von i_L kurzschließt. C_2 ist erforderlich, da die Kapazität C_{DSK} des DSK nur für niedrige Frequenzen eine hohe Kapazität besitzt und bereits bei wenigen kHz wie eine Induktivität wirkt [57, 124].

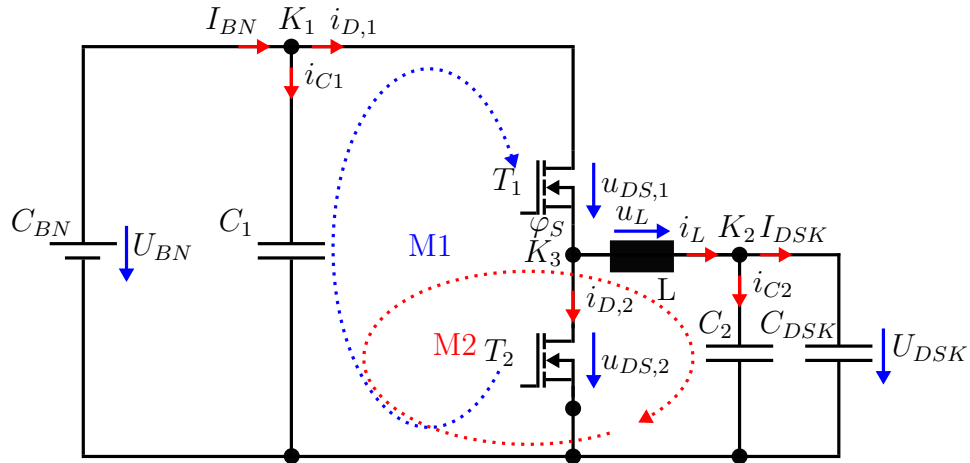


Abbildung 3.1: Schaltplan eines TSSs

3.1.1 TSS-Betrieb

Zum Verständnis der grundlegenden Arbeitsweise eines Synchronwandlers, soll zunächst die Arbeitsweise eines TSS erklärt werden. Dazu taktet im Folgenden nur T1. T2 ist dauerhaft ausgeschaltet. T2 ist im Falle eines negativen Stromes $i_{D,2}$ aufgrund der internen Body-Diode leitfähig. Es gilt, dass $U_{BN} > U_{DSK}$. Weiterhin werden folgende idealisierende Annahmen getroffen:

- kein Spannungsabfall über T1, wenn dieser eingeschaltet ist bzw. kein Spannungsabfall in Rückwärtsrichtung, wenn ein Stromfluss durch T2 stattfindet
- die Spannungen U_{BN} und U_{DSK} werden als konstant angenommen
- es liegt der nicht lückende-Betrieb vor

Der Arbeitspunkt liegt bereits im eingeschwungenen Zustand. Der Strom i_L besitzt zum Ende jeder Periode die gleiche Amplitude wie zu Beginn von T_p . Das bedeutet, dass die Energiebilanz der Induktivität während einer Periode null ist. Anders ausgedrückt müssen die Spannungszeitflächen und damit auch der Mittelwert I_L , über eine Periodendauer null sein müssen, wenn der eingeschwungene Zustand vorliegt. Selbiges gilt für die Stromzeitflächen von i_{C1} und i_{C2} . Es fließt ein konstanter Strom I_{BN} in den Knoten K1 hinein und ein konstanter Strom I_{DSK} aus dem Knoten K_2 heraus (siehe Abbildung 3.2a). Aufgrund der zuvor getroffenen Idealisierungen berechnet sich der Wirkungsgrad zu:

$$\eta = \frac{P_{DSK}}{P_{BN}} = \frac{I_{DSK} \cdot U_{DSK}}{I_{BN} \cdot U_{BN}} = 1 \quad (3.1)$$

Die Ausgangsspannung ergibt sich über das Tastverhältnis a_{T1} zu:

$$U_{DSK} = a_{T1} \cdot U_{BN} = \frac{t_{ein,1}}{T_p} \cdot U_{BN} \quad (3.2)$$

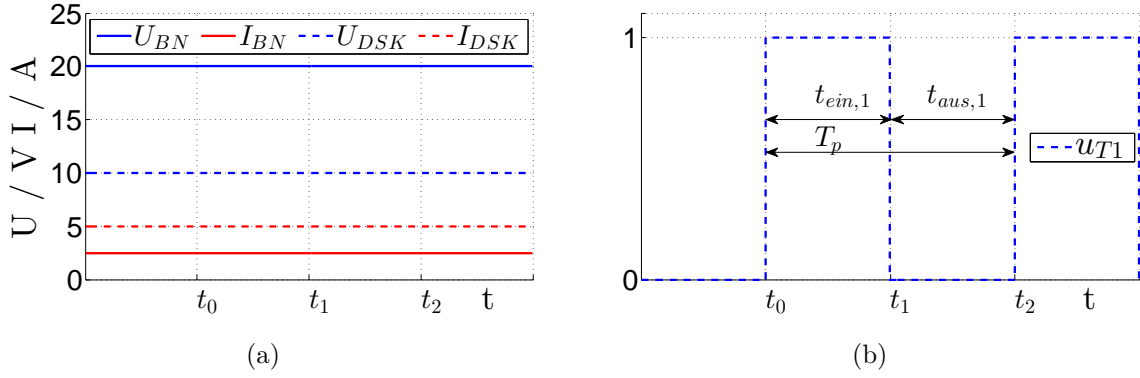


Abbildung 3.2: (a) zeitliche Verläufe der Eingangs- und Ausgangsströme und Spannungen (b) Ansteuersignal von T1

U_{DSK} kann daher im Idealfall maximal so groß werden die U_{BN} .

$t_0 \leq t \leq t_1$: **T1 eingeschaltet** Der obere Schalter aus Abbildung 3.1 sei nun für die Zeitdauer $t_{ein,1}$ eingeschaltet (siehe Abbildung 3.2b). Der Schalter T2 sperrt, wie in Abbildung 3.3b dargestellt, die Bordnetzspannung U_{BN} . $i_{D,2}$ ist während dieses Zeitintervalls gleich null. Für den Strom $i_{D,1}$ ergibt sich nach der Knotenpunktregel an dem Knoten K_3 :

$$i_{D,1} = i_L \quad (3.3)$$

Anhand der Masche M1 erhalten wir:

$$u_{DS,1} = 0 \quad (3.4)$$

$$u_{DS,2} = U_{BN} \quad (3.5)$$

Die Masche M2 liefert die Spannungsgleichung für die Speicherdrossel:

$$u_L = U_{BN} - U_{DSK} \quad (3.6)$$

Aufgrund der Tatsache, dass die BN Spannung U_{BN} größer ist als die Spannung am DSK, liegt an der Induktivität eine konstante positive Spannung an (Abbildung 3.3b). Es ergibt sich dadurch ein linear ansteigender Stromverlauf während $t_0 \leq t \leq t_1$, wie dies durch Formel (3.8) und Abbildung 3.3a bestätigt wird.

$$i_L(t) = \frac{1}{L} \cdot \int_{t_0}^t u_L \cdot dt \quad (3.7)$$

$$i_L(t) = \frac{1}{L} \cdot (U_{BN} - U_{DSK}) \cdot (t - t_0) + i(t_0) \quad (3.8)$$

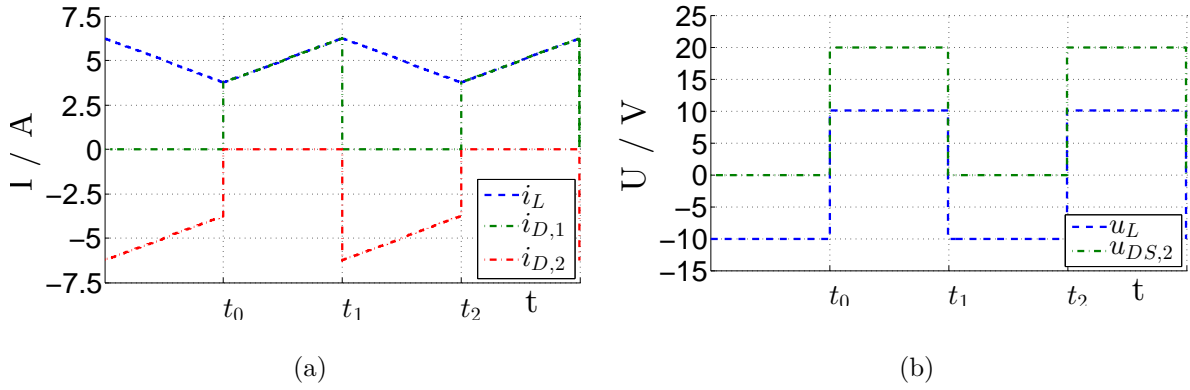


Abbildung 3.3: (a) zeitliche Verläufe der Ströme des Knoten K3 (b) zeitliche Verläufe der Induktivitätsspannung u_L sowie der Spannung u_{DS2}

$t_1 \leq t \leq t_2$: T1 ausgeschaltet

$t_1 \leq t \leq t_2$: **T1 ausgeschaltet** Schaltet T1 aus, kommutiert der Strom von T1 auf die interne Diode von T2. Es fließt daher ein negativer Strom $i_{D,2}$ für die Dauer von t_{aus} . T1 sperrt, wodurch $i_{D,1} = 0$ gilt. Die Spannungen ergeben sich daraus zu:

$$u_{DS,1} = U_{BN} \quad (3.9)$$

$$u_{DS,2} = 0 \quad (3.10)$$

An L liegt nun eine negative Spannung (siehe Abbildung 3.3b):

$$u_L = -U_{DSK} \quad (3.11)$$

Infolgedessen führt die Spannungszeitfläche an der Induktivität L zu einem linear absinkenden Strom i_L (Abbildung 3.3a):

$$i_L(t) = \frac{1}{L} \cdot \int_{t_1}^t u_L \cdot dt \quad (3.12)$$

$$i_L(t) = \frac{1}{L} \cdot (-U_{DSK} \cdot (t - t_1)) + i(t_1) \quad (3.13)$$

3.1.2 Synchron-TSS

Im vorherigen Kapitel 3.1.1 wurde die Schaltung aus Abbildung 3.1 als TSS betrieben, wobei nur T1 angesteuert wurde. Im Synchronbetrieb schaltet zusätzlich T2 immer dann ein, wenn T1 ausschaltet². Der Grund dafür ist in Kapitel 2.4.1 in Abbildung 2.10 im

²Im TSS Betrieb wird T2 auch als Sync-FET bezeichnet. Im HSS Betrieb ist T2 hingegen der steuernde LHL und T1 übernimmt die Rolle des Sync-FET

dritten Quadranten des Ausgangskennlinienfeldes ersichtlich. Bei $u_{GS} = 0\text{ V}$ wird der eGaN-FET erst bei $u_{DS} = -1,5\text{ V}$ über die interne Body-Diode leitfähig. Verglichen mit einem Si MOSFET, bei dem eine Schwellspannung von $-0,7\text{ V}$ bei $u_{GS} = 0\text{ V}$ erforderlich ist, ergeben sich dadurch doppelt so hohe Durchlassverluste. Zur Minimierung dieser Verluste wird T2 nach einer kurzen Totzeit mit einer positiven Gate-Source-Spannung u_{GS2} angesteuert, wodurch der Kanal des eGaN-FET den Strom übernimmt und für einen geringeren Spannungsabfall sorgt. Der Arbeitspunkt liegt dann auf der linearen Kennlinie im dritten Quadranten. Besonders für Anwendungen, bei denen hohe Lastströme fließen, sorgt das Synchrongleichrichten für eine deutliche Verbesserung des Wirkungsgrades [51].

Im Folgenden werden die zeitlichen Verläufe von Spannungen und Strömen des Synchron-TSS beschrieben. Zur Veranschaulichung dient Abbildung 3.4.

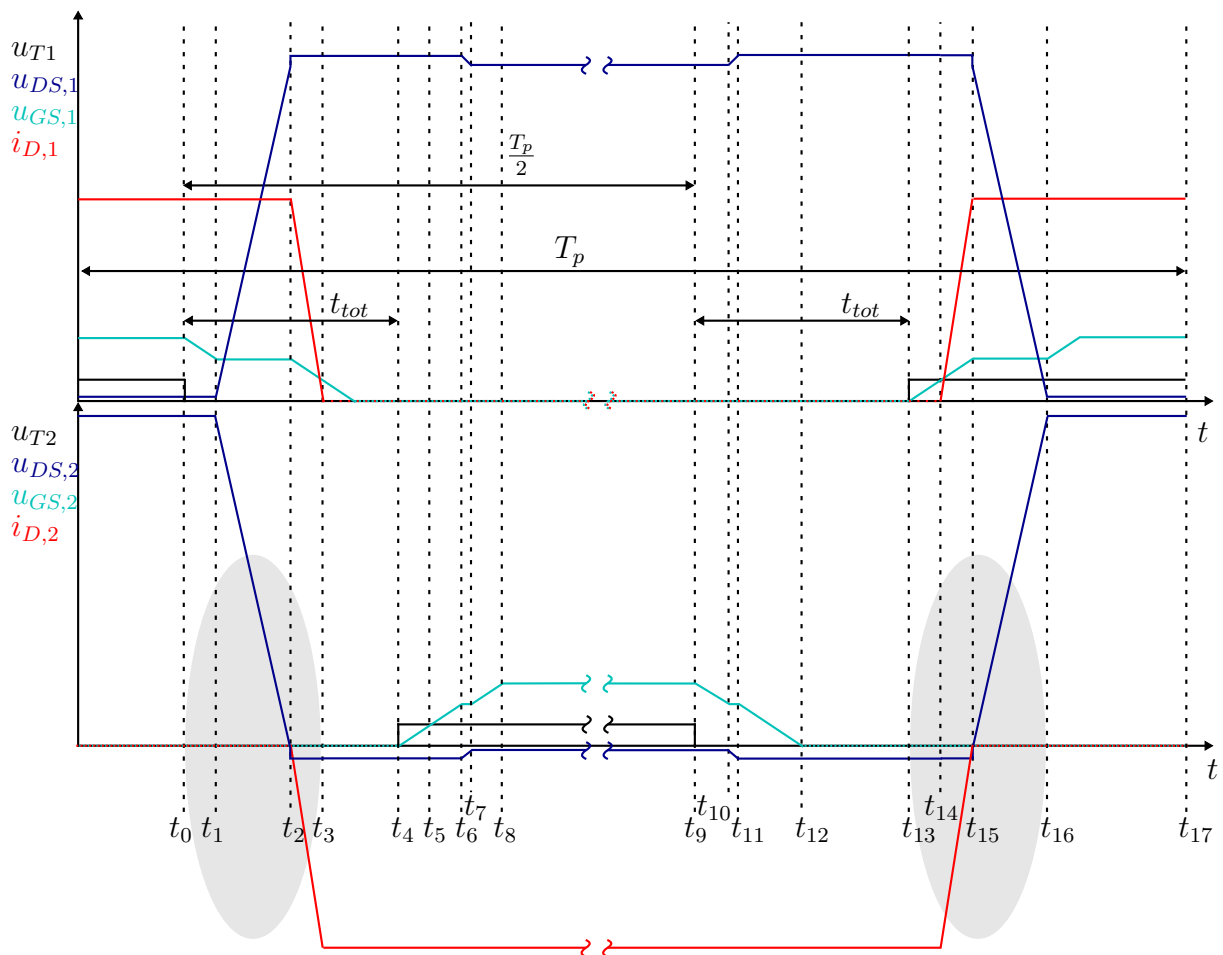


Abbildung 3.4: zeitliche Verläufe eines Synchron-TSS

Im Gegensatz zu Kapitel 3.1.1, wird im Folgenden die Body-Diode nicht als ideal angenommen und verursacht bei Stromführung einen Spannungsabfall. Für Zeiten $t < t_0$ ist T1 ein- und T2 ausgeschaltet. Bei t_0 schaltet T1 aus. Dies ist jedoch nicht sprunghaft möglich. Aus den Grundlagen zum dynamischen Verhalten in Kapitel 2.4.2 wissen wir bereits, dass

die Schaltvorgänge mit endlicher Geschwindigkeit geschehen. Beim Ausschalten erfolgt zunächst eine Ausschaltverzögerungszeit. Daraufhin wird die Kapazität $C_{GD,1}$ geladen, was zu einem Anstieg von $u_{DS,1}$ führt. Zum Ende des Millerplateaus ist die Spannung u_{DS2} bereits auf 0 V abgesunken. Ab t_2 beginnt die Stromkommutierung von T1 auf die Body-Diode von T2. Dadurch baut sich eine negative Spannung $u_{DS2} = -U_{TH}$ auf. Während t_1 bis t_3 sind die Schaltverluste am unteren Schalter nahezu null. T1 schaltet hingegen hart ein, wodurch Schaltverluste die Folge sind. Bei t_3 ist T1 vollständig ausgeschaltet. Mit t_4 setzt der Einschaltvorgang, von T2 ein. Die Zeitspanne von t_0 bis t_4 bezeichnet man als Totzeit t_{tot} . Diese ist notwendig um einen Brückenkurzschluss zu verhindern. Das Ziel sollte es sein, die Zeit t_d soweit zu verkürzen, dass ein stabiler Betrieb gewährleistet wird und dabei minimale Durchlassverluste entstehen. Während des Einschaltvorganges von T2 beginnt die Stromkommutierung zwischen der internen Body-Diode und dem Kanal des eGaN-FET, wodurch sich nach t_7 ein geringerer Durchlassspannungsabfall einstellt. Ab t_9 beginnt der Ausschaltvorgang von T2. Mit dem Ausschalten von T2 findet zunächst der Stromwechsel auf die Body-Diode statt, wodurch sich der Spannungsabfall $u_{DS,2}$ erhöht. Dies macht sich an der Überhöhung in $u_{DS,1}$ kurz nach Einsetzen des Totzeitintervalls bemerkbar. Ab t_{13} ist t_d beendet und der obere Schalter beginnt einzuschalten. Genau wie beim Ausschalten von T1 stellen sich an T2 keine Schaltverluste während t_{13} bis t_{16} ein.

Die in Abbildung 3.4 dargestellten zeitlichen Verläufe sind stark vereinfacht. Sie genügen jedoch, um die prinzipiellen Abläufe zu beschreiben. Darauf aufbauend wird später eine Verlustleistungsrechnung für T1 und T2 in Kapitel 3.3 vollzogen. In der Realität beeinflussen parasitäre Elemente innerhalb der Schaltung das Schaltverhalten derart, dass es zu Fehlfunktionen kommen kann, so z.B. zu einem Brückenkurzschluss. Die Ursache ist das fehlerhafte Einschalten des sperrenden eGaN-FETs, während des Schaltvorganges des komplementären Transistors. Im folgenden Abschnitt werden die Schwierigkeiten der schnellen Schaltvorgänge von eGaN-FETs aufgegriffen, die es beim Verwenden der Schalter zu beachten gilt. Es werden zudem Gegenmaßnahmen beschrieben, um Störungen oder Fehlfunktionen beim Entwurf bzw. während der Inbetriebnahme einer Schaltung unter Verwendung von eGaN-FETs zu beseitigen oder zu minimieren.

3.2 Fehlfunktionen und Problemlösungen

Die Schaltzeiten der Spannungs- und Stromflanken von eGaN-FETs liegen im einstelligen ns-Bereich [3] [58]. Bei einer gleichzeitig niedrigen Schwellspannung sind sie insbesondere gegenüber Störungen im Gatekreis empfindlich. Nicht nur Fehlfunktionen, sondern auch EMV-Aspekte werden umso wichtiger, je steiler die Flanken werden.

3.2.1 du/dt Immunität

Bei einem Einschaltvorgang des HS-eGaN-FET kann es zu einem fehlerhaften Einschalten des Sync-FET (LS-eGaN-FET im TSS Betrieb) kommen, obwohl dieser ausgeschaltet ist³. Dieser fehlerhafte Einschaltvorgang und der damit verbundene Brückenkurzschluss, sorgt für zusätzliche Verluste und Gateoszillationen und kann sogar zu einer Zerstörung der LHL führen [59]. Abbildung 3.5 zeigt das vereinfachte ESB des LS-eGaN-FET zur Beschreibung des Verhaltens während des $\frac{du_{DS}}{dt}$. Die Kapazität $C_{GD,2}$ bildet zusammen mit der Parallelschaltung aus $C_{GS,2}$ und dem Gatewiderstand $R_{G,2}$ einen Spannungsteiler. Kommt es zu einem Einschaltvorgang des HS-eGaN-FET, wird $C_{GD,2}$ umgeladen. Der

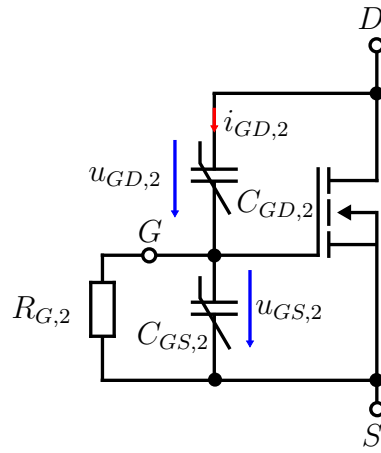


Abbildung 3.5: ESB des LS-eGaN-FET während des $\frac{du_{DS}}{dt}$ (in Anlehnung an [11])

kapazitive Strom $i_{GD,2}$ sorgt für ein Aufladen der Gate-Source-Kapazität $C_{GS,2}$. Um ein Einschalten des LS-eGaN-FET zu verhindern, muss gewährleistet sein, dass $U_{GS,2} < U_{TH,2}$ ist. Die während des Schaltvorgangs auftretende Gate-Source-Spannung errechnet sich nach [11]:

$$U_{GS,2} = R_{G,2} \cdot C_{GD,2} \cdot \frac{U_Z}{t_{miller}} \cdot \left(1 - e^{-\frac{t}{R_{G,2} \cdot (C_{GD,2} + C_{GS,2})}} \right) \quad (3.14)$$

Für das $\frac{du_{DS}}{dt}$ wurde ein linearer Spannungsanstieg von 0 V bis U_Z während der Spannungsfanke (t_{miller}) angenommen. Anhand von Formel (3.14) lassen sich Lösungsmöglichkeiten zur Verhinderung eines $\frac{du}{dt}$ -bedingten “false turn on“ formulieren:

- Verkleinerung von $R_{G,2}$
- Verringerung des $\frac{du_{DS,1}}{dt}$

³Umgekehrt kann es im HSS Betrieb zum Einschalten des Synchron-FET (HS-eGaN-FET) kommen, wenn der LS-eGaN-FET einschaltet

- Verwendung von Transistoren mit kleinem $C_{GD,2}$ / höherem $C_{GS,2}$
- Erhöhung von $U_{TH,2}$ (nur mit anderem Transistor möglich)
- negative Spannungsversorgung des Synchron-FET

Eine weitere Möglichkeit zur Bestimmung, ob ein false turn on in Erscheinung tritt, ergibt sich aus dem folgenden Verhältnis [60]:

$$\frac{Q_{GD,2}}{Q_{GS,2,TH}} = \left(\frac{C_{GD,2} \cdot (U_{DS,2} - U_{TH,2})}{C_{GS,2} \cdot U_{TH,2}} \right) < 1 \quad (3.15)$$

$Q_{GD,2}$ ist die Ladung von C_{GD} bei einer bestimmten Drain-Source-Spannung und $Q_{GS,2,TH}$ ist die Ladung von $0V < U_{GS,2} \leq U_{TH,2}$. Um ein fehlerhaftes Einschalten zu verhindern, muss das Ladungsverhältnis kleiner 1 sein. Aufgrund der direkten Proportionalität zwischen der Ladung $Q_{GD,2}$ und der Spannung $U_{DS,2}$ neigen Schaltungen mit höheren Zwischenkreisspannungen eher zu einem false turn on als bei Niederspannungsanwendungen.

3.2.2 di/dt Immunität

Der Serienschwingkreis aus $R_{G,2}$, $C_{GS,2}$ und $L_{S,2}$ (siehe Abbildung 2.11) kann im Falle eines hohen positiven $\frac{di}{dt}$ (beim Einschalten des HS-eGaN-FET) zum Schwingen angeregt werden, wobei die Gate-Source-Spannung die Schwellspannung U_{TH} überschreiten kann. Ein Erhöhen des Gatewiderstandes des LS-eGaN-FET bedämpft diese Schwingung, wirkt sich jedoch nachteilig auf die $\frac{du}{dt}$ Immunität aus. Besser ist die Verwendung eines Packages mit minimalem L_S , um die Rückwirkung auf den Gatekreis zu reduzieren [6, 47f.].

3.2.3 Gleichtaktströme

Das Potential φ_S unterliegt einem ständigen Wechsel zwischen der BN-Spannung und dem 0V-Potential. Dieser Wechsel erfolgt bei eGaN-FETs mit einem $\frac{du}{dt}$ von $100 \text{ Vn}^{-1}\text{s}^{-1}$ und mehr [6, S. 50]. Die galvanische Trennung (Optokoppler, digitaler Isolator) des Logiksignals des HS Treibers sowie die Spannungsversorgung mittels isoliertem DC/DC Wandler, besitzen eine kleine, jedoch nicht zu vernachlässigende, parasitäre Kapazität C_p zwischen ihrem Ein- und Ausgang. Über $i_{Cp} = C_p \cdot \frac{du_{DS}}{dt}$ ergibt sich ein kapazitiver Strom. Die hochfrequenten Ströme rufen in den Leitungsinduktivitäten Spannungsabfälle hervor, die ihrerseits zu einem Wechsel des Logikzustandes des digitalen Isolators führen können. Dieses Problem wird auch als Ground Bounce bezeichnet [61]. Um den kapazitiven Strom zu minimieren sollte daher bei der Bauteilwahl auf eine minimale Kapazität C_p geachtet werden. Zudem ist im Datenblatt von digitalen Isolatoren und isolierten Treibern häufig eine Angabe für die $\frac{du}{dt}$ Immunität zu finden. Ein Wert von $50 \text{ Vn}^{-1}\text{s}^{-1}$ und höher ist für die eGaN-FET Technologie erforderlich. Ein weiterer wichtiger Aspekt betrifft das

Leiterplattenlayout. Es sollte darauf geachtet werden, dass sich die GND Fläche nicht mit der Fläche des Schaltknotens (φ_S) überlagert, da sich ansonsten eine zusätzliche parasitäre Kapazität ausbildet und zu einem vergrößerten Strom i_{Cp} führt. Des Weiteren besteht die Möglichkeit, die Gleichtaktströme weiter einzudämmen. Zu diesem Zweck wird an den Eingang des digitalen Isolators und an den Eingang des DC/DC Wandlers des HS-eGaN-FET eine Gleichtaktdrossel geschaltet. Der digitale Isolator benötigt dazu eine Gleichtaktdrossel mit drei Wicklungen, da sich die Gleichtaktströme auf der Versorgungs-, der Signal- und der ground (GND)-Leitung ausbreiten können [62].

3.2.4 Switch Node Ringing

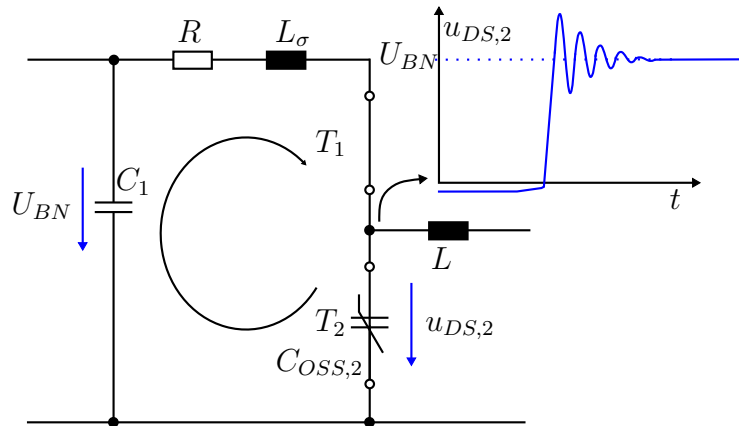
Eine Problematik aus Sicht der EMV ist das sogenannte “Switch Node Ringing“ [63]. Hierbei kommt es zu einer Oszillation der Spannung $u_{DS,2}$ am LS Transistor, sobald der HS Transistor einschaltet.

Das Verhalten lässt sich wie folgt erklären: Während des Einschaltvorgangs des HS Transistors kommutiert zunächst der Strom von der Body-Diode (der untere Transistor ist aufgrund der Totzeit ausgeschaltet) auf den HS Transistor. Sobald der Laststrom vollständig durch den oberen Transistor fließt, beginnt der untere Transistor zu sperren. Das hohe $\frac{du}{dt}$ führt zu einer kapazitiven Stromspitze innerhalb der Kommutierungsschleife. Die Energie des Magnetfeldes von L_σ steigt daraufhin an. Nachdem der untere Transistor die Eingangsspannung U_{BN} sperrt, treibt L_σ den Strom weiter. Zur Last kann dieser Strom nicht fließen, da die Ausgangsinduktivität zu hochohmig ist. Stattdessen wird die Ausgangskapazität $C_{OSS,2}$ weiter aufgeladen und es kommt zur Oszillation der Ausgangsspannung. Problematisch wird es, wenn die auftretende Oszillation, in Summe mit der anliegenden Gleichspannung U_{BN} , die Sperrspannung des Transistors überschreitet. Weiterhin verursachen die Schwingungen sowohl leitungsgebundene und gestrahlte Störungen [64] [65] [66].

Ursächlich für die auftretenden Oszillationen ist ein Reihenschwingkreis innerhalb der Kommutierungsschleife (Abbildung 3.6) [67]. Dieser setzt sich aus der Schleifeninduktivität L_σ , der Ausgangskapazität $C_{OSS,2}$ (vorrangig $C_{DS,2}$, da $C_{DS,2} \gg C_{GD,2}$) des LS-eGaN-FET und den darin befindlichen ohmschen Anteilen zusammen. Die Kapazität des Zwischenkreises kann vernachlässigt werden, da $C_1 \gg C_{OSS,2}$.

Die **Oszillationsfrequenz** wird daher durch L_σ und $C_{OSS,2}$ gemäß Formel 3.16 festgelegt [65]:

$$f_R = \frac{1}{2 \cdot \pi \sqrt{L_\sigma \cdot C_{OSS,2}}} \quad (3.16)$$


 Abbildung 3.6: Reihenschwingkreis bestehend aus L_σ , $C_{OSS,2}$ und R

Bei späteren Messungen ermöglicht Formel 3.16 die Bestimmung von L_σ , da die Frequenz der Schwingung mit dem Oszilloskop bestimmt werden kann und der Wert der spannungsabhängigen Ausgangskapazität aus dem Datenblatt gewonnen wird.

Als Lösungsmöglichkeiten zur Minimierung der **Oszillationsamplitude** bieten sich folgende Möglichkeiten an:

- bei der Layout-Erstellung
 - Minimierung von L_σ [52]
- hinsichtlich nachträglicher Zusatzbeschaltungen
 - Verringerung des $\frac{du}{dt}$
 - * Anpassung des $R_{Gon,1}$ des HS-eGaN-FET (im Falle eines Treibers mit separaten Ein- und Ausschaltwiderständen)
 - * Verwendung eines Bootwiderstandes (Serienwiderstand zur Spannungsquelle des HS Treibers) [63] [65]
 - Bedämpfung der Oszillationen
 - * Hinzufügen eines parallelen RC-Snubbers zum LS-eGaN-FET [63][65]
 - * Einfügen eines RL-Snubbers in die Kommutierungsschleife [63] [67]

Mit Zunahme des Laststromes erhöht sich ebenfalls die Oszillationsamplitude von $u_{DS,2}$, da die in L_σ gespeicherte Energie quadratisch mit dem Laststrom zunimmt 3.17 [63] .

$$E_{L_\sigma} = \frac{1}{2} \cdot L_\sigma \cdot I_{DSK}^2 \quad (3.17)$$

Das Ziel ist es, durch ein gutes Layout ein minimales L_σ anzustreben, um so die Oszillationsamplitude so gering wie möglich zu halten und folglich die Sperrspannung der LHLs nicht zu überschreiten.

3.3 Verlustleistungsrechnung

In diesem Kapitel werden die Komponenten vorgestellt, die den größten Anteil an den Gesamtverlusten des Synchronwandlers tragen. Zusätzlich werden Berechnungsformeln vorgestellt, um die Verluste des Wandlers abschätzen zu können.

3.3.1 eGaN-FETs

Bei Leistungshalbleitern treten im Synchronbetrieb vier verschiedene Arten von Verlusten auf. Zu unterscheiden sind Schaltverluste, Durchlassverluste, Sperrverluste und Ansteuerverluste. Auf die Berechnung der Sperr- und Ansteuerverluste wird verzichtet, da diese vernachlässigbar klein sind. Es muss zwischen dem steuernden eGaN-FET (T1) und dem Synchron-eGaN-FET (T2) unterschieden werden. Tabelle 3.1 zeigt die Verlustanteile mit Zuordnung zu T1 und T2. Im Folgenden werden die analytischen Formeln für die Schalt- und Durchlassverluste vorgestellt.

Tabelle 3.1: Verluste der eGaN-FETs im Synchron-TSS-Betrieb

LHL	Schaltverluste		Durchlassverluste	
	$P_{S,ein}$	$P_{S,aus}$	P_D	P_{tot}
T1 (steuernder eGaN-FET)	X	X	X	-
T2 (Synchron-eGaN-FET)	-	-	X	X

Schaltverluste

Die Schaltverluste berechnen sich aus den Einschaltverlusten $P_{S,ein}$ und den Ausschaltverlusten $P_{S,aus}$. Zur einfacheren Berechnung wird für die Strom- und Spannungsflanke ein lineares Segment angenommen (siehe Abbildung 3.4 die zeitlichen Verläufe $u_{DS,1}$ und $i_{D,1}$: Ausschalten: $t_1 - t_3$; Einschalten: $t_{14} - t_{16}$).

Einschaltverluste Die Einschaltverluste berechnen sich aus den 3 Termen I , II und III aus Formel 3.19. I und II sind die Verluste, die sich aufgrund der ansteigenden Stromflanke bzw. der fallenden Spannungsflanke ergeben. Die am LHL anliegende BN Spannung U_{BN}

(*I* und *II*) wird, wie in Kapitel 2.4.2 gezeigt, während des Einschaltvorgangs um die induzierte Spannung U_σ verringert [68, S.22].

$$P_{S,ein} = E_{S,ein} \cdot f \quad (3.18)$$

$$P_{S,ein} = \underbrace{\frac{1}{2} \cdot f \cdot I_L \cdot (U_{BN} - U_\sigma) \cdot t_{ri}}_I + \underbrace{\frac{1}{2} \cdot f \cdot I_L \cdot (U_{BN} - U_\sigma) \cdot t_{fu}}_II + \underbrace{\frac{2}{3} \cdot f \cdot C_{DS}(U_{BN}) \cdot U_{BN}^2}_{III} \quad (3.19)$$

Die Einschaltverluste werden um den Betrag der in der Drain-Source-Kapazität gespeicherten Energie *III* erhöht. Die Kapazität entlädt sich während des Einschaltvorgangs über den Kanal des eGaN-FET. Diese Verluste kommen besonders, dann zum tragen wenn die Spannung $U_{BN} > 100V$ beträgt [69, S. 98 f.]. Die Formel berücksichtigt zudem die Nichtlinearität von C_{DS} mit Hilfe einer Approximationsformel. Zur noch genaueren Berechnung der Schaltverluste kann die kapazitive Überstromspitze des eGaN-FET T2 ($C_{DS,2}$ wird geladen, s. Kap. 2.4.2) zusätzlich zum Drainstrom $i_{D,1}$ hinzugefügt werden. Zugunsten der Einfachheit wurde darauf verzichtet.

Ausschaltverluste Die Ausschaltverluste setzen sich aus den 2 Termen nach Formel 3.21 zusammen. In Term *II* wird U_{BN} während der Stromflanke sowohl um U_σ als auch um $U_{DS,REV}$ erhöht, da der Strom auf die Body-Diode des LS-eGaN-FET kommutiert [68, S.23].

$$P_{S,aus} = E_{S,aus} \cdot f \quad (3.20)$$

$$P_{S,aus} = \underbrace{\frac{1}{2} \cdot f \cdot I_L \cdot U_{BN} \cdot t_{ru}}_I + \underbrace{\frac{1}{2} \cdot f \cdot I_L \cdot (U_{BN} + U_\sigma + U_{DS,REV}) \cdot t_{fi}}_II \quad (3.21)$$

Approximation der Schaltzeiten Die Bestimmung der Schaltzeiten für t_{fu} und t_{ru} erfolgt über die in C_{GD} gespeicherte Ladung und den während des Millerplateaus als konstant angenommenen Gatestrom I_G [68, S.24].

$$t_{fu} \approx \frac{Q_{GD}(U_{BN})}{I_{G,ein}} = \frac{Q_{GD}(U_{BN}) \cdot R_{G,ein}}{U_{Tr} - U_{GS,miller}} \quad (3.22)$$

$$t_{ru} \approx \frac{Q_{GD}(U_{BN})}{I_{G,aus}} = \frac{Q_{GD}(U_{BN}) \cdot R_{G,aus}}{U_{Tr} + U_{GS,miller}} \quad (3.23)$$

Die Formel 3.23 verwendet eine negative Spannung beim Ausschalten, wie es bei eGaN-FETs üblich ist [49, S.24]. Auf eine Berechnung von t_{ri} und t_{fi} wird verzichtet.

Durchlassverluste

Wie in Tabelle 3.1 aufgelistet, wird zwischen den Durchlassverlusten bei eingeschaltetem eGaN-FET (P_D , Vorwärts- oder Rückwärtsleitung über den Kanal des eGaN-FET) und ausgeschaltetem eGaN-FET (P_{tot}) während der Totzeit t_{tot} unterschieden.

P_D Die Durchlassverluste bei eingeschaltetem Transistor berechnen sich aus dem Produkt des quadratischen Effektivwerts des Drainstroms und dem temperaturabhängigen $R_{DS(on)}$ [70] nach Formel 3.24.

$$P_D = \frac{1}{T} \cdot \int_0^{t_{ein}} i_D^2 \cdot R_{DS(on)}(\vartheta_J) \cdot dt$$

$$P_D = R_{DS(on)}(\vartheta_J) \cdot I_{D,Eff}^2 \quad (3.24)$$

Für die Effektivwerte der Drainströme der HS- und LS-Transistoren gilt [70]:

$$I_{D,1,Eff} = \sqrt{a_{T1} \cdot \left(I_{DSK}^2 + \frac{I_{\Delta}^2}{12} \right)} \quad (3.25)$$

$$I_{D,2,Eff} = \sqrt{(1 - a_{T1}) \cdot \left(I_{DSK}^2 + \frac{I_{\Delta}^2}{12} \right)} \quad (3.26)$$

P_{tot} Die Totzeit-Durchlassverluste betragen [6, S.97]:

$$P_{tot} = f_S \cdot U_{DS,REV} \cdot I_{DSK} \cdot 2 \cdot t_{tot} \quad (3.27)$$

Gesamtverluste der LHL

Die Gesamtverluste der beiden eGaN-FET errechnen sich wie folgt:

$$P_{V,1} = P_{S,ein} + P_{S,aus} + P_D \quad (3.28)$$

$$P_{V,2} = P_D + P_{tot} \quad (3.29)$$

3.3.2 Speicherdrossel

Einen ebenfalls hohen Anteil an den Gesamtverlusten innerhalb eines Synchron-TSSs trägt die Speicherdrossel. Die Verlustkomponenten der Speicherdrossel sind zum einen

Kupferverluste, die aus den Stromwärmeverlusten in den Kupferwicklungen resultieren und zum anderen Kernverluste, bedingt durch das sich zeitlich verändernde Magnetfeld.

Das ESB einer Speicherdrossel kann, wie in Abbildung 3.7 dargestellt, als ein Parallelschwingkreis beschrieben werden. R_S ist eine Serienschaltung aus dem Widerstand der

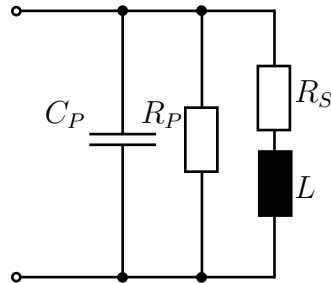


Abbildung 3.7: ESB einer Speicherdrossel nach [12, S.366]

Kupferwicklung R_{Cu} und dem Widerstand R_K , der die Kernverluste repräsentiert (siehe (3.30)).

$$R_S = R_{Cu} + R_K \quad (3.30)$$

L ist die Induktivität der Spule. C_P ist die Wicklungskapazität. Sie sorgt für ein kapazitives Verhalten der Gesamtimpedanz sobald die Resonanzfrequenz f_R des Parallelschwingkreises überschritten ist. R_P steht für die dielektrischen Verluste der Isolation [12, S.366]. Im Folgenden werden die einzelnen Verlustarten detailliert erläutert und anschließend Berechnungsformeln für die Verlustanteile vorgestellt.

Kupferverluste

Die Kupferverluste setzen sich, gemäß Formel (3.31), aus einem DC- und einem AC-Verlustanteil zusammen.

$$P_{Cu} = P_{Cu,DC} + P_{Cu,AC} \quad (3.31)$$

Die Berechnungsformeln für die Verluste werden unter Verwendung eines runden Wicklungsdrahts vorgestellt. Zusätzlich werden die Ursachen für das Auftreten eines von der Frequenz abhängigen Widerstandes $R_{W,AC}$ erläutert.

DC-Kupferverluste Die DC-Kupferverluste berechnen sich nach [71, S.355]:

$$P_{Cu,DC} = R_{W,DC} \cdot I_L^2 \quad (3.32)$$

$R_{W,DC}$ ist der DC-Widerstand der Wicklung und I_L ist der Gleichanteil des Drosselstromes.

AC-Kupferverluste Die AC-Kupferverluste $P_{Cu,AC}$ sind die Folge des Skin- sowie des Proximity-Effektes.

Skin-Effekt Das Magnetfeld eines zeitlich veränderlichen Stromes induziert eine Spannung, in dem vom Strom durchflossenen Leiter. Es treten dadurch Wirbelströme auf, welche am Rand des Leiters in Richtung des eingepprägten Stromes fließen und damit die Stromdichte erhöhen. Die Wirbelströme fließen im Inneren des Leiters entgegen dem eingepprägten Strom. Die Stromdichte wird im Inneren des Leiters reduziert. Bei sehr hohen Frequenzen fließt der Strom nur noch auf einer sehr dünnen Haut des Leiters. Daher resultiert der Name Skin-Effekt und Skin-Tiefe. Die Skin-Tiefe sagt aus, wie dick die äquivalente Leitschichtdicke bei hohen Frequenzen ist [71, S.163-S.167]. Über Formel 3.33 lässt sich die Grenzfrequenz f_{GS} bestimmen, die angibt ab wann der Skin-Effekt berücksichtigt werden muss [12, S.268].

$$f_{GS} = 17,2 \text{ kHz} \left(\frac{1 \text{ mm}}{D} \right)^2$$

$$f_{GS}(D = 1,5 \text{ mm}) = 7,66 \text{ kHz} \quad (3.33)$$

Bei einer Drahtdicke von 1,5 mm eines Rundleiters macht sich der Skin-Effekt bereits ab einer Frequenz von $f_{GS} = 7,66 \text{ kHz}$ bemerkbar. Die Grenzfrequenz ist um den Faktor 13 geringer als die Taktfrequenz des Synchronwandlers dieser Arbeit von $f_S = 100 \text{ kHz}$. Damit tritt der Skin-Effekt bereits bei der Grundschiwingung des Stromes i_L in Erscheinung, da der Widerstand $R_{W,AC}$ deutlich gegenüber dem $R_{W,DC}$ zunimmt und ein hoher Wechselanteil des Stromes vorliegt.

Proximity-Effekt Der Proximity-Effekt (von engl. proximity für Nähe / Nachbarschaft) beruht auf dem gleichen Prinzip wie der Skin-Effekt. Zeitlich veränderliche Magnetfelder von benachbarten Leitern beeinflussen sich gegenseitig und führen an den Kontaktstellen der Windungen zu Wirbelströmen und somit zu einer Stromverdrängung in diesem Bereich. Daraus resultiert ein Anstieg des Widerstandes bei höheren Frequenzen des Stromes. Bei mehrlagigen Wicklungen tritt der Proximity-Effekt deutlich stärker in Erscheinung als der Skin-Effekt [71, S. 226].

Berechnung der AC-Kupferverluste Der Strom i_L weist neben dem DC-Anteil auch einen AC-Anteil auf (siehe Formel (3.34)).

$$i_L = I_L + i_l \quad (3.34)$$

Der Strom i_l kann mit Hilfe einer Fourieranalyse als Summe unendlich vieler Sinusschwiungen beschrieben werden. Dabei verursacht jede spektrale Komponente des Stromes

an “seinem“ AC-Widerstand eine Verlustleistung. Der Effektivwert der Grund- und der Oberschwingungen I_n berechnet sich in Abhängigkeit des Aussteuergrades a_{T1} nach Formel (3.35) [71, S.355]:

$$I_n = \frac{1}{\sqrt{2}} \cdot \frac{U_{DSK} \cdot \sin(n \cdot \pi \cdot a_{T1})}{f_S \cdot L \cdot n^2 \cdot \pi^2 \cdot a_{T1}} \quad (3.35)$$

n ist die Ordnung der Oberschwingungen.

Die AC-Kupferverluste berechnen sich analog zu (3.32), wobei sich die Verluste als Summe der n Teilverluste ergeben [71, S.355].

$$\begin{aligned} P_{Cu,AC} &= \sum_{n=1}^{\infty} P_{Cu,AC,n} \\ P_{Cu,AC} &= \sum_{n=1}^{\infty} R_{W,AC,n} \cdot I_n^2 \end{aligned} \quad (3.36)$$

Damit ist im letzten Schritt die Berechnungsformel des AC-Widerstandes erforderlich, um die AC-Kupferverluste nach Formel (3.36) berechnen zu können.

Der Widerstand einer Wicklung mit rundem Querschnitt berechnet sich nach Formel (3.37) [71, S.327]:

$$R_{W,AC,n} = \frac{4 \cdot l_W \cdot (2 \cdot N_L^2 + 1)}{3 \cdot \pi} \cdot \left(\frac{\pi}{4}\right)^{0,75} \cdot \sqrt{\frac{\pi \cdot \rho_W \cdot \mu_0 \cdot f_n}{p \cdot d}} \quad (3.37)$$

l_W ist die Länge der Wicklung, N_L ist die Anzahl an Wicklungslagen, p der Abstand der Mittelpunkte zwei benachbarter Leiter, d der Leiterdurchmesser, ρ_W der spezifische Widerstand eines Leitermaterials, f_n die Frequenz der Oberschwingung und μ_0 die magnetische Feldkonstante.

Kernverluste

Hystereseverluste Der Zweck einer Speicherdrossel folgt seinem Namen. Sie speichert in ihrem Magnetfeld H Energie. Die Differenz zwischen der während t_{ein} aufgenommenen und der in t_{aus} abgegebenen Energie ist jedoch ungleich null. Die Ursache hierfür ist das nichtlineare Verhalten der relativen Permiabilität μ_r des Kernmaterials der Speicherdrossel. Veranschaulicht wird die Nichtlinearität mit Hilfe der Magnetisierungskennlinie (siehe Abbildung 3.8) des jeweiligen magnetischen Werkstoffes. Die Spulen bestehen größtenteils aus ferro- und ferrimagnetischen Kernmaterialien, da sie eine hohe relative Permiabilität besitzen und dadurch ein äußeres angelegtes Magnetfeld verstärken. Bei einem sich zeitlich ändernden Magnetfeld folgen die magnetischen Dipole dem angelegten äußeren Magnetfeld

$H(t)$. Dabei kommt es zu Verschiebungen der Weißschen Bezirke, d.h. zur Verrichtung mechanischer Arbeit, welche sich in Form von Wärme äußert. Die tatsächliche Hystereseschleife

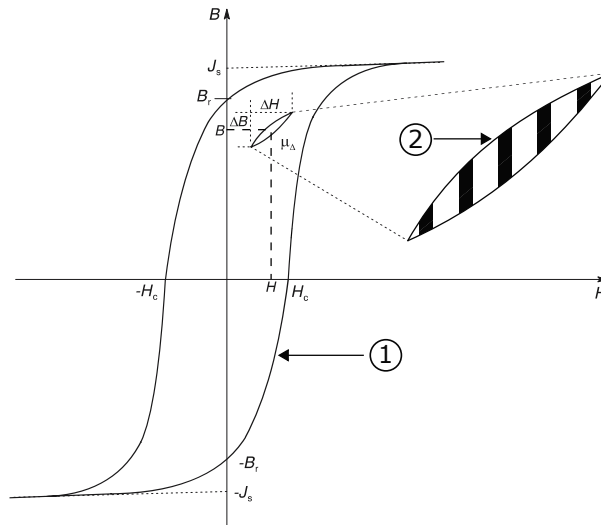


Abbildung 3.8: Hystereseschleife einer Speicherdrossel mit zeitlich konstantem und wechselndem Magnetfeld H . Abbildung aus [12, S.358] übernommen und geändert

der Speicherdrossel eines TSSs unterscheidet sich zum Verlauf der Schleife 1 in Abb. 3.8. Der Strom $i_L \cdot N$ ruft ein statisches und sich zeitlich veränderndes Magnetfeld hervor. Es stellt sich ein Arbeitspunkt (aufgrund des statischen Magnetfeldes) ein, welcher von einer kleinen Fläche (2 in Abbildung 3.8) umhüllt wird. Diese Fläche wird während einer Periode T_P einmal umlaufen. Das Integral dieser Fläche multipliziert mit der Taktfrequenz des Wandlers und dem Volumen des Kernmaterials, liefert die Hystereseverluste P_H (siehe (3.38)).

$$P_H = V_K \cdot f \cdot \int H \cdot dB \quad (3.38)$$

Es gilt daher: Hystereseverluste sind Frequenz-, Aussteuerungs-, Volumen- und Materialabhängig (die Hystereseschleife ist durch das Kernmaterial festgelegt, für hochfrequente Anwendungen werden weichmagnetische Materialien bevorzugt). Ein zeitlich konstantes Magnetfeld führt zu keinen Hystereseverlusten [72, S.183-208] [71, S.109 f.].

Wirbelstromverluste Aufgrund der zeitlichen Änderung des magnetischen Feldes wird nach dem Induktionsgesetz in einem leitfähigen Kernmaterial eine Spannung induziert. Die Folge sind Wirbelströme. Zur Minimierung dieser Verlustkomponente, verwendet man bspw. Pulverkerne. Die einzelnen Legierungspartikel sind durch ein isolierendes Material in die gewünschte Kernform gepresst. Dadurch wird die elektrische Leitfähigkeit des Materials gesenkt. Es ergeben sich dadurch geringere Wirbelstromverluste. Das Auftreten

von Wirbelströmen erhöht zusätzlich die Hystereseverluste [71, S. 106f.]. Die Höhe der Wirbelströme hängt ab von [71, S.113]:

- Kerngröße
- Kernform
- Kernmaterial
- Amplitude des Stromes
- Stromform

Steinmetzformel Die Kernverluste werden häufig aus der Multiplikation der Steinmetzformel P_k mit dem Kernvolumen V_K nach Formel (3.39) bestimmt [71, S.129].

$$P_K = P_k \cdot V_K = k \cdot f^a \cdot B_m^b \cdot V_K \quad (3.39)$$

Diese Formel gilt für einen sinusförmigen Verlauf der magnetischen Flussdichte B_m . k , a und b sind Konstanten und durch das Kernmaterial festgelegt. B_m entspricht der Amplitude von $B(t)$ und V_K dem Volumen des Kerns.

Im Falle eines nicht sinusförmigen Stromes, kann die magnetische Flussdichte als Fourierreihe nach (3.40) dargestellt werden:

$$B(t) = B_{DC} + \sum_{n=1}^{\infty} B_{mn} \cos n\omega t \quad (3.40)$$

Die Verlustleistungsdichte P_k berechnet sich nun aus der Summe der Verlustleistungsdichten P_{kn} der Grundschwingung und den Oberschwingungen bis zu $n = \infty$ (3.41) [71, S.135]:

$$P_k = \sum_{n=1}^{\infty} P_{kn}$$

$$P_k = \sum_{n=1}^{\infty} k_n \cdot (nf)^{a_n} \cdot B_{mn}^{b_n} \quad (3.41)$$

3.4 Parallelbetrieb von Synchronwandlern

Beim Parallelbetrieb werden zwei oder mehrere Wandler, wie in Abbildung 3.9, parallel geschaltet und deren Ansteuerung wird zueinander Phasen verschoben. Deshalb spricht man auch häufig vom “Interleaved Buck beziehungsweise (bzw.) Interleaved Boost Converter“ (engl. interleaved für verzahnt /überlappt). Dies ermöglicht eine Reduzierung des Ausgangsstromrippels Δi_{C_2} und sorgt damit für eine Verkleinerung der Ausgangskapazität C_2 . Die Phasenverschiebung beträgt bei N parallelen Wandlern $\varphi_N = \frac{360^\circ}{N}$ [13].

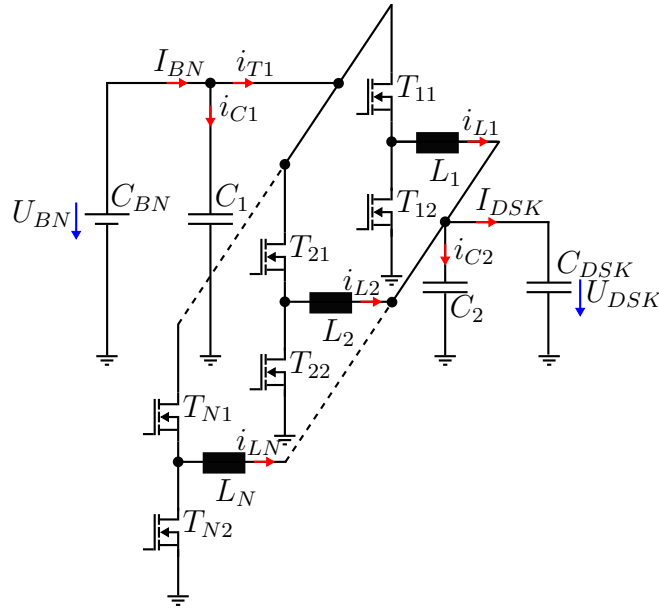


Abbildung 3.9: ESB eines Synchronwandlers mit N Phasen (in Anlehnung an [13])

Der Ausgangsstromrippel in Abhängigkeit von der Phasenzahl N und dem Aussteuergrad a_{T1} lässt sich anhand von Formel (3.42) berechnen und grafisch, wie in Abbildung 3.10, veranschaulichen [13]. m in Formel (3.42) ist das abgerundete Produkt aus $m = N \cdot a_{T1}$.

$$\Delta i_{C2} = \frac{U_{DSK}}{L \cdot f_S} \cdot \left(1 - \frac{m}{N \cdot a_{T1}}\right) (1 + m - N \cdot a_{T1}) \quad (3.42)$$

Abbildung 3.10 zeigt für eine konstante Ausgangsspannung U_{DSK} und Taktfrequenz f_S , sowie einer einheitlichen Induktivität L (je Phase), den normierten Stromrippel des Kondensators C_2 (siehe Abbildung 3.9). Es ist ersichtlich, dass mit steigender Phasenzahl der Stromrippel sinkt. Zudem sind Aussteuergrade vorhanden, bei denen kein Stromrippel vorhanden ist.

Das Filter C_1 profitiert ebenfalls von der phasenversetzten Ansteuerung. Den Verlauf des normierten Effektivstroms des Eingangskondensator C_1 als Funktion des Aussteuergrades nach [13], liefert Darstellung 3.11.

Neben der Verkleinerung der Filter C_1 und C_2 , ergeben sich hinsichtlich der Filterverluste ebenfalls Vorteile. Die Verluste ergeben sich aus dem Produkt des ESR der Filterkondensatoren und dem quadratischen Effektivwert der Kondensatorströme. Aufgrund der geringeren Effektivwerte verringern sich somit auch die Verluste.

Der Ausgangsstrom teilt sich über die einzelnen Phasen auf, daher nimmt mit Zunahme der Phasen der Gleichstrom I_{LN} der N Drosseln ab. Dies führt zu einer Reduktion des Volumens der N Drosseln [73].

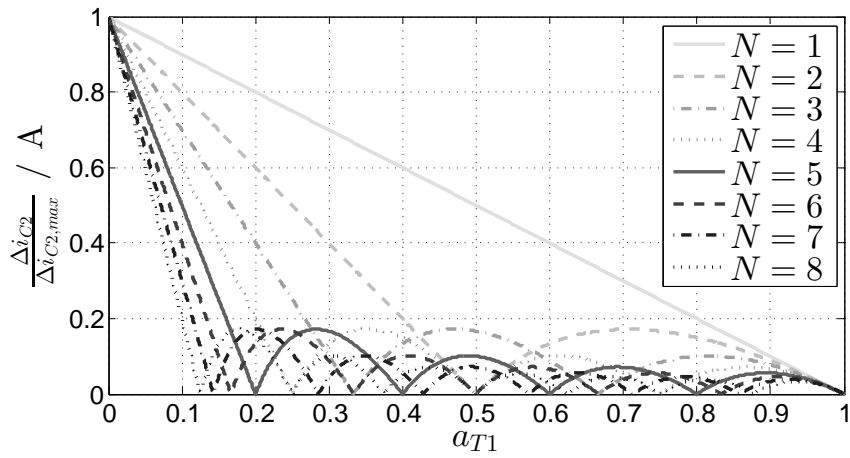


Abbildung 3.10: normierter Stromripple Δi_{C2} in Abhängigkeit vom Aussteuergrad a_{T1} bei 1 bis 8 Phasen (Funktionswerte: $U_{DSK} = 200V, f = 100kHz, L = 100\mu H$)

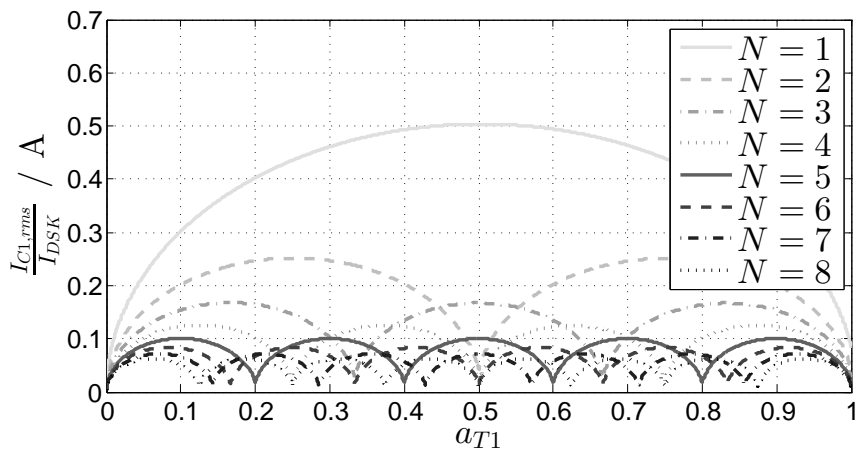


Abbildung 3.11: normierter Stromeffektivwert $I_{C1,rms}$ in Abhängigkeit vom Aussteuergrad a_{T1} bei 1 bis 8 Phasen (Funktionswerte: $U_{DSK} = 200V, f = 100kHz, L = 100\mu H, \Delta i_L = 0,3 \cdot \frac{I_{DSK}}{N}$)

Weiterhin ist mit einer besseren Reaktion bei Laststromänderungen zu rechnen, da die in den Induktivitäten gespeicherte Energie $E_{LN} = L \cdot I_{LN}^2$ geringer ausfällt bei Verwendung mehrerer Phasen, aufgrund des geringeren Gleichstroms pro Phase. Im Falle eines Absinkens des Laststroms auf 0 A sperren die HS Transistoren. Die in den Drosseln gespeicherte Energie wird abgegeben und es folgt eine geringere Erhöhung der Ausgangsspannung im Falle von mehreren parallelen Wandlern niedriger Leistung, als bei Verwendung eines Hochleistungswandlers [73].

4 Dimensionierung und Auswahl der Bauteile

In diesem Kapitel wird zunächst die Notwendigkeit einer Kühlung erklärt. Darauf aufbauend werden die Verluste in den LHL berechnet und die erforderlichen Wärmewiderstände des gesamten Wärmepfades bestimmt. Anhand dieser Daten erfolgt die Auswahl der Kühlkomponenten.

4.1 Kühlkörper

4.1.1 Mechanismus der Wärmeübertragung

Aufgrund der Verluste $P_{V,LHL}$ in den LHL kommt es zu einer Erwärmung der Sperrschichttemperatur ϑ_J der eGaN-FETs. Es entsteht eine Temperaturdifferenz $\Delta\vartheta$ zwischen dem Chip und den daran anliegenden Schichten, wie z.B. dem Gehäuse, der Wärmeleitpaste und dem Kühlkörper. Dieser Temperaturgradient bewirkt einen Wärmestrom \dot{Q} nach (4.1), welcher von der hohen zur niedrigen Temperatur fließt [74, S. 18]. Diesen Vorgang nennt man Wärmeübertragung [74, S. 1]. Das Ziel der Kühlung ist es einen, zwischen der Wärmequelle und dem Kühlmedium, ungehinderten Wärmestrom zu ermöglichen, um so die Wärme an das Kühlmedium abgeben zu können.

$$\dot{Q} = \frac{dQ}{dt} = -\lambda \cdot A \cdot \frac{d\vartheta}{dx} \quad (4.1)$$

$$\dot{Q} = \lambda \cdot A \cdot \frac{\Delta\vartheta}{d} = \frac{\Delta\vartheta}{R_{TH}} \quad (4.2)$$

$$R_{TH} = \frac{d}{\lambda \cdot A} \quad (4.3)$$

R_{TH} in (4.3) bezeichnet den Wärmewiderstand der jeweiligen Schicht und berechnet sich nach [75, S. 82]. A ist die vom Wärmestrom durchflossene Fläche des Materials, λ die spezifische Wärmeleitfähigkeit, d die Dicke der Schicht. Der Wärmestrom ist umso größer, je kleiner der R_{TH} zwischen der Wärmequelle und dem kühlenden Medium ist. Ein möglichst kleiner R_{TH} zwischen Chip und Kühlmedium muss daher angestrebt werden, um einen Wärmestau zu verhindern und die Maximaltemperatur des Chips nicht zu überschreiten. Zur Abschätzung der maximalen Sperrschichttemperatur ϑ_J ist die zu erwartende Verlustleistung der LHL und die Wärmewiderstände zwischen Verlustquelle und dem Kühlmedium erforderlich.

4.1.2 Verlustleistungsberechnung

Für die Verlustleistungsberechnung werden die Formeln (3.19), (3.21), (3.24) und (3.27), für den TSS-Betrieb, verwendet. Es wird dazu die Verlustleistung in Abhängigkeit von U_{BN} und U_{DSK} berechnet und dazu ein konstanter Ausgangsstrom $I_{DSK} = 12,5$ A angenommen. Die für die Verlustleistungsberechnung verwendeten Werte sind in Tabelle 4.1 aufgelistet:

Tabelle 4.1: Parameter für die Verlustleistungsberechnung der eGaN-FETs

f / kHz	L / μ H	C_{DS} / pF	$R_{DS(on)}(\vartheta_J = 25/150^\circ\text{C})$ / m Ω
100	100	47,5	67 / 175
$t_{ri}; t_{ru}; t_{fi}; t_{fu}$ / ns	t_{tot} / ns	$U_{DS,REV}$ / V	I_{DSK} / A
7,5	100	4,6	12,5

Auf U_σ wird bei der Verlustleistungsberechnung nach Formel (3.21) vernachlässigt, da die Kommutierungsinduktivität L_σ schwer abzuschätzen ist. Nach den Herstellerangaben ist mit Strom- und Spannungsflanken im einstelligen ns-Bereich zu rechnen, ein Wert mit 7,5 ns soll dazu als Grundlage für die Berechnung dienen [3]. In dem Kapitel 4.4.1 erfolgt die Berechnung der Induktivität L . Deren Wert wird zu 100 μ H bestimmt und bereits an dieser Stelle verwendet. Der BN-Spannungsbereich mit 290 V bis 400 V hat eine vernachlässigbar kleine Auswirkung auf C_{DS} [48]. Die Kapazität C_{DS} wird über den gesamten Spannungsbereich von U_{BN} als konstant angenommen, wobei der Wert aus dem Datenblatt $C_{DS}(U_{DS} = 400 \text{ V}) = 47,5 \text{ pF}$ verwendet wird. Die Abbildungen 4.1 und 4.2 zeigen die Verlustleistungen des HS- ($P_{V,1}$) und des LS- ($P_{V,2}$) eGaN-FET, sowie die Summe der beiden Einzelverlustleistungen $P_{V,LHL}$ bei einer Sperrschichttemperatur ϑ_J von 25 $^\circ\text{C}$ und 150 $^\circ\text{C}$. Es ist auffällig, dass die Verluste $P_{V,1}$ in nahezu jedem Arbeitspunkt deutlich höher ausfallen als die Verluste in T2. Die Ursache liegt in den nicht vorhandenen Schaltverlusten des LS-eGaN-FET aufgrund seiner Funktion als Sync-FET im TSS-Betrieb. Bei $\vartheta_J = 150^\circ\text{C}$ gibt es einen Schnitt der beiden Ebenen bei niedrigen Werten von U_{DSK} . In diesem kleinen Bereich überwiegt $P_{V,2}$ $P_{V,1}$ geringfügig. Der Grund sind die mit fallendem Aussteuergrad steigenden Durchlassverluste im LS-eGaN-FET. Über den restlichen Arbeitsbereich dominieren die Verluste von $P_{V,1}$. Mit Zunahme von U_{DSK} steigen die Verluste $P_{V,1}$ linear an und $P_{V,2}$ sinkt hingegen linear ab. Bei einem hohen Tastverhältnis a_{T1} ($U_{BN} = 290 \text{ V}$ und $U_{DSK} = 240 \text{ V}$) ergeben sich maximale Verluste in T1 und minimale Verluste in T2. Es ist ebenfalls eine Neigung der Flächen entlang der U_{BN} -Achse zu erkennen. $P_{V,1}$ verringert sich entlang dieser Achse und $P_{V,2}$ verhält sich genau umgekehrt. Die Ursache sind die variierenden Durchlassverluste aufgrund des Aussteuergrades. Die Gesamtverluste sind in etwa konstant, da die Durchlassverluste $P_{D,1}$ und $P_{D,2}$ in Summe über den gesamten Arbeitsbereich nahezu konstant sind. Beim genaueren Betrachten ist die Ebene $P_{V,LHL}$ entlang der U_{BN} -Achse geneigt und steigt mit höheren Werten für U_{BN}

an. Der Grund sind die Schaltverluste des HS-eGaN-FET, die bei $U_{BN} = 400\text{ V}$ maximal sind. Dennoch variiert die Verlustleistung $P_{V,LHL}(U_{BN} = 400\text{ V}, U_{DSK})$ entlang der U_{DSK} Achse. Verantwortlich dafür ist der Stromrippel Δi_L , der direkt in den Effektivwert $I_{D,1,Eff}$ (3.25) und $I_{D,2,Eff}$ (3.26) einfließt und sein Maximum bei $a_{T1} = 0,5$ besitzt. Die maximale Verlustleistung beträgt $P_{V,LHL,max} = 37,98\text{ W}$ bei $U_{BN} = 400\text{ V}$ und $a_{T1} = 0,5$. Ein separates Synchronwandler-Modul soll eine ausgangsseitige Leistung von $2,5\text{ kW}$ liefern können. Aus diesem Grund wurde bei $U_{DSK} = 200\text{ V}$ in Abbildung 4.2 eine Fläche aufgespannt, die diese Leistungsgrenze repräsentiert. Somit treten an dieser Schnittstelle sowohl die höchsten Gesamtverluste $P_{V,LHL,max}$ als auch die höchsten Einzelverluste eines eGaN-FET (HS) auf (oberhalb von $U_{DSK} = 200\text{ V}$ steigt $P_{V,1}$ weiter an, dieser Arbeitspunkt wird wie beschrieben aufgrund der Leistungsgrenze nicht erreicht). Nachdem die Verluste des

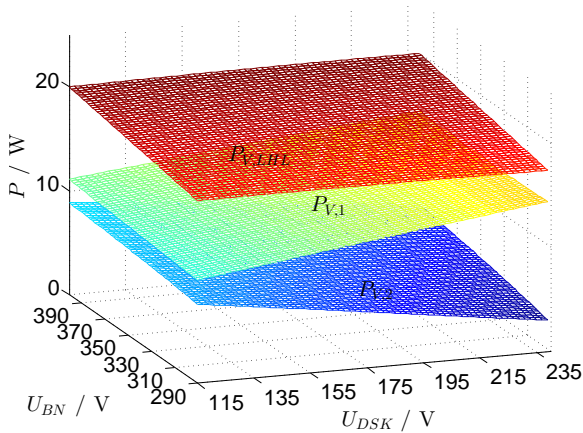


Abbildung 4.1: Einzel- sowie Gesamtverluste der LHL bei $\vartheta_J = 25^\circ\text{C}$

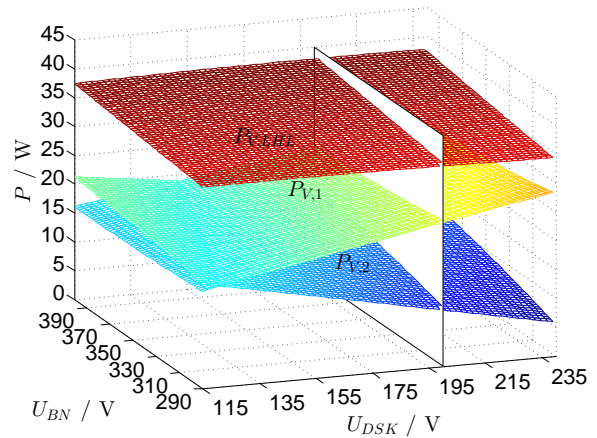


Abbildung 4.2: Einzel- sowie Gesamtverluste der LHL bei $\vartheta_J = 150^\circ\text{C}$

LS- und des HS-eGaN-FET berechnet wurden, soll die Aufteilung der Teilverluste auf die Gesamtverluste jedes LHLs untersucht werden. Tabelle 4.2 und 4.3 zeigen die absoluten und relativen Verluste der beiden LHLs für den Arbeitspunkt bei $P_{V,LHL,max}$ ($\vartheta_J = 25^\circ\text{C}$ und $\vartheta_J = 150^\circ\text{C}$).

Tabelle 4.2: Verluste der eGaN-FETs im Synchron-TSS-Betrieb bei $a_{T1} = \frac{200\text{V}}{400\text{V}} = 0,5$ und $I_{DSK} = 12,5\text{ A}$ und $\vartheta_J = 25^\circ\text{C}$

	Schaltverluste		Durchlassverluste		$P_{V,X}$	$P_{V,LHL}$
	$P_{S,ein}$	$P_{S,aus}$	P_D	P_{tot}		
T1 (absolut in / W)	4,26	3,77	5,51	0	13,54	20,2
T1 (relativ in / %)	31,5	27,8	40,7	0	100	
T2 (absolut in / W)	0	0	5,51	1,15	6,66	
T2 (relativ in / %)	0	0	82,7	17,3	100	

Den größten Anteil mit $40,7\%$ ($\vartheta_J = 25^\circ\text{C}$) bzw. $64,2\%$ ($\vartheta_J = 150^\circ\text{C}$) haben die Durchlassverluste gemessen an den Gesamtverlusten. Wie aus den Abbildungen 4.1 und 4.2

Tabelle 4.3: Verluste der eGaN-FETs im Synchron-TSS-Betrieb bei $a_{T1} = \frac{200V}{400V} = 0,5$ und $I_{DSK} = 12,5 A$ und $\vartheta_J = 150^\circ C$

	Schaltverluste		Durchlassverluste		$P_{V,X}$	$P_{V,LHL}$
	$P_{S,ein}$	$P_{S,aus}$	P_D	P_{tot}		
T1 (absolut in / W)	4,26	3,77	14,4	0	22,43	37,98
T1 (relativ in / %)	19	16,8	64,2	0	100	
T2 (absolut in / W)	0	0	14,4	1,15	15,55	
T2 (relativ in / %)	0	0	92,6	7,4	100	

zu erkennen ist, ergibt sich in diesem Arbeitspunkt eine deutlich höhere Verlustleistung in dem HS-Transistor gegenüber dem LS-eGaN-FET. Die Verluste $P_{V,1}$ betragen für den gewählten Arbeitspunkt 67% bzw. 58% an den Gesamtverlusten $P_{V,LHL}$. Mit Kenntnis der maximal zu erwartenden Verlustleistung, muss im Folgenden ein Kühlkörper, sowie ein geeignetes thermal interface medium (TIM), gefunden werden, die gewährleisten, dass die maximale Sperrschichttemperatur von $\vartheta_J = 150^\circ C$ nicht überschritten wird.

4.1.3 Thermische Berechnung

Das thermische Verhalten im stationären Zustand lässt sich mit dem Cauer-Modell, wie in Abbildung 4.3 darstellen [75, S. 284]. Die einzelnen Widerstände entsprechen den thermischen Widerständen der jeweiligen Schicht. In diesem vereinfachten Fall entsprechen die jeweiligen R_{TH} dem LHL ($R_{TH,JC}$), dem TIM ($R_{TH,CS}$) und dem Kühlkörper ($R_{TH,SA}$). Die Verlustleistung P_V fließt als Wärmestrom \dot{Q} entlang der Schichten und verursacht über jedem R_{TH} eine Temperaturdifferenz ΔT . Um den Temperaturhub der Sperrschicht gegenüber der Umgebungstemperatur ϑ_A so gering wie möglich zu halten, muss der in dem Pfad auftretende Wärmewiderstand minimal sein.

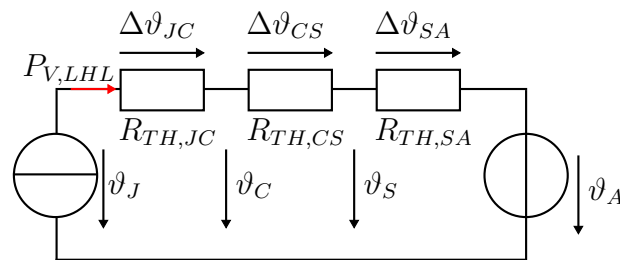


Abbildung 4.3: vereinfachtes thermisches ESB nach dem Cauer-Modell

Die Berechnung des maximal zulässigen R_{TH} für den HS und den LS-eGaN-FET erfolgt mit Hilfe von Formel (4.4).

$$R_{TH,JA,x} < \frac{\vartheta_{J,max} - \vartheta_A}{P_{V,X}} = \frac{150^\circ C - 25^\circ C}{P_{V,X,max}} \quad (4.4)$$

Mit den Maximalwerten $P_{V,1,max} = 24,97 \text{ W}$ und $P_{V,2,max} = 21,33 \text{ W}$ aus Abbildung 4.2 ergibt sich für $R_{TH,JA,1} = 5 \text{ }^\circ\text{CW}^{-1}$ und $R_{TH,JA,2} = 5,86 \text{ }^\circ\text{CW}^{-1}$. Dies sind die Wärmewiderstände, die in jedem Fall unterschritten werden müssen, um die maximale Sperrschichttemperatur nicht zu überschreiten. Anhand dieser Werte wird im folgenden Abschnitt ein geeigneter Kühlkörper sowie das TIM ausgewählt.

4.1.4 Kühlkörperauswahl

Im Laufe dieser Arbeit konnten 3 verschiedene Kühlkörperkonzepte ausgearbeitet werden. Neben den thermischen Eigenschaften muss, aus elektrischer Sicht, ein elektrisch isolierendes Material mit guter spezifischer Wärmeleitfähigkeit gefunden werden. Der Grund liegt an dem mit den Sourceanschluss verbundenen Gehäuse des eGaN-FET und der Tatsache, dass nur ein Kühlkörper für beide eGaN-FETs verwendet werden soll.

Aluminiumkühlkörper

Ein Aluminium Stiftkühlkörper (siehe Abbildung 4.4) von Fischer Elektronik wurde gewählt, da er laut Datenblatt einen äußerst niedrigen $R_{TH,SA}$ von $\approx 1 \text{ }^\circ\text{CW}^{-1}$ bei 2 ms^{-1} Luftgeschwindigkeit

als Wärmeleitpaste dient KP12 von der Firma Kerafol. Im Vergleich zu Standard-Wärmeleitpasten besitzt sie eine hohe Wärmeleitfähigkeit mit $10 \text{ Wm}^{-1}\text{K}^{-1}$. Als TIM wurde eine AlN Keramik von der Firma CoorsTek gewählt, da die Wärmeleitfähigkeit $\lambda_{AlN} = 180 \text{ Wm}^{-1}\text{K}^{-1}$ im Vergleich zu anderen TIM (Bsp.: $\lambda_{KU-KG} = 0,45 \text{ Wm}^{-1}\text{K}^{-1}$) herausragend ist. Die klebende Wärmeleitfolie von Aavid Kunze KU-KG25, mit einer Dicke von nur $25 \text{ } \mu\text{m}$, besitzt einen $R_{TH,KUKG} = 3,52 \text{ }^\circ\text{CW}^{-1}$ und ist damit um mehr als den Faktor 10 höher als $R_{TH,ALN}$.

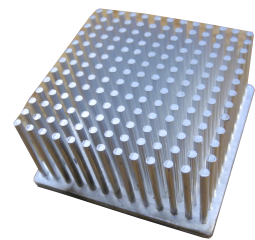


Abbildung 4.4: Aluminium Stiftkühlkörper

Tabelle 4.4 listet die R_{TH} der einzelnen Schichten des gewählten Kühlkonzeptes auf. Für den Querschnitt der Wärmeleitpaste und der Keramik wurde die Fläche $A = 15,8 \text{ mm}^2$ verwendet, da dies der metallischen Gehäusefläche der Oberseite des eGaN-FET entspricht. Als theoretischer Gesamtwärmewiderstand wird ein Wert von $R_{TH,JA} = 2,56 \text{ }^\circ\text{CW}^{-1}$ erreicht.

Für die theoretische Überprüfung, ob der thermische Pfad den Anforderungen für beide eGaN-FETs genügt, wurde mit Hilfe der aus Abbildung 4.2 berechneten Verluste $P_{V,1}$ und $P_{V,2}$ die Sperrschichttemperaturen ϑ_{J1} und ϑ_{J2} bei maximaler Ausgangsleistung von $P_{DSK} = 2,5 \text{ kW}$ und veränderlicher Eingangsspannung betrachtet (weißes Rechteck in Abbildung 4.2). Das Cauer-Netzwerk wurde wie in Abbildung 4.5 modelliert. Demnach haben beide Wärmeströme zunächst ihren eigenen thermischen Pfad (eGaN-FET \rightarrow Wärmeleitpaste \rightarrow AlN Keramik \rightarrow Wärmeleitpaste). Am Kühlkörper treffen beide Wärmeströme

Tabelle 4.4: Auflistung der R_{TH} der einzelnen Schichten

	d mm	λ $\text{Wm}^{-1}\text{K}^{-1}$	R_{TH} $^{\circ}\text{CW}^{-1}$	$R_{TH,JA}$ $^{\circ}\text{CW}^{-1}$
eGaN-FET	-	-	0,7	2,56
Wärmeleitpaste	0,05	10	0,32	
Keramik	0,63	180	0,22	
Wärmeleitpaste	0,05	10	0,32	
Kühlkörper	-	236 [76, S. 629]	1 ($v_{Luft} = 2 \text{ ms}^{-1}$)	

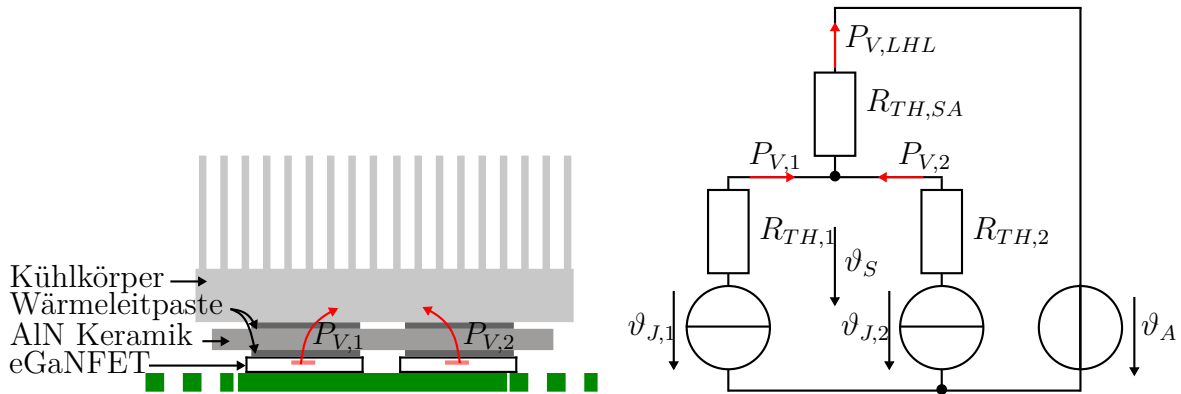


Abbildung 4.5: links: Schichtenfolge der Kühlung der eGaN-FETs mit einem Aluminium Kühlkörper; rechts: thermisches ESB nach der Schichtenfolge links im Bild

aufeinander und fließen über den Wärmewiderstand des Kühlkörpers. Abbildung 4.6 zeigt die berechnete Kühlkörpertemperatur, sowie die beiden Sperrschichttemperaturen. Wie zu erwarten war, findet eine unterschiedliche Aufwärmung der Sperrschichten statt, wobei mit abnehmender BNSpannung ($U_{DSK} = 200 \text{ V}$) der Temperaturunterschied kleiner wird. Mit 100°C liegt die maximale Temperatur für ϑ_{J1} um ein Drittel niedriger als die maximal zulässige Sperrschichttemperatur von 150°C .

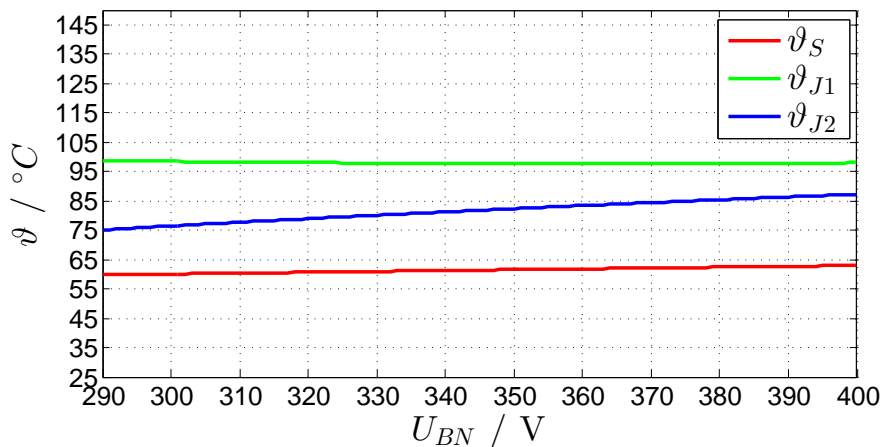


Abbildung 4.6: Sperrschichttemperaturen ϑ_{J1} und ϑ_{J2} , sowie die Kühlkörpertemperatur ϑ_1 in Abhängigkeit von U_{BN} ($I_{DSK} = 12,5 \text{ A}$, $U_{DSK} = 200 \text{ V}$)

AlN-Kühlkörper

Als weiterer Kühlkörper wurde ein AlN-Kühlkörper der Firma Ceramtec zur Verfügung gestellt. AlN hat eine um 25 % geringere Wärmeleitfähigkeit als Aluminium. Trotz des etwas geringeren λ besteht der Vorteil in der elektrisch isolierenden Eigenschaft des Materials. Es kann damit völlig auf ein TIM verzichtet werden. Anstelle von 2 Übergängen mit Wärmeleitpaste, wie zuvor beim Alu Kühlkörper, ist bei Verwendung eines AlN-Kühlkörpers nur eine Wärmeleitpastenschicht notwendig. Einen noch besseren Wärmeübergang erhält man, wenn der AlN-Kühlkörper direkt auf das Gehäuse der eGaN-FETs gelötet wird, da die Wärmeleitfähigkeit von Lot dem der Wärmeleitpaste überlegen ist ($\lambda_{Lot} = 70 \text{ bis } 80 \text{ Wm}^{-1}\text{K}^{-1}$ [77]). Dies ist möglich, da die Unterseite des Kühlkörpers mit einer Kupferschicht überzogen ist. Einfacher, wengleich schlechter vom Wärmeübergang, ist das Aufbringen einer Wärmeleitpaste wie beim Aluminium-Kühlkörper. Es stehen keine Daten bzgl. des R_{TH} des Kühlkörpers zur Verfügung.

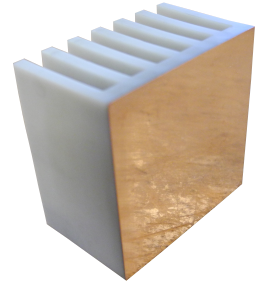


Abbildung 4.7: AlN-Kühlkörper der Firma Ceramtec

Wasserkuehlung

Als letztes Konzept dient eine Wasserkuehlung nach Abbildung 4.8. Die Kuehlkoerper von der Firma IQ Evolution haben hinsichtlich der Kuehlleistung (500 Wcm^{-2}) das groeuste Potential. Anhand des "Selective Laser Melting" Herstellungsverfahren, lassen sich aus feinem Metallpulver Mikrokuhlerkoerperstrukturen fertigen, welche eine hohe Kuehlkoerperflaeche aufweisen. Das Volumen des Kuehlkoerpers ist um ein Vielfaches kleiner als das der beiden anderen Varianten. IQ Evolution hat bereits ein erstes Modell, wie in Abbildung 4.9 zu sehen, angefertigt. Der Komplexitaet halber wurde auf diese Variante verzichtet. Auf dieser Masterarbeit aufbauende Arbeiten koennten sich erneut der Entwaermung und diesem fertig ausgearbeiteten Konzept zuwenden und diese Wasserkuehlung praktisch erproben.

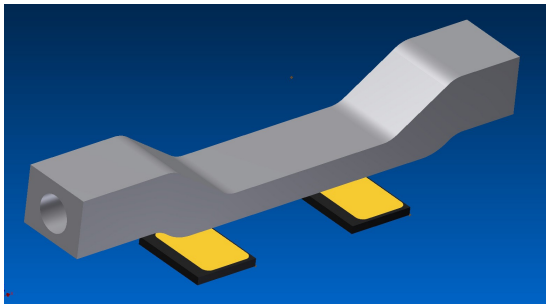


Abbildung 4.8: Wasserkuehlung mit zwei eGaN-FETs (Bild wurde von der Firma IQ Evolution zur Verfuegung gestellt)



Abbildung 4.9: erster Prototyp fuer die Wasserkuehlung zweier eGaN-FETs (Bild wurde von der Firma IQ Evolution zur Verfuegung gestellt)

4.2 Zwischenkreiskondensator C_1

Der Betrieb eines TSSs an einer Batterie ohne Zwischenkreiskondensator (siehe Abbildung 4.10) haette dramatische Folgen fuer die eGaN-FETs. Der Hin- und Rueckleiter von der Batterie zu den LHL besitzt neben einem ohmschen (hier nicht dargestellt) auch einen induktiven Anteil L_{Zul} . Infolge des Induktionsgesetzes ergaebe sich, aufgrund der von den eGaN-FETs vorgegebenen schnellen Stromaenderungsgeschwindigkeiten, nach (2.11), ein hoher Spannungsabfall an den Leitungsinduktivitaeten, da die Kommutierungsinduktivitaet $L_{Zul} + L_\sigma$ hohe Werte erreicht. Beim Ausschaltvorgang liegt an dem LHL daher neben der BN-Spannung U_{BN} auch, die in gleicher Richtung polarisierte Spannung, u_{Zul} an und wuerde zu einer Ueberschreitung der Sperrspannung des HS-eGaN-FET T1 fuehren. Um Ueberspannungen an den LHL zu verhindern werden Zwischenkreiskondensatoren verwendet (in Abbildung 4.10 gepunktet, mit dem ESB eines Kondensators, dargestellt). Dazu werden die Kondensatoren in unmittelbarer Naeh an die LHL angebracht, um so die Schleifeninduktivitaet L_σ (siehe Abbildung 2.11) so gering wie moeglich zu realisieren.

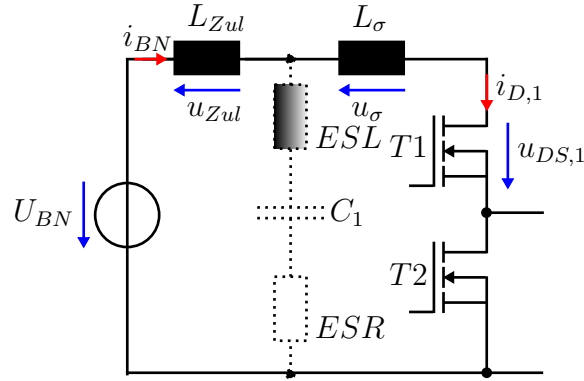


Abbildung 4.10: Ein negatives $\frac{di_{D,1}}{dt}$ würde ohne Zwischenkreiskondensator zu sehr hohen Sperrspannungen an T1 führen

4.2.1 Dimensionierung

Zur Auslegung von C_1 wird der stationäre Betrieb angenommen, da hier der Mittelwert des Stromes $i_{C1} = 0$ beträgt und so über die Stromzeitflächen von C_1 die maximale Ladungsmenge ermittelt werden kann, die während $t_{ein,1}$ bzw. $t_{aus,1}$ ab bzw. zu fließt.

Bei einem verlustlosen DC/DC Wandler gilt:

$$P_{BN} = P_{DSK} \quad (4.5)$$

$$U_{BN} \cdot I_{BN} = U_{DSK} \cdot I_{DSK} \quad (4.6)$$

Durch Umstellen von Formel (4.6) nach I_{BN} und Einsetzen des Aussteuergrades erhalten wir Formel 4.7.

$$I_{BN} = a_{T1} \cdot I_{DSK} = \frac{U_{DSK}}{U_{BN}} \cdot I_{DSK} \quad (4.7)$$

Für die Dimensionierung des Kondensators C_1 ist weiterhin die Kenntnis des zeitlichen Verlaufs (siehe Abbildung 4.11) des Kondensatorstroms i_{C1} notwendig. Für die Knotenpunktgleichung von K1 ergibt sich nach Abbildung 3.1:

$$i_{C1} = I_{BN} - i_{D,1} \quad (4.8)$$

Für die beiden Zeitbereiche gilt:

- Intervall $t_{ein,1}$: $t_0 \leq t \leq t_2$: $i_{C,1} = I_{BN} - i_{D,1}$
- Intervall $t_{aus,1}$: $t_2 < t \leq t_4$: $i_{C,1} = I_{BN}$

Zur Berechnung der Ladung ΔQ_1 wird das Zeitintervall betrachtet in dem T1 sperrt ($t_{aus,1}$). Anhand von Abbildung 4.11 ist sofort ersichtlich, dass der gesamte Strom I_{BN}

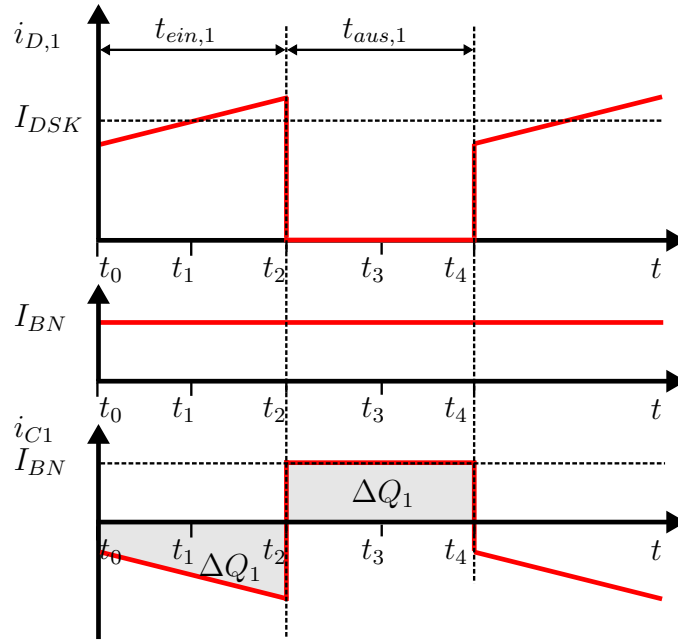


Abbildung 4.11: zeitliche Verläufe der Ströme des Knoten K1

in den Kondensator fließt. Diese Ladungsmenge ΔQ_1 berechnet sich nach Einsetzen von Formel (4.7) in (4.9) nach (4.11) [78, 111]:

$$\Delta Q_1 = i_{C1} \cdot t_{aus,1} = I_{BN} \cdot t_{aus,1} \quad (4.9)$$

$$\Delta Q_1 = \frac{U_{DSK}}{U_{BN}} \cdot I_{DSK} \cdot T_p \cdot (1 - a_{T1}) \quad (4.10)$$

$$\Delta Q_1 = \frac{U_{DSK}}{U_{BN}} \cdot I_{DSK} \cdot T_p \cdot \left(1 - \frac{U_{DSK}}{U_{BN}}\right) \quad (4.11)$$

Daraus lässt sich mit Hilfe von Matlab der “worst case“ Arbeitspunkt finden, bei dem die Ladungsmenge ΔQ_1 maximal wird. Abbildung 4.12 zeigt die Ladungsänderung ΔQ_1 als Funktion von U_{DSK} und U_{BN} bei maximalen Strom $I_{DSK} = 12,5 \text{ A}$. Die maximale Ladungsmenge ΔQ_1 beträgt $31,25 \mu\text{As}$ und gilt für einen Aussteuergrad $a_{T1} = 0,5$, wie dies anhand der Höhenlinie in Abbildung 4.12 ersichtlich ist. Dies deckt sich auch mit Abbildung 3.11 welche den AC-Effektivwert $I_{C1,rms}$ in Abhängigkeit des Aussteuergrades darstellt.

Für die Berechnung der Kapazität wird eine rel. Spannungsschwankung von $\frac{U_{BN\Delta}}{U_{BN,min}} = 5\%$ ($U_{BN,min} = 290 \text{ V}$) zu Grunde gelegt. Daraus ergibt sich C_1 in Tabelle 4.5.

 Tabelle 4.5: Berechnung der Kapazität C_1

Kondensator	$\frac{\Delta U_{BN}}{U_{BN,min}}$	$\Delta U_{BN} / \text{V}$	C / μF
C_1	0,05	$\Delta U_{BN} = 0,05 \cdot U_{BN,min} = 14,5 \text{ V}$	2,16

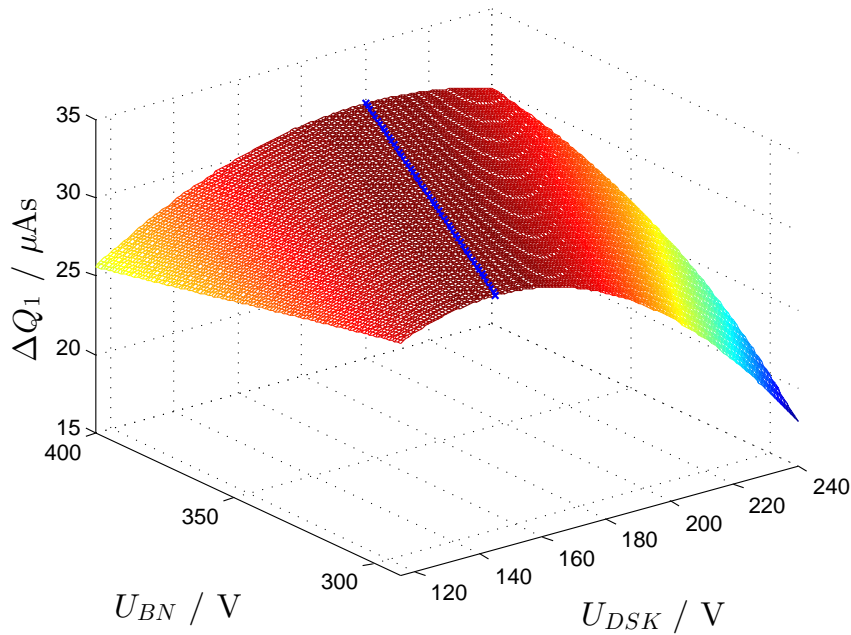


Abbildung 4.12: Ladungsmenge ΔQ_1 in Abhängigkeit von $U_{DSK} = 115\text{V} \dots 240\text{V}$ und $U_{BN} = 290\text{V} \dots 400\text{V}$ bei $I_{DSK} = 12,5 \text{ A}$ und $T_p = 10 \mu\text{s}$

Der berechnete Wert für C_1 ist auch für den HSS-Betrieb gültig, da sich derselbe Strom an der Kapazität ergibt. Einzig das Vorzeichen kehrt sich um. Demzufolge treten auch die gleichen Ladungsänderungen während einer Periode auf.

4.2.2 Auswahl der Kondensatoren

Als Zwischenkreiskondensatoren kommen Aluminium Elektrolyt-, Folien- und Keramik-kondensatoren in Frage [79]. Neben der reinen Kapazität weist ein Kondensator eine parasitäre Induktivität (äquivalente Serieninduktivität (ESL)) und einen parasitären ohmschen Widerstand auf (äquivalenter Serienwiderstand (ESR)) (siehe Abbildung 4.13). Die ESL

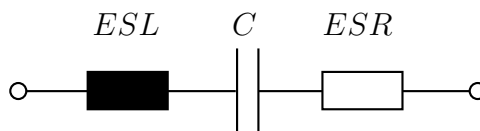


Abbildung 4.13: einfaches ESB eines Kondensators nach [14]

vergrößert die Schleifeninduktivität L_σ und wirkt sich daher negativ auf die, im Ausschaltmoment am LHL, wirksame Spannung aus. Eine möglichst kleine ESL ist daher gefordert. Der Effektivwert $I_{C1,rms}$ verursacht an dem ESR, nach Formel (4.12), die Verluste $P_{C1,ESR}$

[80]. Daher sollte der ESR ebenfalls minimal sein.

$$P_{C1,ESR} = I_{C1,rms}^2 \cdot ESR \quad (4.12)$$

Aluminiumkondensatoren zeichnen sich durch ihre hohe Leistungsdichte und ihre geringen Kosten pro Joule aus. Nachteilig ist ihr großes Bauvolumen und ihr hoher ESR, der damit eine hohe Strombelastbarkeit verhindert. Folienkondensatoren besitzen den geringsten ESR, dafür ist ihr großes Volumen sehr von Nachteil. Keramikkondensatoren bieten hinsichtlich ESL, ESR, weiten Temperatur- und Frequenzbereich und Volumen im Vergleich zu den anderen beiden Kondensatorarten die größten Vorteile [79] und wurden deshalb für den Synchronwandler dieser Masterarbeit gewählt. Um die gewünschte Kapazität zu erhalten wurden mehrere 1 μ F X5R “stacked“ Keramikkondensatoren der 630 V Spannungsklasse parallel geschaltet. Dies hat zudem den Vorteil, dass sich der insgesamt wirkende ohmsche und der induktive Anteil noch weiter verringern. Um auch im hohen Frequenzbereich eine niedrige Impedanz aufzuweisen, wurden zusätzlich ein 100 nF, 10 nF und 1 nF parallel geschaltet (630 V Spannungsklasse). Die Kapazitätswerte sollten dabei nicht weiter als um den Faktor 10 auseinander liegen, da es sonst zu Resonanzeffekten und damit verbundenen Impedanzerhöhungen kommen kann [12, S. 335 f.]. Tabelle 4.6 zeigt die in dem DC/DC

Tabelle 4.6: Dimensionierung der Kapazität C_1

Anzahl	Hersteller	Baugröße	C / μ F	C^* / nF	ESR / $m\Omega$	ESL / nH	f_R / MHz
1	TDK	1206	1	1	71	1,3	137
1	TDK	1206	10	10	21,9	1,1	47,7
1	TDK	1210	100	37,4	16,3	1,2	14,4
7	TDK	2220	1000	392	18,8	3	2,9

Wandler verwendeten Kondensatoren mit ihren parasitären Werten. Es ist zu beachten, dass Klasse 2 Keramikkondensatoren eine hohe Spannungsabhängigkeit der Kapazität aufweisen. Die 1000 nF Kondensatoren besitzen bei $U_{BN} = 400$ V daher nur noch 40% ihres ursprünglichen Wertes. Die bei $U_{BN} = 400$ V wirksame Kapazität ist in Tabelle 4.6 mit C^* gekennzeichnet.

Mit Hilfe des Effektivwertes des Kondensatorstromes nach Formel (4.13) lässt sich die im Zwischenkreis entstehende Verlustleistung (4.12) berechnen [81, 19f.].

$$I_{C1,eff} = \sqrt{a \left[I_a^2 \cdot (1 - a) + \frac{\Delta I^2}{12} \right]} \quad (4.13)$$

$$(4.14)$$

Als “worst case“ wird $a_{T1} = 0,5$, $I_{DSK} = 12,5$ A und $\Delta i_L = 10$ A verwendet. Die Verluste

liegen bei $P_{C1,ESR} = 88 \text{ mW}$ und sind daher innerhalb der Verlustleistungsrechnung des Wandlers vernachlässigbar.

4.2.3 Impedanzverlauf

Zur Verifikation der Impedanz des Zwischenkreises Z_{C1} wurden Messungen mit dem Impedanzanalysator Agilent 4294 A, wie in Abbildung 4.14a dargestellt, durchgeführt. Es wurde die Drossel L abgelötet, um nur die Impedanz von $Z_{C1, \text{mess}}$ zu erfassen. Die erste

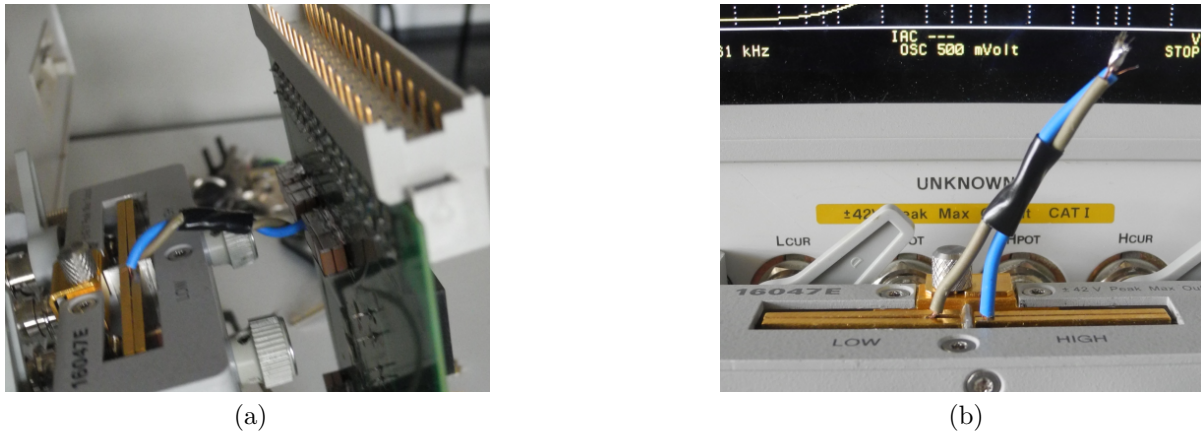


Abbildung 4.14: (a) Impedanzmessung von $Z_{Zul,C1}$ (b) Impedanzmessung der kurzgeschlossenen Zuleitungen $Z_{Zul,C1}$

Messung lieferte als Ergebnis die blaue Kurve in Abbildung 4.15. Erwartet wurde ein

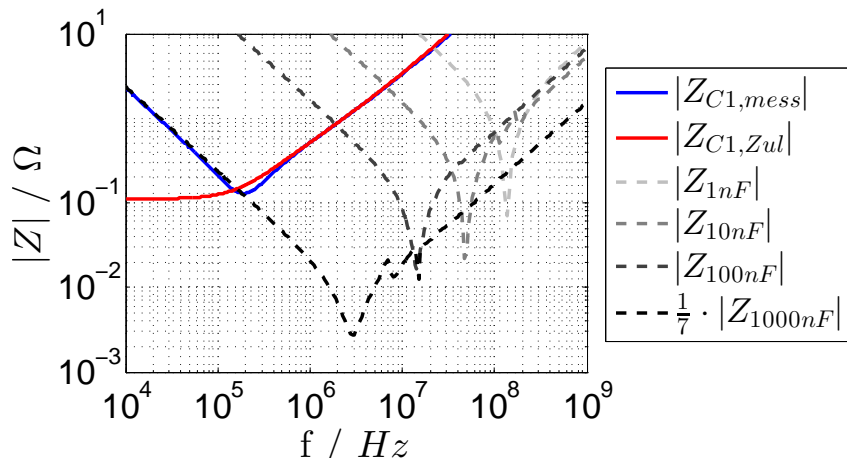


Abbildung 4.15: Impedanzverlauf des Eingangszwischenkreises (Messung, rote Kurve), der Zuleitungen (Messung, blaue Kurve) sowie die Impedanzverläufe des einzelnen Kondensatoren (Herstellerangaben TDK)

niederimpedanter Verlauf von 2,9 bis 137 MHz (entspricht der niedrigsten und höchsten Resonanzfrequenz der im Zwischenkreis vorhandenen Kondensatoren, siehe Tabelle 4.6), wie er anhand der gestrichelten Linien zu sehen ist. Dies sind Messdaten von TDK der im

Zwischenkreis verwendeten Kondensatoren. $\frac{1}{7} \cdot Z_{C1000nF}$ zeigt den Impedanzverlauf von 7 parallelgeschalteten 1000 nF Kondensatoren des gleichen Typs. Im Kurvenverlauf von $Z_{C1,mess}$ ist nur eine niederfrequente Resonanz bei ca. 200 kHz zu erkennen. Als Ursache wird hierfür die Zuleitungsimpedanz angenommen. Sie trägt sowohl einen ohmschen (frequenzabhängig) als auch einen induktiven Anteil. Diese Zuleitungsimpedanz $Z_{Zul,C1}$ kann man sich in einem ESB in Serie zur Impedanz des Zwischenkreises Z_{C1} vorstellen. Der reale Impedanzverlauf von Z_{C1} ist daher nicht sichtbar. Zur Korrektur wurde eine zweite Messung durchgeführt, wobei nur die Zuleitungsimpedanz $Z_{Zul,C1}$ vermessen wurde (siehe Abbildung 4.14b und 4.15). Es zeigt sich in dem roten Kennlinienverlauf, oberhalb von 200 kHz, dasselbe Verhalten wie bereits bei $Z_{C1,mess}$. Dies stützt die zuvor getroffene Annahme. Es ist jedoch auch erkennbar, dass die Steigung der roten Kennlinie stärker ist als bei der blauen. Der Grund dafür liegt in der Anordnung und Geometrie der Zuleitungen, die sich beim Umlöten verändert hat und damit zu einer Vergrößerung der Induktivität der Drähte führte. Durch Subtraktion von $Z_{C1,Zul}$ von $Z_{C1,mess}$ erhalten wir den Verlauf der schwarzen Kennlinie nach 4.16. Es ist zu beachten, dass eine einfach logarithmische

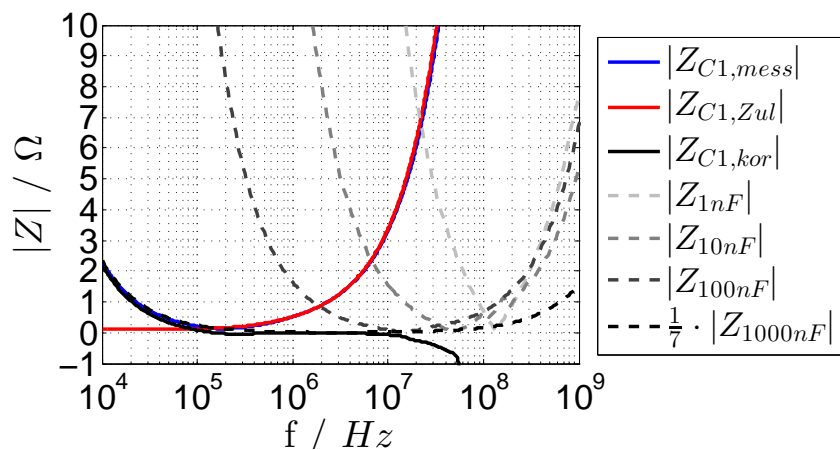


Abbildung 4.16: Vergleich von $Z_{C1,kor}$ (schwarze Linie) mit den Impedanzverläufen aus Abbildung 4.15

Darstellung gewählt wurde, da die Impedanz $Z_{C1,kor}$ negative Werte aufweist. Von 10 kHz bis 10 MHz ergibt sich der erwartete niederimpedante Verlauf von $Z_{C1,kor}$. Oberhalb von 10 MHz nimmt, aufgrund der größeren Induktivität der kurzgeschlossenen Zuleitung, die absolute Abweichung stark zu. Um den Einfluss der Zuleitungen zu beseitigen, wurde eine Kalibrierung des Impedanzanalysators mit den Zuleitungen durchgeführt (kurzgeschlossen und offen). Die anschließend gewonnenen Ergebnisse lieferten jedoch keine brauchbaren Ergebnisse. Es ist jedoch anzunehmen, dass Z_{C1} bis zur obersten Resonanzfrequenz des 1 nF Kondensators, einen niederimpedanten Verlauf aufweist, wie dies anhand der TDK Messdaten in Abbildung 4.15 ersichtlich ist.

4.3 Ausgangskondensator C_2

Die Kapazität C_2 bildet zusammen mit der Induktivität L einen Tiefpass zweiter Ordnung. Der Kondensator bewirkt eine Glättung der Ausgangsspannung, indem er dem Wechselanteil des Drosselstromes i_L einen niederimpedanten Pfad bietet. Zudem weist der DSK schlechte hochfrequenzeigenschaften auf, da er bereits oberhalb von 10 kHz wie eine Induktivität wirkt [57, S. 124]. Daher muss C_2 ebenfalls für einen weiten Frequenzbereich niederimpedant ausgelegt sein.

4.3.1 Dimensionierung

Bei der Dimensionierung wird analog zu C_1 vorgegangen. Die ausgangsseitigen Ströme in K2 werden in Abbildung 4.17 dargestellt. i_{C2} übernimmt aufgrund des stationären Betriebs

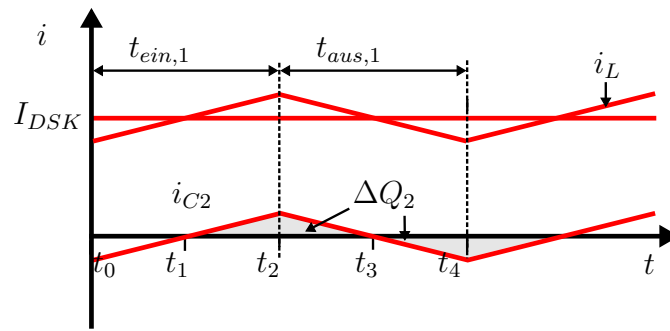


Abbildung 4.17: zeitliche Verläufe der Ströme des Knoten K2

den Wechselanteil von i_L . Die Summe der positiven und der negativen Stromzeitflächen (ΔQ_2) während einer Periode ist aufgrund des stationären Betriebes an dem Kondensator C_2 0. Durch Integration des Stromes i_{C2} über die Zeitabschnitte von $t_1 \leq t \leq t_3$ ergibt sich die Ladungsmenge ΔQ_2 nach Formel (4.15) ([81, 18]).

$$\Delta Q_2 = \frac{\Delta i_L}{8} \cdot T_p \quad (4.15)$$

Daraus lässt sich die minimale Kapazität C_2 berechnen ([81, 18]):

$$C_2 = \frac{\Delta Q_2}{\Delta U_{DSK}} \quad (4.16)$$

$$C_2 = \frac{\Delta i_L}{8 \cdot \Delta U_{DSK}} \cdot T_p \quad (4.17)$$

Somit kann die ausgangsseitige Kapazität für ein maximales ΔU_{DSK} nach (4.17) berechnet werden. Der maximale Spannungsrippel sowie die berechnete Kapazität C_2 sind in Tabelle 4.7 zusammengefasst.

Tabelle 4.7: Berechnung der Kapazität C_2

Kondensator	Welligkeit $\frac{\Delta U_{DSK}}{U_{DSK,min}}$	$\Delta U_{DSK} / V$	$C / \mu F$
C_2	0,05	$0,05 \cdot U_{DSK,min} = 5,75$	2,17

4.3.2 Auswahl der Kondensatoren

Für C_2 werden, wie bereits bei C_1 , gestapelte Keramikkondensatoren der Klasse 2 und ein Kondensator geringer Kapazität verwendet. Die verwendeten Kondensatoren sind in Tabelle 4.8 dargestellt. Aufgrund der geringeren Spannung U_{DSK} ist die Kapazitätsreduktion geringer als bei C_1 . Zudem ermöglicht dies den Einsatz von Kondensatoren der 400 V Spannungs-klasse, sodass 2,2 μF Kondensatoren verwendet werden.

Tabelle 4.8: Dimensionierung der Kapazität C_2

Anzahl	Hersteller	Baugröße	$C / \mu F$	C^* / nF	ESR / $m\Omega$	ESL / nH	f_R / MHz
1	TDK	1210	100	62	16,3	1,2	14,4
4	TDK	2220	2200	1004	17,6	3,2	1,9

Die am ESR auftretenden Verluste errechnen sich nach (4.12) und betragen unter Anwendung von Formel (4.18) [82, S.4] (das Maximum von $I_{C2,eff}$ liegt bei $U_{BN,max} = 400 V$ und $a_{T1} = 0,5$ und beträgt 2,89 A) $P_{C2,ESR} = 29 mW$. Diese Verluste sind in der Gesamtbetrachtung vernachlässigbar klein.

$$I_{C2,eff} = \frac{U_{DSK} \cdot (1 - a_{T1})}{\sqrt{12} \cdot L \cdot f} \quad (4.18)$$

4.3.3 Impedanzverlauf

Das gleiche Messprinzip wie in Kapitel 4.2.3 wurde auch zur Bestimmung von $Z_{C2,mess}$ über der Frequenz angewandt. Nach der Bestimmung der Impedanz $Z_{C2,mess}$ wurde zusätzlich die Zuleitungsimpedanz $Z_{C2,Zul}$ ermittelt und die Differenz ($Z_{C2,Messung}$) daraus bestimmt. Die beiden verwendeten Kondensatortypen aus Tabelle 4.8, besitzen die gleiche Messreihe (dieselbe Frequenzauflösung, Werte stammen von TDK), sodass mit Hilfe von Matlab die theoretische Gesamtimpedanz $Z_{C2,Rechnung}$ ermittelt wurde. Ein Vergleich zwischen der berechneten und gemessenen Impedanz ist in Abbildung 4.18 ersichtlich. Eine gute Übereinstimmung beider Kennlinie erfolgt bis 10 MHz, oberhalb dieser Frequenz nimmt die absolute Abweichung stark zu.

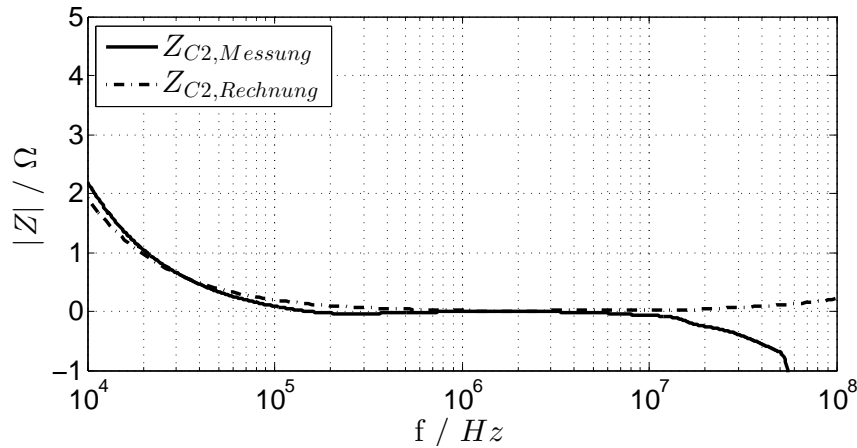


Abbildung 4.18: Impedanzverlauf des Ausgangszwischenkreises (Messung und Berechnung aus Herstellerangaben von TDK)

4.4 Speicherdrossel L

Die Speicherdrossel speichert in ihrem Magnetfeld \mathbf{H} die Energie E_L und ermöglicht so in Verbindung mit C_2 einen kontinuierlichen Energiefluss während der Sperrphase von T1 im TSS-Betrieb.

Bei der Auslegung von L müssen mehrere Dinge beachtet werden. Zum einen darf der Kern der Drossel nicht in Sättigung geraten, da andernfalls die Induktivität L stark sinken würde und dies zu einer deutlichen Zunahme des Stromes i_L führen würde. Um eine Sättigung des Kerns zu verhindern, wird ein Luftspalt verwendet (einzeln oder verteilt) da so die im Kern wirksame magnetische Feldstärke reduziert wird. Die Sättigung tritt daher erst bei sehr viel höheren Strömen ein. Dieses Prinzip bezeichnet man auch als Scherung. Durch Hinzufügen eines Luftspalts erhöht sich zudem die speicherbare Energie des Kerns [12, S.370].

Der nächste Punkt der beachtet werden muss sind die Verluste. Wie in Kapitel 3.3.2 beschrieben, entstehen in der Drossel sowohl Kupfer- und als auch Kernverluste und tragen damit, gemessen an den Gesamtverlusten des Synchronwandlers, einen erheblichen Teil dazu bei. Die Auswahl der Materialien muss daher gut durchdacht sein. In den nächsten Abschnitten wird die Berechnung der Induktivität vorgenommen und die Auswahl des Kerns getroffen. Anschließend werden Messungen, die mit dem Impedanzanalysator durchgeführt wurden, vorgestellt.

4.4.1 Dimensionierung

Laut Vorgabe (siehe A.1) ist der maximal erlaubte Stromrippel auf $\Delta i_{L, \text{max}} = 10\text{A}$ festgelegt. Unter der Vernachlässigung von Spannungsabfällen an den Leiterbahnwiderständen

und dem $R_{DS(on)}$ des eingeschalteten HS-eGaN-FET ergibt sich nach dem Induktionsgesetz für u_L :

$$u_L = U_{BN} - U_{DSK} = L \cdot \frac{\Delta i_{L,max}}{t_{ein,1}} \quad (4.19)$$

Durch Ersetzen von $t_{ein,1} = a_{T1} \cdot T_p = \frac{U_{DSK}}{U_{BN}} \cdot T_p$ in Formel (4.19), ergibt sich für die Induktivität L :

$$L = (U_{BN} - U_{DSK}) \cdot \frac{U_{DSK}}{U_{BN}} \cdot \frac{T_p}{\Delta i_{L,max}} \quad (4.20)$$

$$L = \underbrace{\left(U_{DSK} - \frac{U_{DSK}^2}{U_{BN}} \right)}_I \cdot \frac{T_p}{\Delta i_{L,max}} \quad (4.21)$$

Um in jedem möglichen Arbeitspunkt ein Überschreiten des Stromrippels von 10 A zu verhindern, muss das Maximum von I in (4.21) gefunden werden, um daraus die minimale Induktivität zu bestimmen, die die spezifizierte Stromwelligkeit garantiert. Das Maximum

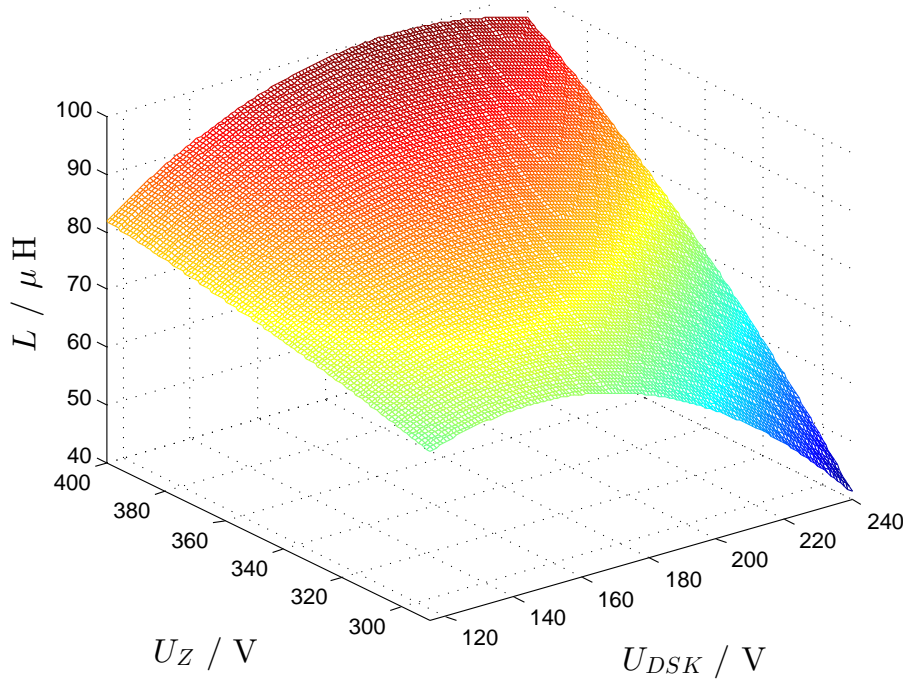


Abbildung 4.19: Induktivität L in Abhängigkeit von $U_{DSK} = 115V \dots 240V$ und $U_{BN} = 290V \dots 400V$ bei $\Delta i_{L,max} = 10$ A und $T_p = 10 \mu s$

liegt bei $a_{T1} = 0,5$ und $U_{BN,max}$. Mit Hilfe des Matlab plots in Abbildung 4.19 lässt sich die Induktivität L für einen konstanten Stromrippel von $\Delta i_L = 10$ A über den gesamten Eingangs- und Ausgangsspannungsbereich veranschaulichen. Die geforderte Induktivität beträgt daher $L = 100 \mu H$. Im HSS-Betrieb ergibt sich als Dimensionierungsformel für die

Induktivität L dieselbe Formel wie (4.21).

4.4.2 Auswahl des Kerns

Die Anforderungen an den Kern umfassen:

- geringe Kernverluste
- geringe Anzahl an Windungen → geringe Kupferverluste
- lineare Permeabilität
- geringes Gewicht und Volumen

moly permalloy powder (MPP) Kerne bestehen aus einer Nickel (81%), Eisen (17%) und Molybdänpulverlegierung (2%), wobei die einzelnen Legierungskörner (Korngröße im μm -Bereich) durch Kunstharz voneinander elektrisch isoliert sind [71, S. 107] [12]. Sie weisen die geringsten Kernverluste unter den Pulverkernen auf [83, S. 6]. Zudem wirkt die Isolierung wie ein verteilter Luftspalt und senkt dadurch die relative Permeabilität und erhöht die im Kern speicherbare Energie. Ein weiterer Vorteil der MPP Kerne sind ihre geringen Kernverluste und die hohe Linearität der Magnetisierungskurve. Weiterhin zeichnen sie sich durch ihren “sanften“ Übergang hin zur Sättigung aus, sodass kein abrupter Wechsel der Permeabilität stattfindet. Nachteilig sind die Kosten und die geringe relative Permeabilität [71, S. 107].

Ferrit ist ein weiteres Material, welches sich für den Einsatz als Kern innerhalb einer Speicherdrossel eines Synchronwandlers anbietet. Der entscheidendste Vorteil von Ferritkernen sind die geringen Kernverluste. Nachteilig sind die geringe magnetische Sättigungsflussdichte, die zudem mit steigender Temperatur sinkt und der rapide Wechsel der Permeabilität im Bereich der Sättigungsflussdichte. Daher ist es bei hohen Gleichströmen notwendig, einen Luftspalt hinzuzufügen. Der aus dem Luftspalt austretende magnetische Fluss fließt auch außerhalb des von dem Kern vorgegebenen Querschnitts, indem sich der Fluss im Bereich des Luftspalt ausweitet. Befinden sich Windungen oder andere leitfähige Materialien in der Nähe dieses Flusses dann treten hohe Wirbelstromverluste auf. Dieser Effekt vergrößert sich, wenn der Kern eine geringe Permeabilität besitzt und der Luftspalt dadurch vergrößert werden muss [71, S. 54 f.].

Als Kernmaterial wurde MPP der Firma Magnetics gewählt, da eine einfache Prozedur zur Auslegung des gewünschten Kerns geliefert wird und zudem viele materialspezifische Informationen geboten werden. Es wurde zunächst ein Vergleich mehrerer Ringkerne vorgenommen, wobei die Gesamtverluste, das Gewicht und Volumen die wichtigsten Kriterien waren. Tabelle 4.9 zeigt die Daten des Kerns mit den geringsten Verlusten und

demnach auch den Kern, der für den Synchronwandler Anwendung findet. Tabelle 4.10 stellt die zu erwartenden Verluste dar.

Tabelle 4.9: ausgewählter MPP für den Synchronwandler

Typ	μ_r	N	$d_{in}; d_{au}$ /mm	m / g
55083	60	38	23,3; 40,77	92

Tabelle 4.10: Verluste des ausgewählten 55192 MPP Kerns

$P_{Cu,DC} + P_{Cu,AC} = P_{Cu}$ / W	P_k / mWcm ⁻³	P_K / W	P_{ges} / W
3,04 + 0,85 = 3,89	611,26	6,44	10,33

Um die gewünschte Induktivität von $L = 100 \mu\text{H}$ zu erreichen, ist eine Windungszahl von $N = 38$ notwendig. Die Kupferverluste wurden mit den Formeln (3.32) und (3.36) berechnet. Es wurde dazu ein Draht mit einem Durchmesser von $d = 1,5 \text{ mm}$ und einer Länge von 2 m angenommen⁴. Die AC-Verluste wurden bis zur 19ten Ordnung der Oberschwingung des Stromes i_L (siehe Formel (3.35)) berechnet. Bereits nach Oberschwingung $n = 5$ sind die AC-Verluste vernachlässigbar. Damit betragen die AC Kupferverluste 22% an den gesamten Kupferverlusten P_{Cu} . Mit Hilfe der Herstellerdaten von Magnetics wurden mit der Steinmetzformel nach (3.39), die Kernverluste zu $6,44 \text{ W}$ bestimmt. Die Kernverluste tragen damit einen deutlich größeren Anteil an den Gesamtverlusten der Drossel als die Kupferverluste. Bei dem Aufbau weiterer zukünftiger Wandler wäre es interessant zu erfahren, wie die Verlustbilanz eines Ferritkerns ausfällt.

4.4.3 Impedanzverlauf

Für den Parallelbetrieb sind zwei Wandler erforderlich. Die dazu benötigten Kerne wurden zum einen mit Lackdraht und zum anderen mit Litze, von der Firma Rudolf Pack GmbH, bewickelt. Litze bietet den Vorteil, dass sich bei hohen Frequenzen der Oberschwingungen des Stromes i_L , der AC Widerstand geringer zunimmt als bei Lackdraht, da der effektive Querschnitt größer und damit der AC Widerstand geringer ist. Die Speicherdrosseln sind in Abbildung 4.20 und 4.21 zu sehen.

Damit beide Drosseln die gleiche Induktivität aufweisen, ist die Windungszahl bei beiden Drosseln identisch gewählt worden. Abbildung 4.22 zeigt das Verhalten der Impedanz über der Frequenz der beiden Drosseln. Die Messung wurde mit dem Impedanzanalysator 4294A, von Agilent Technologies, durchgeführt. Aus dem Grundlagenkapitel 3.3.2 ist bekannt,

⁴Weitere Parameter für die Berechnung der AC-Kupferverluste: $U_{BN} = 400 \text{ V}$, $U_{DSK} = 200 \text{ V}$, $\rho = 1,721 \cdot 10^{-7} \Omega \text{ m}$, $\mu_0 = 4 \cdot \pi \cdot 10^{-7} \text{ NA}^{-2}$, $I_{DSK} = 12,5 \text{ A}$, $d = 1,5 \text{ mm}$, $p = 2 \text{ mm}$, $N_l = 1$

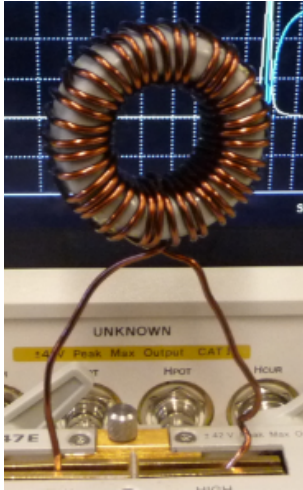


Abbildung 4.20: Speicherdrössel bewickelt Lackdraht

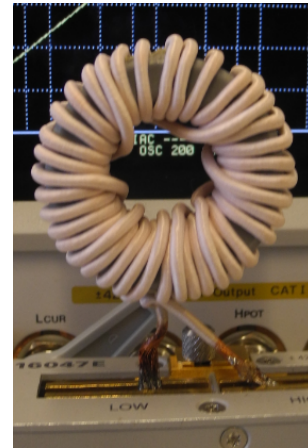


Abbildung 4.21: Speicherdrössel bewickelt mit Litze

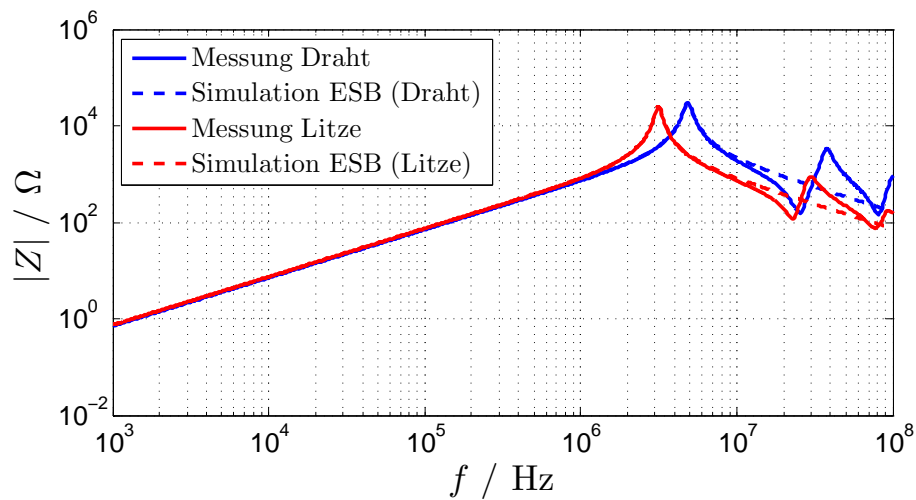


Abbildung 4.22: Impedanz $|Z|$ über der Frequenz f , durchgezogene Linien: Messergebnisse des Impedanzanalysators, gestrichelte Linien: Simulation mittels Matlab aus dem bestimmten ESB der Speicherdröseln

dass das ESB einer Speicherdrössel dem eines Parallelschwingkreises, wie in Abbildung 3.7 dargestellt, entspricht. Anhand von drei Messpunkten lassen sich die Parameter für L , C_P und R_P bestimmen. Aus dem Grundlagenkapitel 3.3.2 ist bekannt, dass das ESB einer Speicherdrössel dem eines Parallelschwingkreises, wie in Abbildung 3.7 dargestellt, entspricht. Anhand von drei Messpunkten lassen sich die Parameter für L , C_P und R_P bestimmen. Vernachlässigt man die Kern- und Kupferverluste (Serienwiderstand R_S zu L)

der Speicherdrossel, so errechnet sich der Betrag der Admittanz nach [12, S. 366]

$$Y = \frac{1}{Z} = \sqrt{\left[\underbrace{\frac{1}{R_P}}_1 \right]^2 + \left[\left(\underbrace{\omega C_P}_2 - \underbrace{\frac{1}{\omega L}}_3 \right) \right]^2} \quad (4.22)$$

Die komplexen Widerstände der parasitären Kapazität und der Induktivität sind während der Resonanz gleich groß. Der Imaginäranteil in Formel (4.22) wird zu null. Die gemessene Impedanz während der Resonanz ist rein reell und entspricht dem Parallelwiderstand R_P . R_P ist zudem die maximale Impedanz. Bei niedrigen Frequenzen überwiegt der Term 3 aus (4.22), sodass sich die Induktivität vereinfacht berechnen lässt.

$$L = \frac{|Z(f = 10 \text{ kHz})|}{\omega} \quad (4.23)$$

Die Wicklungskapazität C_P errechnet sich anschließend aus der Thomsonschen Schwingungsgleichung nach Formel (4.24) [84, S. 110].

$$C_P = \frac{1}{4 \cdot \pi^2 \cdot f_R^2 \cdot L} \quad (4.24)$$

Die berechneten Größen sind für beide Varianten in Tabelle 4.11 zusammengefasst. Mit

Tabelle 4.11: Vergleich der Ringkerndrossel mit Draht- und Litzewicklungen

Wicklung	$L / \mu\text{V}$	C_P / pF	$R_P / \text{k}\Omega$	f_R / MHz	R_S / Ω
Draht	112,40	9,50	30,54	4,87	noch nicht bestimmt
Litze	118,17	21,5	24,96	3,16	noch nicht bestimmt

Hilfe dieser Daten lässt sich ein Vergleich zwischen den Mess- und Simulationsergebnissen ⁵ durchführen. In Abbildung 4.22 wurden für die Draht- und die Litze-Variante die Mess- und Simulationsergebnisse geplottet. Es zeigt sich eine hohe Übereinstimmung bis $f = 10 \text{ MHz}$. Bei höheren Frequenzen kommt es bei den Messergebnissen zu weiteren Resonanzen. Demnach müssten noch weitere Schwingkreise dem ESB in Abbildung 3.7 hinzugefügt werden um den Verlauf der Messergebnisse nachzubilden. Dies ist jedoch für diese Arbeit nicht weiter von Bedeutung. Aus den Messungen ist zu erkennen, dass die mit Draht bewickelte Speicherdrossel bis 4,87 MHz induktiv ist, wohingegen die Litzedrossel bereits ab 3,16 MHz als Kapazität wirkt. Die Ursache für die Unterschiede in den Resonanzfrequenzen liegt in der voneinander abweichenden parasitären Kapazität C_P . Diese Kopplungskapazität bewirkt einen kapazitiven Sturm in Richtung Last, was jedoch vermieden werden soll. Dieser Strom ist proportional zur Größe von C_p , daher ist eine kleine Kapazität wünschenswert.

⁵mit Hilfe der ermittelten Werte für R_P , C_P und L wurde eine Matlab-Simulation durchgeführt

Weiterhin wirkt sich C_P negativ auf die Einschaltverluste des HS-eGaN-FET aus, da während des $\frac{du_{DS,1}}{dt}$ i_{C_P} über den Kanal von T1 fließt.

5 Anforderungen an die Messtechnik

Zur Beurteilung der Schalteigenschaften des Synchronwandlers ist die Erfassung der zeitlichen Verläufe der verschiedenen Spannungen unerlässlich. Aufgrund der hohen Schaltgeschwindigkeit der eGaN-FETs ist es herausfordernd diese Verläufe korrekt zu erfassen. Um die realen Signale der gemessenen Spannungen mit möglichst hoher Genauigkeit nachbilden zu können, soll dieses Kapitel die Themen, die es beim Messen sehr schneller Schaltvorgänge zu beachten gibt, aufgreifen. Gleichzeitig wird das Messequipment für den DPV und für den Belastungstest vorgestellt.

Für eine genaue Erfassung ist es wichtig, dass die verwendeten Tastköpfe die gleichen Signallaufzeiten aufweisen, da die Schaltzeiten des eGaN-FET im einstelligen ns-Bereich liegen und bereits geringe zeitliche Abweichungen untereinander, beispielsweise bei der Berechnung der Schaltenergien, zu erheblichen Fehlern führen [85]. Auf Tastköpfe mit unterschiedlichen Kabellängen und Dielektrika (Vgl. Formel (5.1)) sollte daher verzichtet werden. Mit Hilfe der Phasengeschwindigkeit v_{Ph} (5.1) lässt sich die zeitliche Abweichung Δt bei einem Kabellängenunterschied von $\Delta x = 0,5$ m mit Formel (5.2) zu 2,52 ns errechnen [12, S. 409] ⁶.

$$v_{Ph} = \frac{c_0}{\sqrt{\mu_r \cdot \epsilon_r}} = \frac{1}{\sqrt{\epsilon_r}} = \frac{\Delta x}{\Delta t} \quad (5.1)$$

$$\Delta t = \frac{\sqrt{\epsilon_r \cdot \Delta x}}{c_0} \quad (5.2)$$

Die verwendeten passiven Tastköpfe sind vom gleichen Typ. Zur Strommessung wurde eine Koaxialleitung angefertigt, welche die gleiche Länge aufweist wie die Tastköpfe. Die Laufzeitunterschiede lassen sich durch Messung eines steilflankigen Signals überprüfen. Der Spannungstastkopf und die zur Strommessung verwendete Koaxialleitung werden an das gleiche Signal angeschlossen. Vorhandene zeitliche Abweichungen können mit der Deskew-Funktion des verwendeten Oszilloskops ausgeglichen werden [85].

Das Übertragungsverhalten eines Tastkopfes entspricht vereinfacht dem eines Tiefpasses 1. Ordnung. Alle Signalamplituden der Frequenzen oberhalb von f_G erfahren eine Dämpfung, die mit -20 dB/Dek absinkt. Die Grenzfrequenz des Tastkopfes (entspricht der Bandbreite) muss daher so gewählt werden, dass die höchsten Signalfrequenzen des zu messenden

⁶für eine Koaxialleitung gilt: $\mu_r = 1$, $\epsilon_r = 2,28$ und $c_0 = 3 \times 10^8 \frac{\text{m}}{\text{s}}$ [12, S. 409]

Systems unterhalb der Grenzfrequenz liegen. Mit Hilfe von Formel (5.3) lässt sich die minimale Anstiegszeit errechnen, die von einem Tastkopf mit gegebener Bandbreite erfasst werden kann. Die Anstiegszeit entspricht dabei dem Wert von 0,1 bis 0,9 des Endwertes der Sprungantwort eines RC-Gliedes. Die bei den Messungen verwendeten Tastköpfe besitzen eine Bandbreite von 500 MHz. Die minimale Anstiegszeit beträgt somit $t_{rise} = 0,7 \text{ ns}$. Bei Anstiegszeiten im einstelligen Nanosekundenbereich ist die Bandbreite der Tastköpfe daher ausreichend.

$$t_{rise} = \frac{0,35}{f_G} = 2,2 \cdot \tau = 2,2 \cdot R \cdot C \quad (5.3)$$

Der Tastkopf und der vertikale Verstärker des Oszilloskops führen zu einer Verlangsamung der Anstiegszeit des Messsignals $t_{Messung}$. Eine Abschätzung auf die reale Anstiegsgeschwindigkeit t_{real} des Signals lässt sich nach Formel (5.4) [15, S. 86] berechnen, wobei die Anstiegszeiten $t_{rise,TK}$ und $t_{rise,Osz}$ nach (5.3) berechnet werden:

$$t_{real} = \sqrt{t_{Messung}^2 - t_{rise,TK}^2 - t_{rise,Osz}^2} \quad (5.4)$$

Bei der Messung schneller Signale, ist das gemessene Signal daher langsamer als das reale Signal. Um diesen Effekt zu minimieren, muss die Bandbreite des Tastkopfes und des Oszilloskops möglichst hoch sein. Für ein gemessenes Signal mit einer Anstiegszeit von $t_{Messung} = 2 \text{ ns}$ ergibt sich mit der Bandbreite von 500 MHz des Tastkopfes und des Oszilloskops eine reale Anstiegsgeschwindigkeit von $t_{real} = 1,74 \text{ ns}$. Die relative Abweichung beträgt damit 15%. Es ist jedoch zu beachten, dass ein geringer Quellenwiderstand R_Q (5.3) die Anstiegszeit verringert und somit die Abweichung zwischen der realen und der gemessenen Anstiegszeit vernachlässigbar wird [86, S.32].

Tabelle 5.1: Auflistung der verwendeten Messmittel

	Modell	Bandbreite MHz	Auflösung Bit	Abtastrate GSs ⁻¹
Oszilloskop DPV	WaveRunner 625Zi (LeCroy)	500 (1 MΩ) 2500 (50 Ω)	8	20
Oszilloskop (Last)	HDO6054 (LeCroy)	500	12	10
passiver T.	PP023 (LeCroy)	500	-	
Differential T.	AP033 (LeCroy)	500	-	

Das ESB eines Tastkopfes in Verbindung mit einem Oszilloskop entspricht der Parallelschaltung aus dem Widerstand R_{Osz} (typisch 10 MΩ) und der Kapazität C_{Osz} , wie in Abbildung 5.1 zu sehen. Die Kapazität C_{Osz} formt in Verbindung mit der Induktivität $L_{Schleife}$ des GND-Anchlusses und dem Quellenwiderstand R_Q einen Reihenschwingkreis [87] [15, S.86]. Bei Signalfrequenzen in der Nähe der Resonanzfrequenz des Schwingkreises

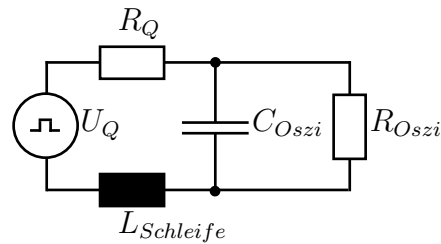


Abbildung 5.1: ESB eines passiven Tastkopfes (in Anlehnung an [15, S. 87])

kommt es zu einer deutlichen Beeinträchtigung und damit Verfälschung des Messsignals in Form von Oszillationen, insbesondere wenn ein geringes R_Q vorliegt. Es ist daher notwendig auf den “normalen“ Masseanschluss zu verzichten und stattdessen einen GND-Adapter, wie Massefedern oder BNC-Adapter zu verwenden, um die Induktivität des Reihenschwingkreises zu minimieren. Zum Zwecke eines möglichst nieder-induktiven GND-Anschlusses wurden GND-Federn selbst gewickelt und an den entsprechenden Stellen angelötet [88, S. 16]. Das Anbringen der Tastkopfspitze an die Messpunkte erfolgt über Durchkontaktierungen.

Das analoge Signal am Eingang eines jeden Kanals am Oszilloskops wird durch einen Analog/Digital (A/D)-Wandler in ein digitales Signal gewandelt. Die Abtastrate des A/D-Wandlers sollte mindestens doppelt so groß sein wie die maximal zu erwartende Frequenz (Nyquist-Shannon-Abtasttheorem). Bei 500 MHz Tastköpfen sollte ein Oszilloskop mit einer Abtastfrequenz von 1 GSs^{-1} verwendet werden. Um jedoch einen hinreichend genauen Signalverlauf zu erhalten, wird ein Faktor $k > 5$ (siehe (5.5)) empfohlen [89].

$$f_{\text{Abtast}} = k \cdot f_{\text{max}} \quad (5.5)$$

Mit den Abtastraten von 20 GSs^{-1} bzw. 10 GSs^{-1} (siehe Tabelle 5.1) sind die zuvor aufgeführten Anforderungen erfüllt.

Messungen, die an einem floatenden Potential stattfinden, können entweder mittels zweier passiver Tastköpfe erfasst und über Differenzbildung des Oszilloskops errechnet werden oder einen aktiver Differenzkopff verwenden. Letztere Variante hat den Vorteil einer besseren Gleichtaktunterdrückung [90]. Durch eine Vergleichsmessung beider Varianten hat sich herausgestellt, dass die Messung mit dem in Tabelle 5.1 angegebenen Differenzkopff bessere Ergebnisse liefert und daher durchgehend verwendet wird.

6 Layout und Bauteilwahl

6.1 Layout 1

Zunächst wurde eine zweilagige Platine angefertigt. Als Treiber wurde der LM5114 von Texas Instruments verwendet und als Zwischenkreiskondensatoren wurden zum Teil die niederinduktiven Keramikkondensatoren ⁷ der Serie CeraLink von TDK (B58031U5105M062) verwendet. Erste DPV-Messungen wurden mit der Schaltung durchgeführt. Der Betrieb der Platine unter Last zeigte bereits ab 100 V Schwierigkeiten, da starke Oszillationen im Gatekreis auftraten. Ferritperlen halfen die Oszillationen zu bedämpfen. Die 6 V Spannungsversorgung des Gatetreibers, die mit dem LT1761-BYP realisiert wurde, stieg mit zunehmender Spannung U_{BN} an und überschritt oberhalb von 300 V die zulässige Maximalspannung des GS66506T (7 V). Zu den zuletzt genannten Punkten und der Tatsache, dass der Brückenkurzschluss oberhalb von $U_{BN} > 350$ V auftrat wurde ein zweites Layout entworfen, welches im folgenden Abschnitt vorgestellt wird.

6.2 Layout 2

Die Platinengröße des Synchronwandlers beträgt 160x100mm. Dies ermöglicht es mehrere Wandler kompakt in einem 19"Chassis zu platzieren und diese parallel zu schalten. Es wurde eine vierlagige Platine entwickelt, wobei die Abstände der Außenlagen zu ihren direkt benachbarten Lagen nur 0,14 mm beträgt. Die Platinendicke beträgt 0,8 mm. Der Schaltplan (siehe A.1, A.2 und A.3) sowie das Layout (siehe A.4, A.5, A.6 und A.7) des Synchronwandlers sind im Anhang einzusehen. Im Folgenden wird auf das Design der Kommutierungsschleife, den Gatekreis und weitere wichtige Details innerhalb des Layouts eingegangen.

6.2.1 Kommutierungsschleife

Die Kommutierungsschleife (siehe Abbildung 6.1) wurde minimal ausgeführt. Dies hat den Vorteil einer kleinen Kommutierungsinduktivität L_σ . Daraus resultieren geringe Überspannungen, die während des Ausschaltens am LHL auftreten.

⁷Die CeraLink Kondensatoren weisen im Gegensatz zu Klasse 2 Keramikkondensatoren bei Nennspannung die höchste Kapazität auf. Ursache hierfür ist das verwendete Dielektrikum: Lead Lanthanum Zirconate Titanate - Keramik [91]

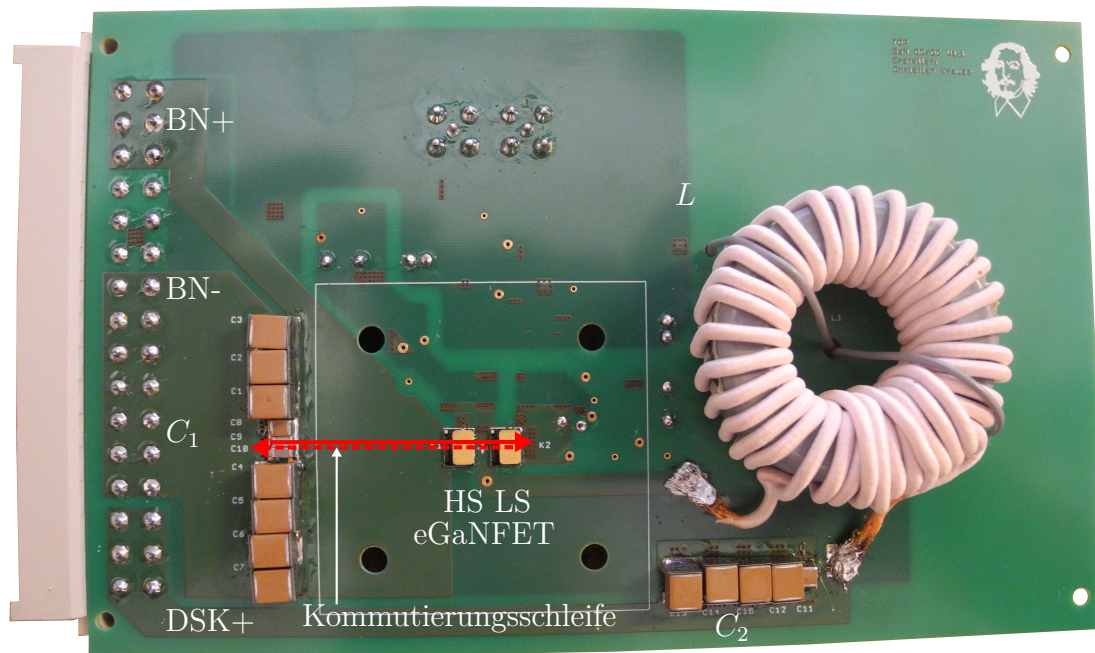


Abbildung 6.1: Oberseite der Platine

Als gängige Methoden zur Reduzierung der Schleifeninduktivität bieten sich diese drei Methoden an:

Methode 1: horizontale Schleife Die einfachste Methode ist es, die Schleife auf einer Lage auszuführen und die Bauteile so dicht wie möglich zu platzieren, um so für die kleinst mögliche Fläche zu sorgen [52]. Durch die Kühlung ergibt sich der Nachteil, dass die Schleife in der Größenordnung des Kühlkörpers liegt, da unterhalb des Kühlkörpers keine Bauteile platziert werden können. Die Größe des Kühlkörpers ist anhand des quadratischen Aufdrucks, in Abbildung 6.1 (im Zentrum liegen die eGaN-FETs) zu erkennen.

Methode 2: horizontale Schleife oberhalb von GND-Ebene Eine deutliche Verringerung von L_σ , im Vergleich zur ersten Methode, erzielt man, wenn unterhalb der Kommütierungsschleife eine Kupferfläche platziert wird [92]. Die Magnetfelder des Kommütierungsstromes verursachen Wirbelströme in der GND Fläche. Die Wirbelströme erzeugen ein, dem erzeugenden Magnetfeld, entgegen gerichtetes Magnetfeld. Mit der Reduzierung des magnetischen Flusses verringert sich auch die Induktivität L_σ . Der Effekt der Induktivitätsminimierung ist am größten, wenn der Abstand zwischen der Kommütierungsschleife und der Kupferfläche minimal ist. Nachteilig ist einzig der verminderte Wirkungsgrad aufgrund der Wirbelstromverluste in der GND-Fläche [52].

Methode 3: vertikale Schleife Die kleinste Schleifeninduktivität erzielt man, wenn der Hin- und Rückleiter übereinander, mit möglichst kurzen und breiten Pfaden, ausgeführt

sind. Auch hier ist ein minimaler Abstand beider Lagen, bzgl. eines geringen L_σ , am Besten. Voraussetzung ist die Einhaltung der Isolationsfestigkeit des PCB-Materials [10] [92].

Methode 2 und 3 haben zudem den Vorteil, dass eine durchgehende GND-Fläche darunter befindliche Signalelektronik abschirmt und Einkopplungen minimiert.

In dem Layout wurde Methode 3 verwendet, wobei Hin- und Rückleiter durch eine nur 0,14 mm dicke Isolation getrennt sind. Die horizontale Ausdehnung der Schleife ist vorrangig durch den Kühlkörper vorgegeben, wodurch die Zwischenkreiskondensatoren 2,5 cm entfernt von dem HS-eGaN-FETs auf der Oberseite der Platine platziert wurden. Eine weitere Reduktion von L_σ und dem ohmschen Anteil der Schleife wurde durch Parallelschaltung mehrerer Rückleiterlagen realisiert. Zur Strommessung wurden direkt unterhalb des Source-Potentials des LS-eGaN-FET (siehe Abbildung 6.3) zwei Kupferflächen für den Koaxialshunt "SDN-015" innerhalb der Kommutierungsschleife vorgesehen.

6.2.2 Gatekreis

Bei der Auslegung des Gatekreises galt es eine möglichst kleine Induktivität L_G zu erzielen. Die Prinzipien sind dabei die Gleichen wie bei der Kommutierungsschleife. Es wurde daher auf eine minimale Fläche und möglichst breite Leiterpfade geachtet, wobei sich Hin- und Rückleiter größtenteils überlappen (siehe Abbildung 6.2). Aufgrund des vierlagigen Aufbaus wurden zudem mehrere Lagen übereinander geführt. Die Auswahl von 0603 Bauteilen (Gatewiderstände, Entkopplungskondensatoren), half dabei weiter die Gateschleife kompakt zu gestalten. Als Gatetreiber wurde der SI8271 von der Firma Silabs verwendet, da er eine hohe $\frac{du}{dt}$ Robustheit von $200 \frac{kV}{\mu s}$ besitzt. Weitere Vorteile sind die integrierte galvanische Trennung des Treibers, die geringe Signalverzugszeit mit $t_{PHL} = t_{PLH} = 30 \text{ ns}$ und die niedrigen internen Gatewiderstände $R_{Gon,int} = 2,7 \Omega$ / $R_{Goff,int} = 1 \Omega$. Die Gatespitzenströme betragen $i_{Gon,Peak} = 1,8 \text{ A}$ / $i_{Goff,Peak} = 4 \text{ A}$. Weiterhin bietet der Treiber die Möglichkeit einen separaten R_{Gon} und R_{Goff} auszuwählen, was für die $\frac{du}{dt}$ -Problematik äußerst hilfreich ist. Die Spannungsversorgung des Gatetreibers beträgt $6 \text{ V} / -3 \text{ V}$. Die negative Spannungsversorgung wurde gewählt, da es bei der ersten Version des Synchronwandlers zu Brückenkurzschlüssen kam und somit ein fehlerhaftes Einschalten verhindert werden soll. Für die Spannungsversorgung wurde der DC/DC-Wandler MEJ1S1209SC verwendet. Der ausgewählte Gatetreiber und der DC/DC-Wandler besitzen eine sehr geringe parasitäre Kapazität zwischen ihrem Ein- und Ausgang mit $C_{IO,Treiber} = 0,5 \text{ pF}$ und $C_{IO,DCDC} = 3 \text{ pF}$, was zu einer Reduzierung der Gleichtaktströme führt, welche sich infolge des "Schaltknotens" ausbreiten. Ein Nachteil des

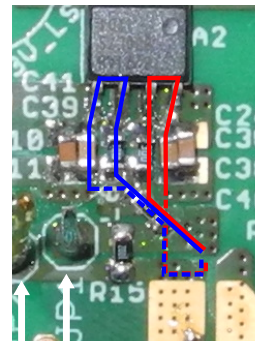


Abbildung 6.2: Gateschleife für den Einschalt (rot)- und den Ausschaltvorgang (blau)

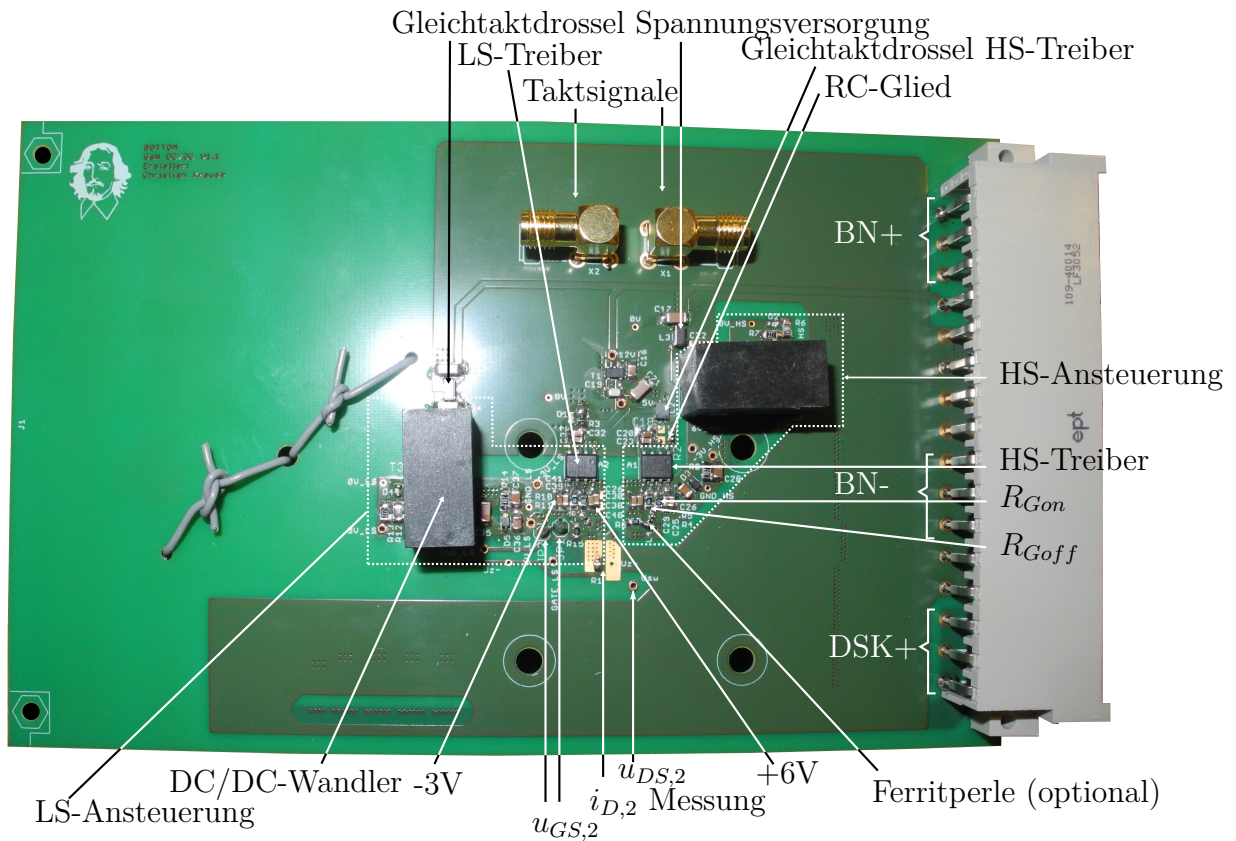


Abbildung 6.3: Unterseite der Platine

DC/DC-Wandlers ist die unregelte Ausgangsspannung. Optional kann in den Gatekreis eine Ferritperle hinzugefügt werden, um unerwünschte Oszillationen zu bedämpfen.

6.2.3 Weitere Layoutdetails

Der Schaltknoten wurde im Layout so ausgeführt, dass keine Signalleitungen diese Fläche überlappen, da es sonst zu kapazitiven Kopplungen kommt und dies die Funktionsweise des Wandlers beeinträchtigen können. Ebenfalls sollte eine Überlappung mit dem DC+ / DC- Potential verhindert werden, da hierdurch parasitäre Kapazitäten entstehen, die zusätzliche Einschaltverluste verursachen. Zur weiteren Reduktion der zuvor angesprochenen Gleichtaktströme, wurde an den Eingängen der DC/DC-Wandler und an den Eingang des HS-Treibers eine Gleichaktrossel eingefügt. Sollte diese Störunterdrückung nicht genügen, kann ein optionales RC-Glied an den Eingang des HS-Treibers hinzugefügt werden.

7 Testergebnisse

In diesem Kapitel werden die Testergebnisse des DPVs, die Details zur Inbetriebnahme und die Resultate des Einzel- und Parallelbetriebes vorgestellt.

7.1 Schaltverhalten

Zur Untersuchung des Schaltverhaltens wurde eine Doppelpulsmessung durchgeführt und der Schaltvorgang des LS-eGaN-FET untersucht. Dazu wurden die Größen $i_{D,2}$ (Erfassung mittels Koaxialshunt), $u_{GS,2}$ und $u_{DS,2}$ erfasst (siehe Abbildung 7.1).

Aus den Verläufen wurden die Schaltzeiten t_{fu} und t_{ru} sowie die maximalen und minimalen Spannungs- und Stromgradienten bestimmt. Für t_{fu} und t_{ru} wurden die Formeln (7.1) und (7.2) [93] verwendet:

$$t_{fu} = t_2(u_{DS,2} \cdot 0,1) - t_1(u_{DS,2} \cdot 0,9) \quad (7.1)$$

$$t_{ru} = t_2(u_{DS,2} \cdot 0,9) - t_1(u_{DS,2} \cdot 0,1) \quad (7.2)$$

$u_{DS,2}$ in Formel (7.1) und (7.2) entspricht der Zwischenkreisspannung U_Z und beträgt im DPV 400 V. Aufgrund des hohen gemessenen Durchlassspannungsabfalls von ca. 20 V, wurde die 10% Marke bei $u_{DS,2} = 400 \text{ V} \cdot 0,1 + 20 \text{ V} = 60 \text{ V}$ gesetzt. Der hohe gemessene Spannungsabfall im eingeschalteten Zustand ist ein Messfehler des Oszilloskops und des verwendeten Tastkopfs. Der Gesamtfehler des Oszilloskops setzt sich aus dem Offset Fehler (1,5 % vom Offset), einem DC-Fehler (1 % "Full-Scale") sowie der Quantisierungsschrittweite $\left(\frac{8 \text{ DIV} \cdot 100 \text{ V/DIV}^{-1}}{256}\right)$ zusammen [94]. Bei einem Offset von 400 V ergibt sich ein Gesamtfehler von 17,125 V. Der maximale Fehler ist kleiner als der gemessene Spannungsabfall im eingeschalteten Zustand des Transistors. Als weitere Fehlerquellen gehen die Tastköpfe einher.

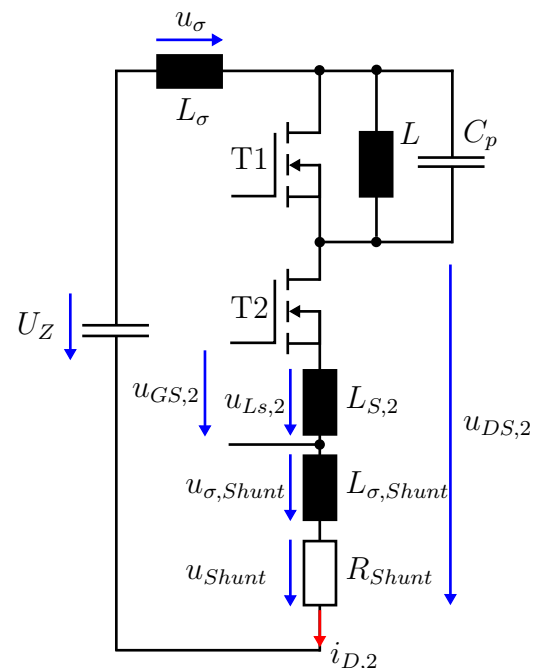


Abbildung 7.1: ESB des Doppelpulsversuchs mit den Messgrößen $i_{D,2}$, $u_{GS,2}$ und $u_{DS,2}$

Zur Ermittlung des $\frac{du_{DS}}{dt}$ und des $\frac{di_D}{dt}$ wurde die Steigung der Spannung / des Stromes zwischen den einzelnen Zeitabschnitten bestimmt. Für verschiedene Werte für R_{Gon} und R_{Goff} werden desweiteren die Schaltenergien in Abhängigkeit des Laststromes untersucht.

7.1.1 Einschaltvorgang

Das Einschaltverhalten wurde mit 3 verschiedenen Gatewiderständen und mit unterschiedlichen Drainströmen (siehe Abbildung 7.2) untersucht. Die Schaltung die untersucht wurde verwendete die Lackdrahtdrossel aus Abbildung 4.20. Als Gatewiderstände wurden $R_{Gon} = 0\Omega$, 10Ω und 20Ω verwendet.

Die Abbildungen 7.3, 7.4 und 7.5 zeigen die zeitlichen Verläufe der Drain-Source-Spannung $u_{DS,2}$ und des Drainstromes $i_{D,2}$ während des Einschaltvorganges. Tabelle 7.1 enthält die Strom- und Spannungsgradienten, sowie die Zeiten t_{fu} für unterschiedliche Werte von R_{Gon} . Der schnellste Einschaltvorgang wird mit $R_{Gon} = 0\Omega$ erreicht. Die Einschaltdauer $t_{fu}(R_{Gon} = 0\Omega, i_{D,2} = 5A)$ beträgt $2,05\text{ ns}$. Nach (2.12) ergibt sich bei kleinen Lastströmen das höchste $\frac{du_{DS}}{dt}$. Dies wird durch die Messergebnisse bestätigt. Bei $i_{D,2} = 7,5\text{ A}$ wird ein maximales $\frac{du_{DS}}{dt}$ von -203 Vns^{-1} (geringfügig größer als bei 5 A) erreicht. Mit steigendem Laststrom reduziert sich das $\frac{du_{DS}}{dt}$, wenngleich die Abnahme des Spannungsgradienten gering ausfällt. Bei 20Ω hat sich der Wert der Spannungssteilheit im Vergleich zu 0Ω bereits halbiert. Das hohe $\frac{du_{DS}}{dt}$ führt zu einem hohen kapazitiven Strom, der die Ausgangskapazität des HS-eGaN-FET, die Drosselkapazität, sowie die Kapazität des Tastkopfes ($u_{DS,2}$) lädt und sich als Überstromspitze während der fallenden Spannungsflanke in $i_{D,2}$ bemerkbar macht. Diese Überstromspitze fällt nach Formel (2.10) deutlich höher bei einem schnelleren $\frac{du_{DS}}{dt}$ aus. Auch dies wird durch den Vergleich der Messergebnisse miteinander bestätigt. Bei $R_{Gon} = 0\Omega$ beträgt $i_{D,max}(20\text{ A}) = 50\text{ A}$, bei $R_{Gon} = 10\Omega$ sind es nur noch 40 A . Integriert man die Überstromspitze auf, erhält man die Ladungsmenge, die bei jedem Schaltvorgang umgeladen wird. Die ermittelte Ladung Q_{mess} beträgt bei $R_{Gon} = 0\Omega \approx 101\text{ bis }116\text{ nC}$ (mit zunehmendem Strom $i_{D,2}$ steigt Q_{mess} an) und ist dabei deutlich größer als die erwartete Ladungsmenge Q_{rech} nach Formel (7.3).

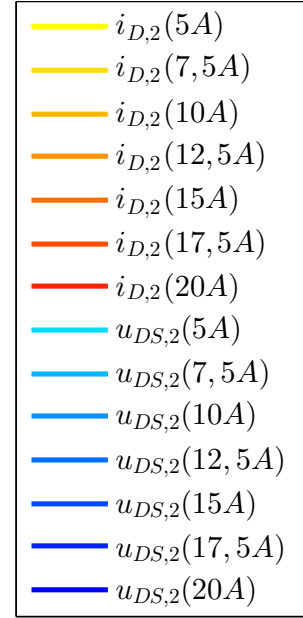


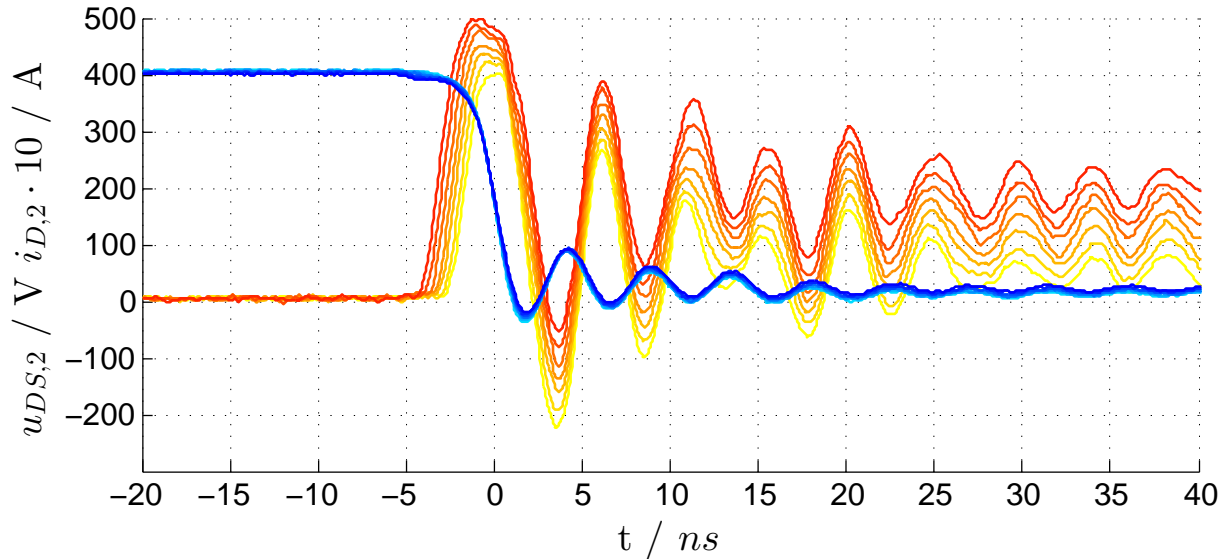
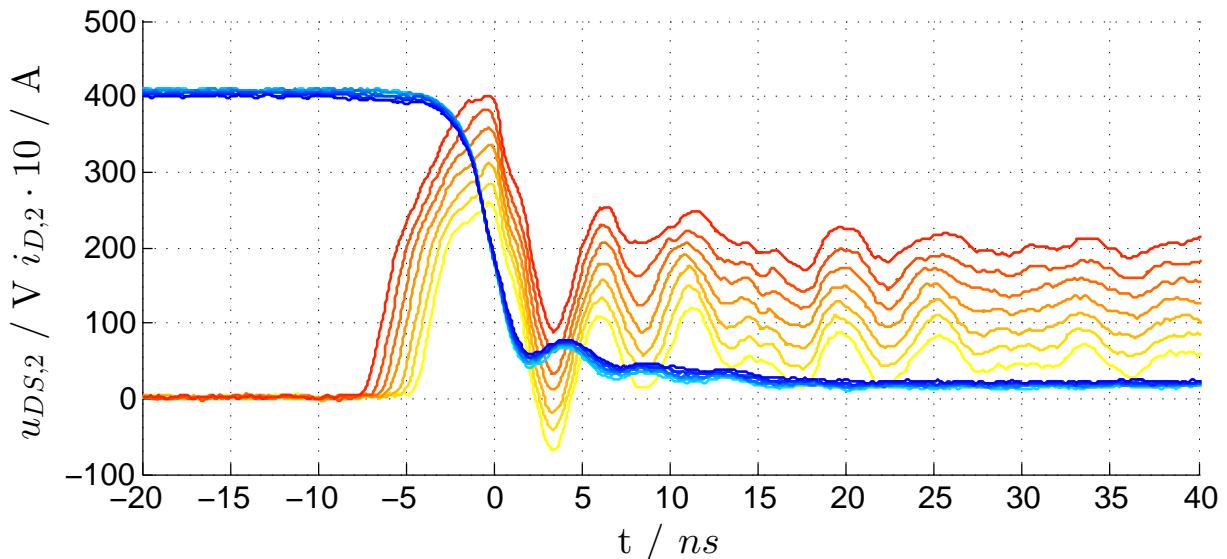
Abbildung 7.2: Legende für den Ein- und Ausschaltvorgang

$$Q_{rech} = Q_{Coss,1} + Q_{Drossel} + Q_{TK} \tag{7.3}$$

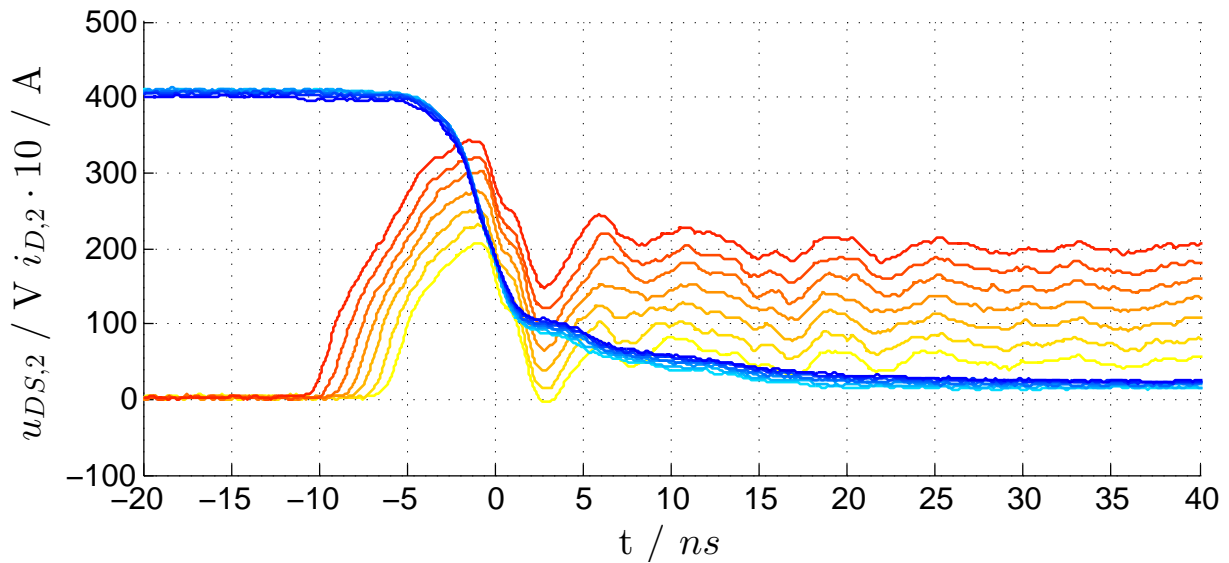
$$Q_{rech} = U_{BN} \cdot (C_{OSS} + C_{Drossel} + C_{TK})$$

$$Q_{rech} = 400V \cdot (66pF + 9,5pF + 10pF) = 34,2nC$$

Die berechnete Ladung entspricht mit $34,2\text{ nC}$ nur einem Drittel der gemessenen Ladung Q_{mess} . In der Betrachtung vernachlässigt wurde bisher der Schaltknoten, der vermutlich einen erheblichen Anteil an Q_{mess} beiträgt, wenngleich beim Layout darauf geachtet wurde, dass der Schaltknoten DC+ / DC- wenigst möglich überlappt. Das $\frac{di_D}{dt}$ verringert sich

Abbildung 7.3: Einschaltvorgang mit $R_{Gon} = 0 \Omega$ Abbildung 7.4: Einschaltvorgang mit $R_{Gon} = 10 \Omega$

ebenfalls mit steigendem Gatewiderstand R_{Gon} . Trotz der hohen Stromsteilheiten lässt sich nahezu kein Spannungseinbruch an $u_{DS,2}$ erkennen. Dadurch kann auf ein kleines L_σ geschlossen werden. Wie zu erwarten war, ergeben sich aufgrund des schnellen Schaltvorganges sowohl bei $i_{D,2}$ als auch bei $u_{DS,2}$ Oszillationen. Es ist deutlich zu erkennen, dass in Abbildung 7.3 die Oszillationen am stärksten sind. Mit abnehmender Schaltgeschwindigkeit kann die Spannungsoszillation komplett verhindert und die Stromoszillation auf ein Minimum reduziert werden.

Abbildung 7.5: Einschaltvorgang mit $R_{Gon} = 20 \Omega$ Tabelle 7.1: Spannungs- und Stromgradienten, sowie die Einschaltdauer t_{fu} für verschiedene Werte von R_{Gon}

R_{Gon} / Ω	$\frac{du_{DS}}{dt} / \text{Vns}^{-1}$		$\frac{di_D}{dt} / \text{Ans}^{-1}$		t_{fu} / ns	
	min	max	min	max	min	max
0	-178,2 (20 A)	-203,2 (7,5 A)	ca. 27		2,05 (5 A)	2,35 (20 A)
10	-112,6 (20 A)	-139,8 (7,5 A)	ca. 13		3,35 (5 A)	4,15 (20 A)
20	-87,18 (20 A)	-97,8 (5 A)	ca. 8		8,4 (5 A)	11,95 (20 A)

Einfluss des Shunts auf das Schaltverhalten Im Folgenden wurde der Einfluss des Koaxialshunts “SDN-015“ (T&M Research Products) auf die zeitlichen Verläufe von $u_{GS,2}$ und $u_{DS,2}$ im Einschaltmoment bei $R_{Gon} = 0\Omega$ untersucht. Dazu wurde der Einschaltvorgang mit und ohne Shunt gemessen (siehe Abbildung 7.6a und 7.6b). Die zeit-

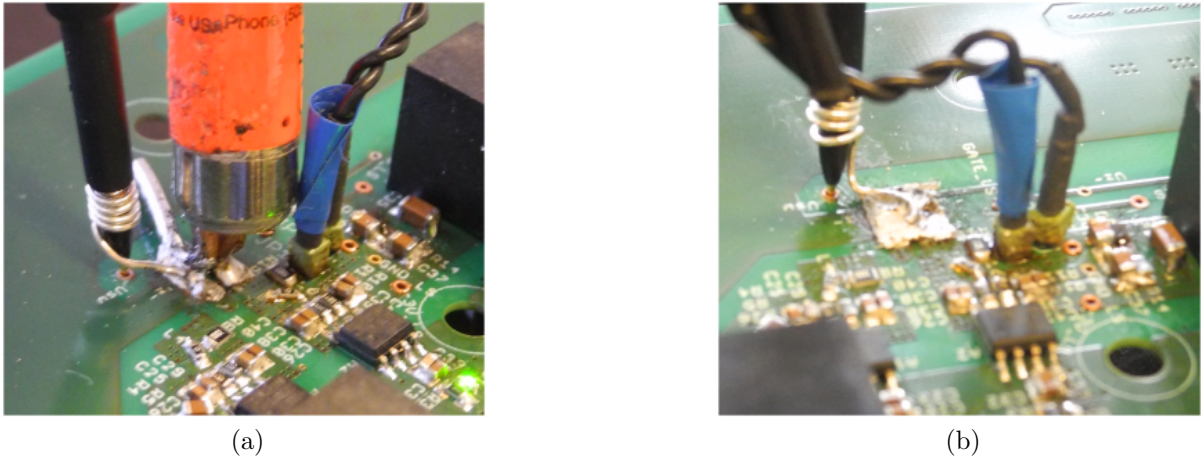


Abbildung 7.6: (a) Verwendung eines Koaxialshunt (b) Überbrückung der PADS des Shunts mit Kupferlitze, für einen möglichst niederinduktiven Strompfad

lichen Verläufe von $u_{GS,2}$ und $u_{DS,2}$ für $i_{D,2} = 5\text{ A}$ sind in Abbildung 7.7 zu sehen.

Auf den ersten Blick ist zu erkennen, dass die Oszillation der Drain-Source-Spannung, beim Verzicht eines Shunts, nicht vorhanden ist. Es ergibt sich lediglich eine Unterteilung in einen steilen und einen weniger steilen Abschnitt von $u_{DS,2}$, bedingt durch die nichtlineare Kapazität von $C_{GD,2}$. Bei

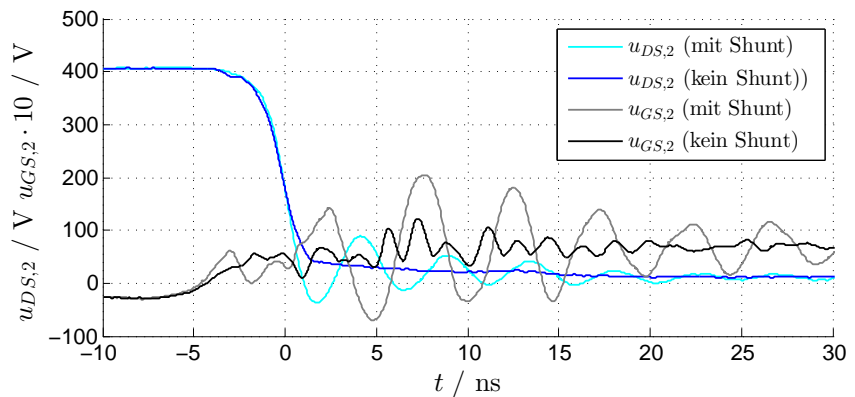


Abbildung 7.7: Einschaltvorgang bei $i_{D,2} = 5\text{ A}$ mit $R_{Gon} = 0\Omega$ mit und ohne Shunt

$u_{DS,2} = 50\text{ V}$ nimmt $C_{GD,2}$ stark zu, daher erfolgt ein langsames Absinken der Spannung. Das Datenblatt des GS66506T bestätigt dieses Verhalten von C_{GD} . Die Oszillation der Gate-Source-Spannung ist zwar nicht verschwunden wie es bei $u_{DS,2}$ der Fall ist, aber dafür ist die Amplitude deutlich kleiner. Ein Blick auf die Frequenz der Schwingung der Gate-Source-Spannung (ohne Shunt) liefert den Wert $f_{UGS,2,keinShunt} = 635\text{ MHz}$. Die Bandbreite des Differentialastkopfes beträgt jedoch nur 500 MHz . Es liegt daher auf der Hand, dass die tatsächliche Amplitude deutlich größer ist, als die in Abbildung 7.7

gezeigte. Bereits bei 500 MHz beträgt das gemessene Signal nur noch $\frac{1}{\sqrt{2}}=0,707$ des tatsächlichen Wertes. Die Kenntnis der realen Gate-Source-Spannung $u_{gs,2}$ bleibt jedoch unklar. Aufgrund der starken Stromoszillation ist anzunehmen, dass der Spannungsabfall an $L_{S,2}$ einen großen Einfluss auf $u_{GS,2}$ hat. Trotzdem ist es ratsam für den kontinuierlichen Betrieb die Einschaltgeschwindigkeit, sowohl bei Verwendung eines Shunts, als auch bei dessen Verzicht, zu reduzieren um in den zulässigen Grenzen des eGaN-FET zu arbeiten.

Weiterhin ist eine Erhöhung der Schaltzeit t_{fu} erkennbar, wenn kein Shunt verwendet wird. Die Ursache liegt an $L_{\sigma,Shunt}$ (siehe Abbildung 7.1). Während eines positiven $\frac{di_D}{dt}$ ($-3 \text{ ns} \leq t \leq 0$, Vgl. Abbildung 7.3) wird in $L_{\sigma,Shunt}$ eine positive Spannung induziert, womit sich $u_{DS,2}$ erhöht. Im Maximum von $i_{D,2}$ (ca. der Wendepunkt von $u_{DS,2}$) kehrt sich die Polarität von $u_{\sigma,Shunt}$ um, da ein negatives $\frac{di_D}{dt}$ vorliegt. Scheinbar hat sich die Schaltgeschwindigkeit erhöht, tatsächlich erfolgt die Um-

ladung von $C_{GD,2}$ genauso schnell, da $U_{\sigma,Shunt}$ außerhalb des Gatekreises liegt. Die Schaltzeiten betragen $t_{fu,Shunt} = 2,05 \text{ ns}$ und $t_{fu,keinShunt} = 2,7 \text{ ns}$. Die gemessenen Schaltzeiten sind damit deutlich langsamer. Es ist daher anzunehmen, dass sich durch den Einfluss des Shunts geringere Schaltverluste ergeben.

Es kann festgehalten werden, dass sich die zeitlichen Verläufe, insbesondere die auftretenden Oszillationen und die Zeit von t_{fu} , von $u_{DS,2}$ und $u_{GS,2}$ drastisch verändern, wenn ein koaxialer Shunt zur Messung des Stromes eingesetzt wird. Die Ursache liegt in der zusätzlichen Induktivität $L_{\sigma,Shunt}$, die direkt zur Schleifeninduktivität L_{σ} dazugerechnet wird. Der Shunt bietet zwar eine äußerst hohe Bandbreite von 1200 MHz, es wird jedoch meist vernachlässigt, dass die Zuleitungen des Shunts, speziell bei sehr kleinen und niederinduktiv ausgelegten Kommutierungsschleifen, einen großen Einfluss auf die Gesamtinduktivität haben. Für zukünftige Untersuchungen ist zu überlegen als Alternative SMD Shunts zu verwenden. In [95] wird ein Vorschlag für Doppelpulstests geboten, wobei der Shunt eine Bandbreite von $>500 \text{ MHz}$ erreicht.

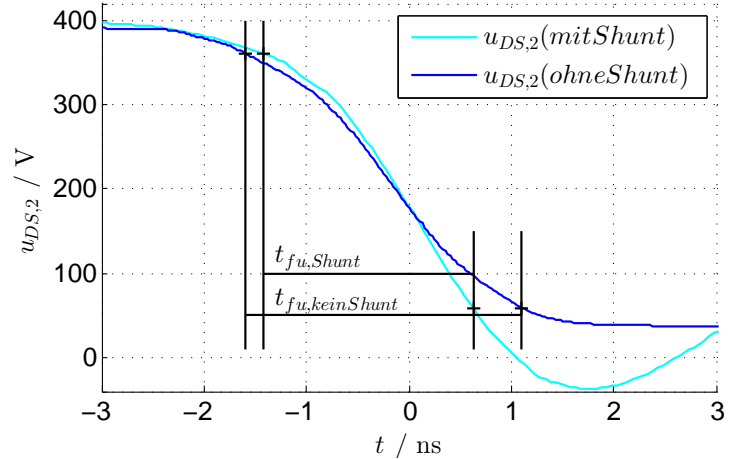


Abbildung 7.8: Einschaltvorgang mit $R_{Gon} = 0 \Omega$ mit (durchgezogene Linie) und ohne Shunt (gestrichelte Linie)

7.1.2 Ausschaltvorgang

In diesem Abschnitt werden die Messergebnisse des Ausschaltvorgangs der Doppelpulsmessung vorgestellt. Dazu wurden für $R_{G,off} = 0,47 \Omega$, 5Ω und 20Ω verwendet und zudem der Laststrom zwischen 5 A und 20 A variiert.

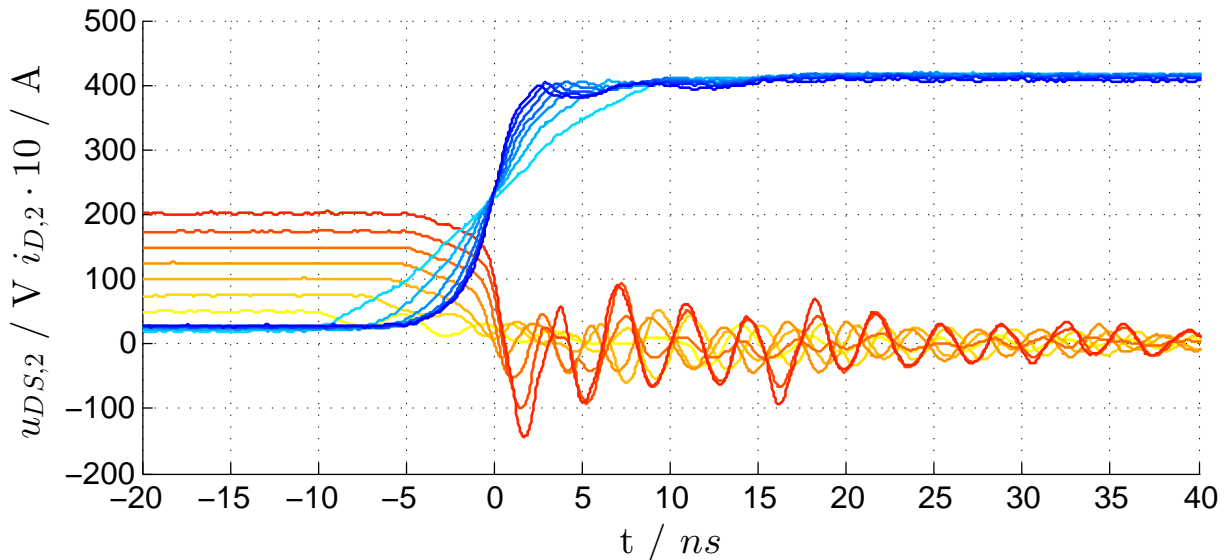


Abbildung 7.9: Ausschaltvorgang mit $R_{Goff} = 0,47 \Omega$

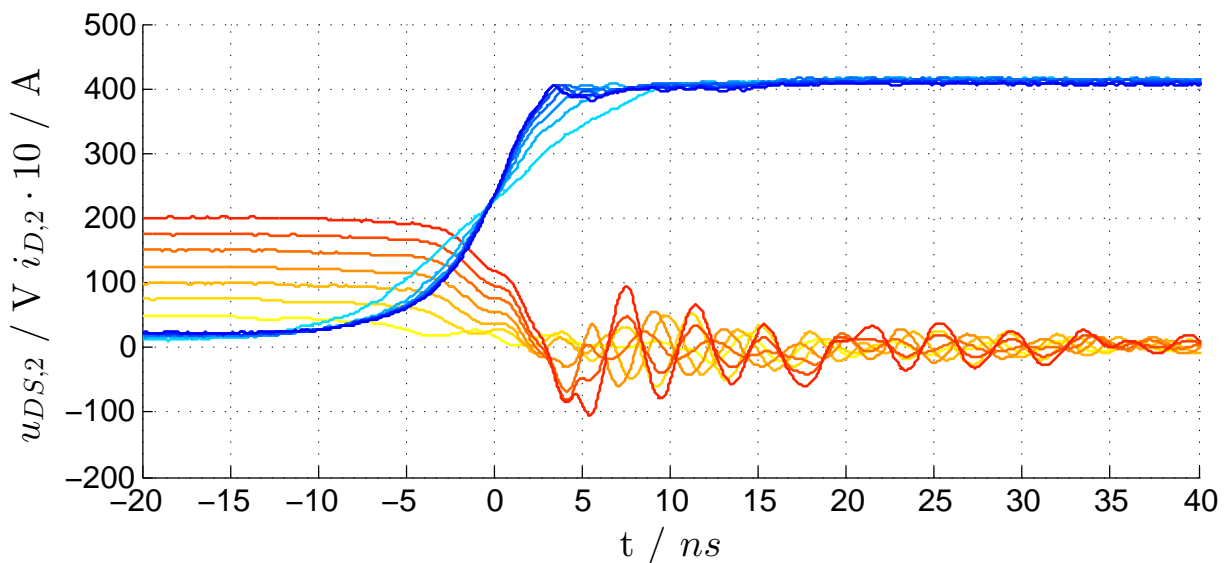


Abbildung 7.10: Ausschaltvorgang mit $R_{Goff} = 20 \Omega$

Im Gegensatz zum Einschaltvorgang offenbart sich bei einem ersten Blick auf Abbildung 7.9 eine deutliche Abhängigkeit der Spannungs- und Stromflankenanstiegsgeschwindigkeit von der Höhe des Laststroms. Mit steigendem Laststrom erhöht sich das $\frac{du_{DS}}{dt}$ und das $\frac{di_D}{dt}$. Bestätigt wird dies durch die Werte in Tabelle 7.2. Die Ursache liegt, wie bereits beim Einschaltvorgang, in der Drainstromabhängigkeit der Millerplateauspannung (siehe (2.12)). Die Anstiegszeit der Spannungsflanke variiert hierdurch sehr stark. Bei $R_{Goff} = 0,47 \Omega$

Tabelle 7.2: Spannungs- und Stromgradienten, sowie die Einschaltdauer t_{ru} für verschiedene Werte von $R_{G, on}$

R_{Goff} / Ω	$\frac{du_{DS}}{dt} / \text{Vns}^{-1}$		$\frac{di_D}{dt} / \text{Ans}^{-1}$		t_{ru} / ns	
	min	max	min	max	min	max
0,47	46,4 (5 A)	138,3 (20 A)	-2,2 (5 A)	-19,4 (20 A)	3,9 (20 A)	13,3 (5 A)
5	40 (5 A)	111 (20 A)	-1,75 (5 A)	-11,9 (20 A)	4,6 (20 A)	13,5 (5 A)
20	40,2 (5 A)	91,6 (20 A)	-1,8 (5 A)	-11,4 (20 A)	7,1 (20 A)	13,8 (5 A)

und $i_{D,2} = 5 \text{ A}$ sind es 13,3 ns. Beträgt der Laststrom 20 A, dann hat sich die Anstiegszeit auf weniger als ein Drittel, auf 3,9 ns, verkürzt. Es ist jedoch festzustellen, dass ab 15 A die Zeit t_{ru} mit weiterer Zunahme des Stroms weniger stark abnimmt. Vergleicht man die Spannungs- und Stromgradienten aus Tabelle 7.2 miteinander, dann fällt auf, dass die Veränderung der Anstiegsgeschwindigkeiten bei Zunahme des R_{Goff} nicht so stark variiert, wie beim Einschalten. Die Zeiten für $t_{fu, max}$ bleiben bei Veränderung von R_{Goff} nahezu konstant. Die Steuerbarkeit der Spannungsflanke ist somit bei kleinen Lastströmen nicht gegeben. Weiterhin auffällig ist das verfrühte Absinken des Drainstromes noch während des Millerplateaus. Die Ausgangskapazität des HS-eGaN-FET entlädt sich in diesem Moment, wodurch die Ausgleichsladungsträger vom Zwischenkreispotential über den Zwischenkreis und dem LS-eGaN-FET zurück zur Ausgangskapazität des HS-Transistors fließen. Dieser Strom ist dem Laststrom entgegen gerichtet und führt somit nach (2.10) zu einer Verringerung von $i_{D,2}$. Als vorteilhaft erweisen sich hierdurch reduzierte Schaltverluste. Bereits vor der vollständigen Sperrspannungsaufnahme des Transistors ist der Drainstrom vollständig erloschen, wodurch keine Überspannung (zusätzlich auch aufgrund des geringen L_σ) auftritt. Weiterhin zeigt sich ein direkter Zusammenhang zwischen der Anstiegsgeschwindigkeit von Spannung und Strom und der anschließenden Amplitude der Oszillation von $i_{D,2}$. Mit steigenden Gradienten erhöht sich die Oszillationsamplitude.

Berechnung von L_σ Wie bereits in Kapitel 7.1.1 wurden auch beim Ausschaltvorgang Messungen ohne Koaxialshunt durchgeführt.

Die Unterschiede sind jedoch weitaus geringer als beim Einschalten, daher soll auf die vollständigen zeitlichen Verläufe verzichtet werden. Einzig der kleine Bildausschnitt in Abbildung 7.11 soll betrachtet werden. Zu sehen ist der zeitliche Verlauf von $u_{DS,2}$ ohne Shunt nachdem $u_{DS,2}$ die Zwischenkreisspannung aufgenommen hat und von einer harmonischen Schwingung überlagert ist. Abbildung 3.6 zeigt die an dem Schwingungsvorgang verantwortlichen parasitären Elemente der Kommutierungsschleife. Die Ausgangskapazi-

tät $C_{OSS,2}$ bildet mit L_σ einen Reihenschwingkreis. Der Shunt wurde entfernt, da er L_σ erheblich erhöht und nicht Teil der eigentlichen Schaltung ist.

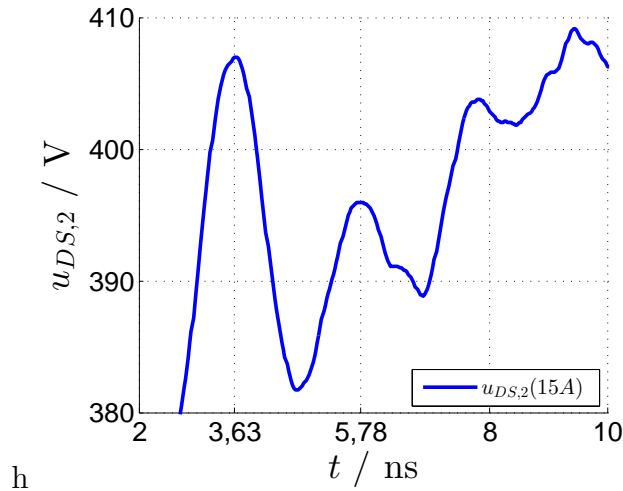


Abbildung 7.11: Oszillation von $u_{DS,2}$ zum Ende des Ausschaltvorganges

Durch Umstellen von Formel 3.16 nach L_σ kann die Schleifeninduktivität ohne Shunt ermittelt werden. Die Frequenz lässt sich aus Abbildung 7.11 ermitteln und beträgt $f_R = \frac{1}{T_R} = \frac{1}{2,15 \text{ ns}} = 465 \text{ MHz}$. Mit dem Wert für $C_{OSS,2}$ aus dem Datenblatt ergibt sich für L_σ (Methode zur Berechnung von L_σ nach [10][96]):

$$L_\sigma = \frac{1}{4 \cdot \pi^2 \cdot f_R^2 \cdot C_{OSS,2}} \quad (7.4)$$

$$L_\sigma = \frac{1}{4 \cdot \pi^2 \cdot \left(\frac{1}{2,15 \text{ ns}}\right)^2 \cdot 49 \text{ pF}} = 2,39 \text{ nH}$$

7.1.3 Schaltenergien

Aus den zeitlichen Verläufen aus Kapitel 7.1.1 und 7.1.2 wurden die Energien E_{on} und E_{off} mit Hilfe eines Matlab Scripts berechnet. Den Verlauf von E_{on}/E_{off} über $i_{D,2}$ ist in den Abbildungen 7.12a und 7.12b ersichtlich. Die Schaltenergien multipliziert mit der Taktfrequenz des Wandlers, liefert nach Formel (3.18) und (3.20) die Ein- bzw. die Ausschaltverluste. Die Einschaltverluste übersteigen die Ausschaltverluste um ein Vielfaches. Die Ursache ist die hohe Überstromspitze. Beim Ausschalten wirkt sich der kapazitive Strom entlastend aus und minimiert die Ausschaltverluste sehr stark. Bei $R_{Goff} = 0,47 \Omega / 5 \Omega$ beträgt E_{off} von $5 \text{ A} \leq i_{D,2} \leq 15 \text{ A}$ $5 \mu\text{Ws}$ oder weniger. Das Minimum ist nicht wie gedacht bei $i_{D,2} = 5 \text{ A}$ sondern bei $12,5 \text{ A}$. Der Grund liegt in der langen Anstiegszeit von t_{ru} bei geringen Drainströmen. Interessant ist auch, dass zwischen $0,47 \Omega$ und 5Ω kaum ein Unterschied zwischen den Ausschaltenergien festzustellen ist. Die Schaltverluste wurden für die Platine mit der Lackdrahtdrossel untersucht. Bei dem

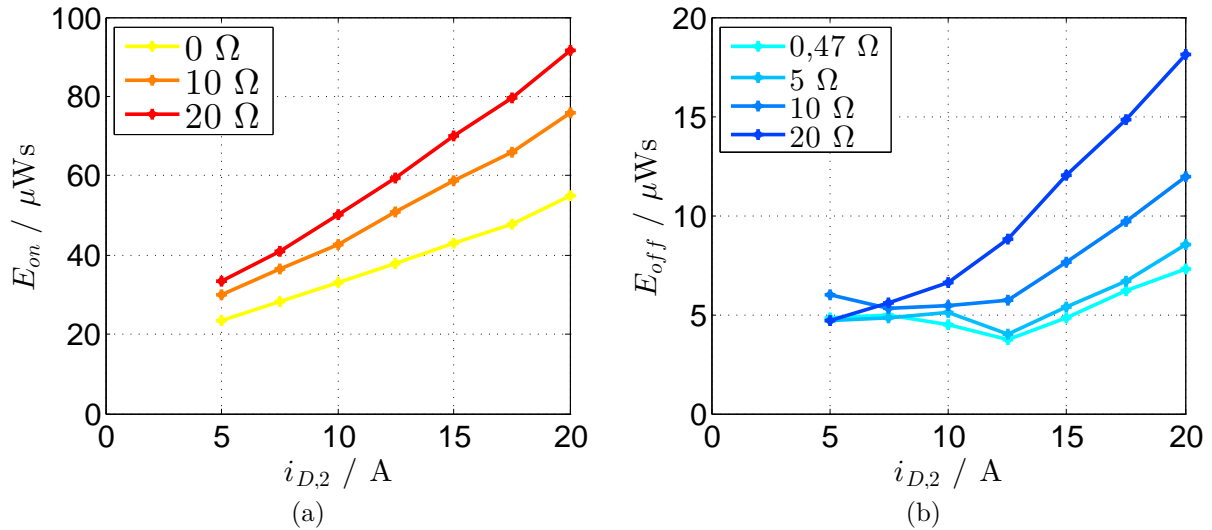


Abbildung 7.12: (a) Einschaltenergien (b) Ausschaltenergien

ersten Layout wurde zusätzlich ein Vergleich der Schaltenergien zwischen der Litze- und der Lackdrahtdrossel vorgenommen. Es traten bei der Litzedrossel um ein Drittel höhere Einschaltverluste, aufgrund einer höheren Überstromspitze auf. Als Ursache wird die doppelt so große parasitäre Kapazität der Litzedrossel angenommen (Vgl. Tab. 4.11). Es ist daher anzunehmen, dass bei dem zweiten Layout ein ähnlicher Zuwachs der Schaltverluste bei Verwendung der Litzedrossel auftritt. Bei der Doppelpulsmessung nicht erfassbar sind die Verluste die sich durch den Term III in Formel (3.19) berechnen lassen. Bei $U_{BN} = 400\ \text{V}$ und $f = 100\ \text{kHz}$ ergibt Term III $0,51\ \text{W}$ zusätzliche Einschaltverluste. Die Berechnung zeigt eine sehr gut Übereinstimmung mit dem Datenblattwert für $E_{OSS} = 5,3\ \mu\text{J}$, was einer Verlustleistung von $0,53\ \text{W}$ entspricht [48].

Die Einschaltverluste tragen bei $10\ \text{A}$ und $f = 100\ \text{kHz}$ ($R_{Gon} = 10\ \Omega$, $R_{Goff} = 0,47\ \Omega$) $91\ \%$ zu den Gesamtverlusten bei. Aus Sicht der Schaltverluste muss daher ein geringer R_{Gon} verwendet werden. Aus dem Grundlagenkapitel 3.2.1 ist bekannt, dass das $\frac{du_{DS}}{dt}$ nicht zu schnell werden darf, da andernfalls das Gate des komplementären Schalters oberhalb seiner Schwellspannung geladen wird und so zu einem Brückenkurzschluss führt. Dies und die Einhaltung der Grenzwerte von u_{GS} bestimmen daher zusätzlich die Wahl des R_{Gon} . Dieser wird anhand der zuvor genannten Kriterien für den Lastbetrieb des Synchronwandlers mit $R_{Gon} = 15\ \Omega$ festgelegt. Beim R_{Goff} muss gewährleistet sein, dass er das Gate des Synchron-eGaN-FET dauerhaft unterhalb der Schwellspannung hält und zugleich Oszillationen im Gatekreis verhindert. Da beide Forderungen an den R_{Goff} gegeneinander arbeiten muss ein Kompromiss gefunden werden. $0,47\ \Omega$ und $5\ \Omega$ zeigen die besten Resultate für den R_{Goff} .

7.2 Einzelbetrieb Synchron-TSS

7.2.1 Versuchsaufbau

Der Versuchsaufbau für die Belastungstests des Synchron-TSSs ist in Abbildung 7.13 zu sehen. Das DUT wurde während des Tests innerhalb einer Sicherheitsbox aufbewahrt.

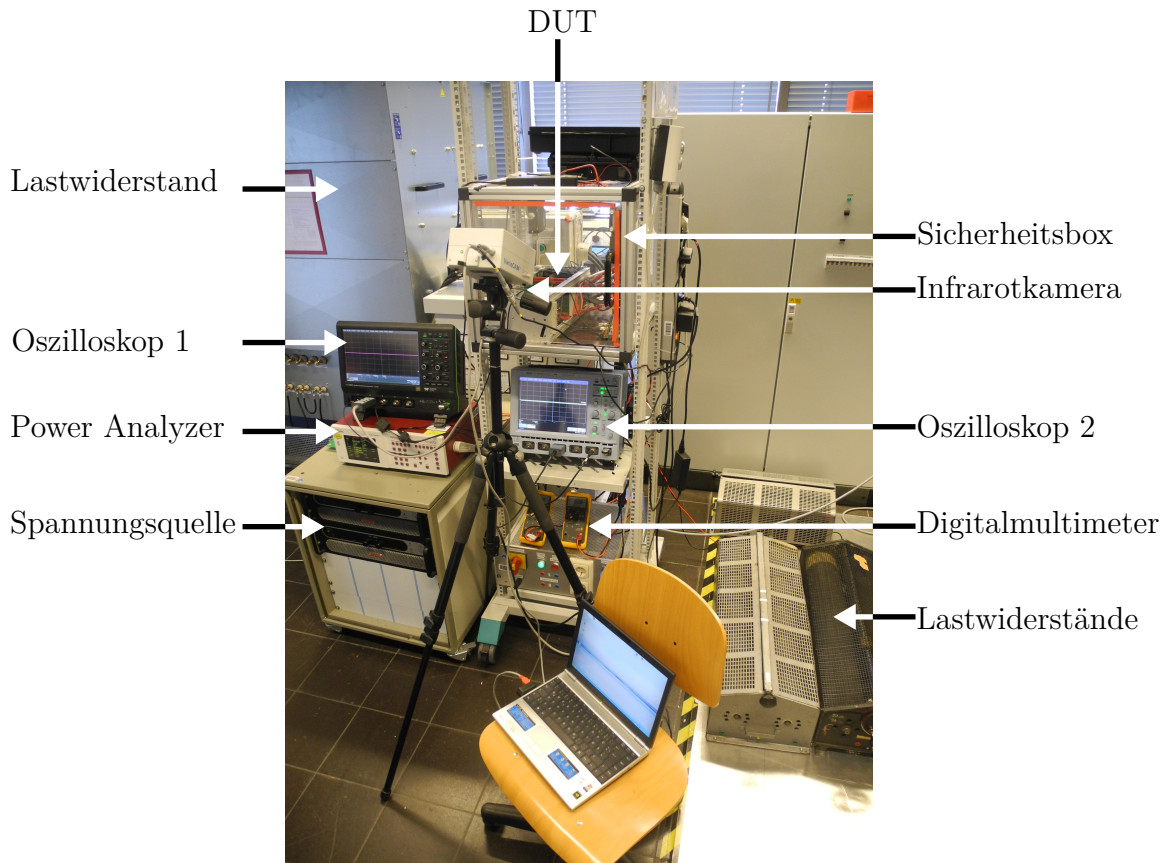


Abbildung 7.13: Versuchsaufbau für die Lastversuche des Synchronwandlers

Die Ansteuerung des Wandlers erfolgte mit Hilfe des Texas Instruments Mikrocontrollers TMS320F28335. Durch einen variablen Spannungsteiler läßt sich der Aussteuergrad und die Frequenz des Ansteuersignals einstellen. Für jedes Modul wurde in der Sicherheitsbox ein Lüfter zur Kühlung verwendet. Als Spannungsversorgung wurden zwei Netzteile der Firma Sorensen in Reihe geschaltet, um die benötigte Spannung von $U_{BN} = 400\text{ V}$ zu erhalten. Als Last dienten für niedrige Leistungen mehrere Stellwiderstände. Für hohe Leistungen wurden Festwiderstände (links in Abbildung 7.13) verwendet. Die Leistungsmessung erfolgte mit Hilfe des PPA5530 Power Analyzers der Firma Newtons 4th. $u_{GS,2}$ und $u_{DS,2}$ wurden mittels Oszilloskop 1 (Tabelle 5.1) gemessen. Das LeCroy Wavesurfer Oszilloskop (Oszilloskop 2), mit einer Bandbreite von 250 MHz, diente zum Erfassen der Ein- und Ausgangsströme des Synchronwandlers, sowie der Drosselströme im Parallelbetrieb. Zur Überwachung der Temperatur auf der Rückseite (siehe A.7) des Synchronwandlers diente die Infrarotkamera Vario Cam der Firma Infratec. Die Kühlkörper- und die Umgebungstemperatur innerhalb

der Sicherheitsbox wurden mit Typ K Thermoelementen erfasst. Die Auswertung erfolgte mit dem NI CDAQ 9172 und dem Thermoelementeingangsmodule NI 9211. Ein LabView Programm veranschaulichte die Temperatur grafisch auf einem Labor-PC, wodurch die Temperaturen im laufenden Betrieb des Wandlers überwacht werden konnten.

7.2.2 Inbetriebnahme

Bevor der Parallelbetrieb getestet werden konnte, musste jedes Modul im Einzelbetrieb auf die Funktion und Belastbarkeit hin überprüft werden. Die gewählten Einstellungen für die Module sind in Tabelle 7.3 zu sehen. Es zeigte sich, dass die avisierte Leistung von

Tabelle 7.3: Einstellungen der Synchronwandlermodule

R_{Gon} / Ω	R_{Goff} / Ω	t_{tot} / ns	a_{T1}	f / kHz
15	5	90	0,5	100

$P_{DSK} = 2500 W$ nicht erreicht werden konnte. Das erste Module lief bis $P_{DSK} = 2100 W$ stabil. Bei 2200 W erfolgte ein Defekt des Wandlers. Als Ursache für die Zerstörung wird die Überhitzung des Moduls angenommen. Ein Brückenkurzschluss kann ausgeschlossen werden, da der Abstand von $u_{GS,2}$ bis zur Schwellspannung U_{TH} genügend groß gewählt wurde und U_{TH} des GS66506T über den zulässigen Temperaturbereich konstant ist. Bei

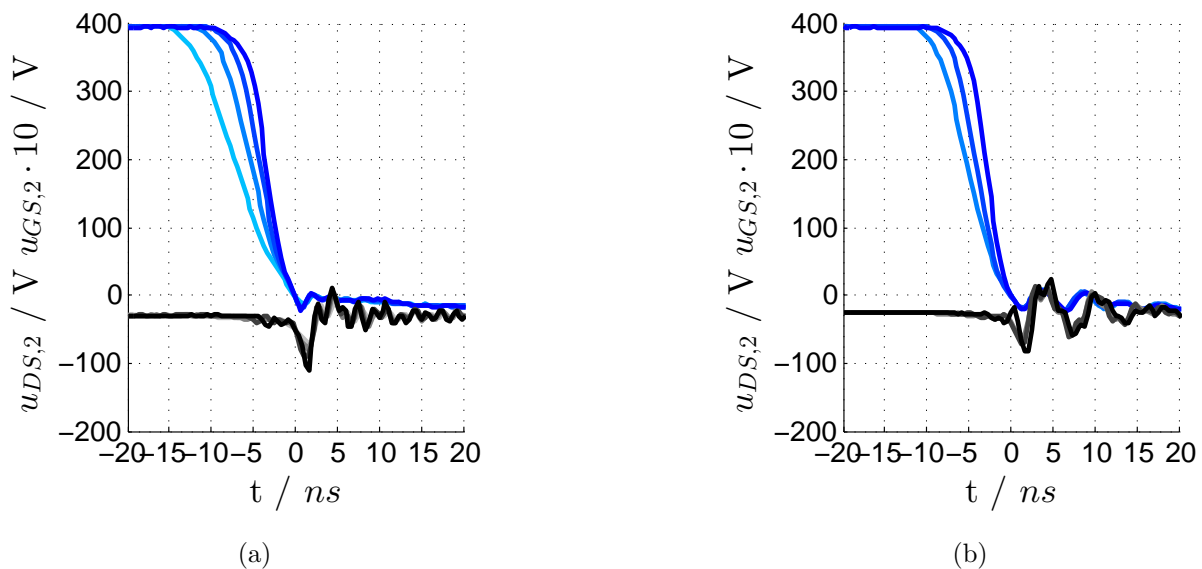


Abbildung 7.14: Ausschaltvorgang des HS-eGaN-FET mit (a) $R_{Goff} = 5 \Omega$ (b) $R_{Goff} = 0,47 \Omega$

den folgenden Wandlern wurde beim Auftragen der Wärmeleitpaste auf eine optimale Schichtdicke geachtet, um so die Entwärmung zu optimieren. Zudem wurden bei der Inbetriebnahme jedes Wandlers die Temperaturen von Kühlkörper, Umgebung und Leiterplatte

erfasst um eine Abschätzung der Leistungsfähigkeit der Kühlung der Module zu machen. Es traten deutliche Unterschiede bei der Temperatur auf, die jedoch erst in Kapitel 7.2.4 vorgestellt und diskutiert werden. Aufgrund der Zerstörung des ersten Moduls und der begrenzten Anzahl von Leiterplatten, wurden die Tests bis zu einer maximalen Leistung von $P_{DSK} = 2000 \text{ W}$ durchgeführt. Bei den folgenden Wandlern wurde beim Auftragen der Wärmeleitpaste besonders darauf geachtet, dass die Schicht weder zu dick noch zu dünn ist, um so die Entwärmung zu optimieren. Zudem wurden bei der Inbetriebnahme jedes Wandlers die Temperaturen von Kühlkörper, Umgebung und Leiterplatte erfasst um eine Abschätzung der Leistungsfähigkeit der Kühlung der Module zu machen. Es traten deutliche Unterschiede bei der Temperatur auf, die jedoch erst in Kapitel 7.2.4 vorgestellt und diskutiert werden. Aufgrund der Zerstörung des ersten Moduls und der begrenzten Anzahl von Leiterplatten, wurden die Tests bis zu einer maximalen Leistung von $P_{DSK} = 2000 \text{ W}$ durchgeführt.

Die Abbildungen 7.14a und 7.16 zeigen den Aus- und den Einschaltvorgang des HS-eGaN-FET mit $R_{Goff} = 5 \Omega$ mit der zugehörigen Legende in Abbildung 7.15.

Ausschaltvorgang T1 In Abbildung 7.14a sind die fallenden Flanken von $u_{DS,2}$ für 4 verschiedene Ausgangsleistungen zu sehen. Dies bedeutet jedoch nicht, dass der untere eGaN-FET einschaltet. Verantwortlich für den Schaltvorgang ist T1, der HS-Transistor. Der Einschaltvorgang von T2 erfolgt ca. 90 ns später. Daher lässt sich anhand der Messung von $u_{DS,2}$ der Ausschaltvorgang von T1 veranschaulichen. Um die Auswirkung des R_{Goff} auf $u_{GS,2}$ des LS-Transistor zu verdeutlichen wurde zusätzlich der Ausschaltvorgang mit $R_{Goff} = 0,47 \Omega$ in Abbildung 7.14b dargestellt. Die Auswirkungen durch den geringeren Widerstand auf die Schaltgeschwindigkeit sind kaum erkennbar. Von Interesse ist an dieser Stelle die Wirkung des $R_{Goff,2}$ auf $u_{GS,2}$.

Das Ausschalten des HS-eGaN-FET bewirkt einen positiven Gate-Drain-Strom $i_{GD,2}$, welcher zu einem Spannungsabfall an der Gateimpedanz $R_{Gate,2} + X_{Gate,2}$ führt. Dieser Strom wird insbesondere dann groß, wenn $C_{GD,2}$, aufgrund der geringen Drain-Source-Spannung, zunimmt [49, S. 12f.]. Daraus resultiert ein negativer Spannungspike von $u_{GS,2}$. Dieser ist umso kleiner, je geringer der R_{Goff} gewählt wird. Gleichzeitig treten, bedingt durch die geringe Dämpfung stärkere Oszillationen im Gatekreis auf, wobei $u_{GS,2}$ zeitweilig oberhalb der Schwellspannung liegt. Dies ist nicht weiter gefährlich, da der Strom bereits durch die Body-Diode des LS-eGaN-FET fließt, dennoch sollten Oszillationen vermieden werden. Eine gute Dämpfung der Oszillation wird mit $R_{Goff} = 5 \Omega$ erreicht.

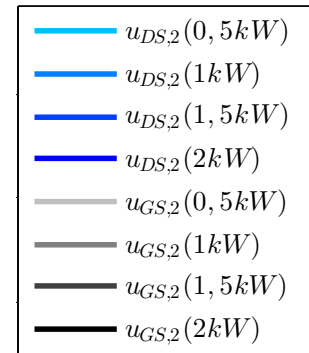


Abbildung 7.15: Legende für den Ein- und Ausschaltvorgang des HS-eGaN-FET (siehe Abb. 7.14a, 7.14b und 7.16)

Nachteilig wirkt sich der negative Spannungsspeak (aufgrund der höheren Gateimpedanz) aus und erreicht -11 V . Dieser Wert liegt innerhalb der zulässigen Grenzen des Transistors ($u_{GSmin} = -20\text{ V}$) und kann daher toleriert werden.

Einschaltvorgang T1 Beim Einschalten des HS-eGaN-FET fließt ein negativer Strom $i_{GD,2}$. Dies führt zu einer Zunahme von $u_{GS,2}$, wie dies in Abbildung 7.16 deutlich zu erkennen ist. $u_{GS,2}$ erreicht als maximalen Wert ca. 0 V , womit genügend Reserve bis zur Schwellspannung vorhanden ist. Anschließende Oszillationen sind kaum vorhanden. Die hellblaue Kennlinie von $u_{DS,2}$ verdeutlicht, dass der LS-Transistor während des Totzeitintervalls Sperrspannung aufnimmt. Der Grund liegt an dem hohen Stromrippel von $\Delta i_L = 10\text{ A}$, welcher höher ist als der Gleichanteil der Drossel. Aufgrund des Synchronbetriebs tritt kein lückender Betrieb auf, wenn die Drossel vollständig abmagnetisiert ist. Sobald der Drosselstrom 0 ist, baut sich ein negativer Strom in positiver Richtung von $i_{D,2}$ auf. Schaltet T2 aus, dann treibt die Drossel den Strom i_L über die Body-Diode des HS-eGaN-FET (erkennbar an der Überhöhung von $u_{DS,2}$), solange bis T1 einschaltet, woraufhin der Strom auf den Kanal kommutiert und sich ein positives $\frac{di_L}{dt}$ einstellt.

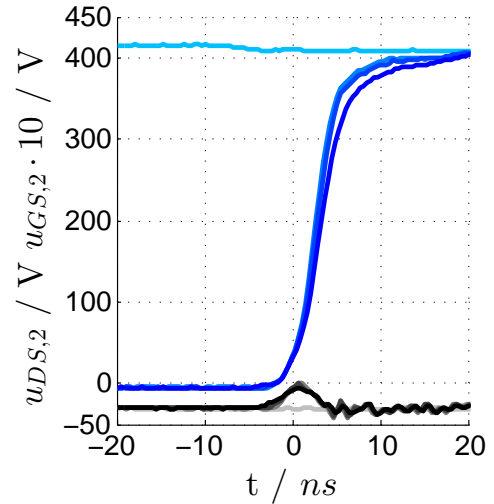


Abbildung 7.16: Einschaltvorgang des HS-eGaN-FET

Die im Anhang in Tabelle A.1 und A.2 definierten maximalen und minimalen Aussteuergrade wurden sowohl für den TSS- als auch für den HSS-Betrieb bei einer geringen Leistung von $P_{DSK} = 500\text{ W}$ erprobt. In Abbildung 7.17 sind die zeitlichen Verläufe von

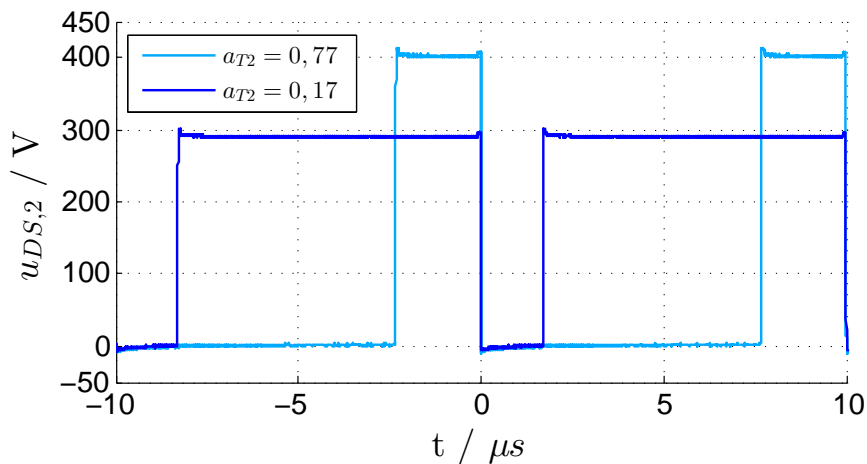


Abbildung 7.17: Aussteuerergrenzen des HSS

$u_{DS,2}$ beim Betrieb des Synchronwandlers im HSS-Betrieb bei $a_{T2} = 0,77$ und $a_{T2} = 0,17$ zu sehen. Die leichten Überhöhungen im Bereich der Flanken deuten die Spannungsabfälle an der Body-Diode des HS eGaN-FET an.

7.2.3 Wirkungsgrad

Zur Bestimmung des Wirkungsgrades wurde die Ein- und Ausgangsseitige Leistung des Synchronwandlers bestimmt. Dazu wurde Platine 1 (verwendet Litze-Drossel) und 2 (verwendet Lackdraht-Drossel), separat unter den gleichen Testbedingungen vermessen, wie in Tabelle 7.3 dargestellt. Die Leistungsmesswerte unterlagen während der Messung leichten

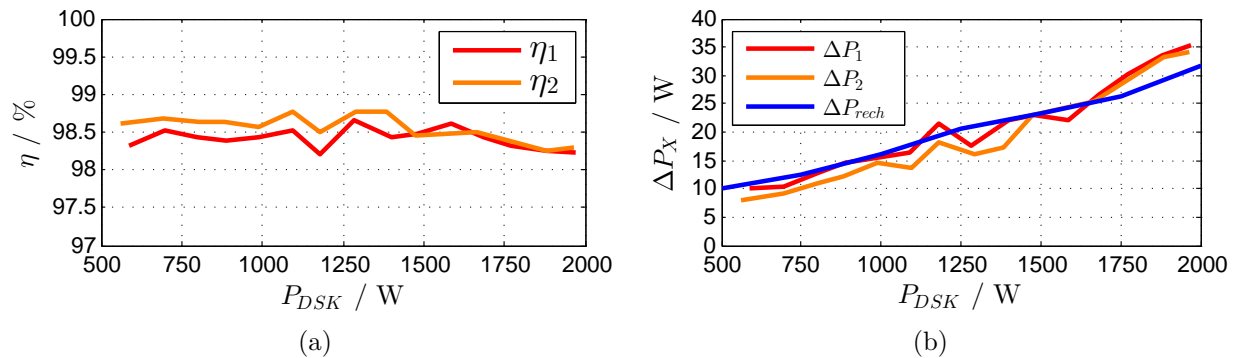


Abbildung 7.18: (a) Wirkungsgrad von Modul 1 und 2 (b) absolute Verluste von Modul 1 und 2

Schwankungen⁸, daher wurde der minimale und der maximale Wert der Zu- und der abgeführten Leistung notiert und jeweils der Mittelwert gebildet. Zukünftig wäre ein direktes Auslesen und mitteln mehrerer Werte sinnvoll, um den Messfehler weiter zu reduzieren. Der Wirkungsgrad über der ausgangsseitigen Leistung P_{DSK} ist in Abbildung 7.18a zu sehen. Zwischen 500 W und 2000 W liegt η über 98 %. Die maximalen Wirkungsgrade werden bei beiden Modulen bei 1300 W erreicht. Die maximalen Wirkungsgrade betragen: $\eta_{1max} = 98,65\%$, $\eta_{2max} = 98,77\%$. Von 500 W bis 1500 W ist der Wirkungsgrad nahezu konstant. Ab 1500 W beginnt dieser erkennbar zu sinken.

Die absoluten Verluste beider Module sowie die theoretische Verlustleistung sind in Abbildung 7.18b dargestellt. Der Verlauf der orangenen und roten Kennlinie untergliedert sich in zwei lineare Segmente (Grenze bei ca. 1600 W) unterschiedlicher Steigung. Ab 1600 W nimmt die Steigung zu. Eine mögliche Ursache für die geringe Differenz von 1 bis 2 kW zwischen ΔP_1 und ΔP_2 (600 bis 1500W) sind die erhöhten Einschaltverluste aufgrund der Litzedrossel.

Neben den gemessenen Verlusten, sind in blau die Summe der, teils berechneten und teils gemessenen, absoluten Verluste dargestellt. Aufgrund der Unkenntnis der Sperrschichttemperatur und dem Wissen, dass sich die Module bei schlechter Entwärmung bei 2100 W im Grenzbereich der Funktionsfähigkeit befinden, wurden die Sperrschichttemperaturen nach den Werten aus Tabelle 7.4 angenommen. Die aus dem Datenblatt gegebenen Werte

⁸Im Falle eines sich erwärmenden Lastwiderstandes wurde gewartet, bis die Leistung konstant blieb

des $R_{DS(on)}$ wurden linear interpoliert. Mit Hilfe der errechneten Kennliniengleichung $R_{DS(on)}(\vartheta_{JX}) = 0,864 \text{ m}\Omega^{\circ}\text{C}^{-1} + 45,4 \text{ m}\Omega$ wurden die Widerstände bei den entsprechenden Sperrschichttemperaturen berechnet. Die Schaltenergien wurden aus Abbildung 7.12a und 7.12b entnommen. Dabei war es wichtig den Stromrippel zu berücksichtigen, da das Einschalten nach dem Abmagnetisieren und das Ausschalten nach dem Aufmagnetisieren geschieht und damit der Einschalt- und der Ausschaltstrom deutlich von I_{DSK} abweichen. Die Kupferverluste der Drossel erfolgten anhand der Berechnung nach (3.31). Aus dem Katalog für den Pulverkern wurden für die jeweiligen Ausgangsströme und dem Stromrippel die Kernverluste berechnet. Die blaue Kennlinie zeigt eine gute Übereinstimmung mit den

Tabelle 7.4: Parameter für die Berechnung von ΔP_{rech}

P_{DSK} / W	500	750	1000	1250	1500	1750	2000
$\vartheta_{JX} / ^{\circ}\text{C}$	30	40	55	70	90	110	130
$R_{DS(on)} / \Omega$	71,3	80	92,9	105,9	123,2	140,4	157,7

anderen beiden Kennlinien. Einzig das zweite, steilere Segment wird nicht nachgebildet.

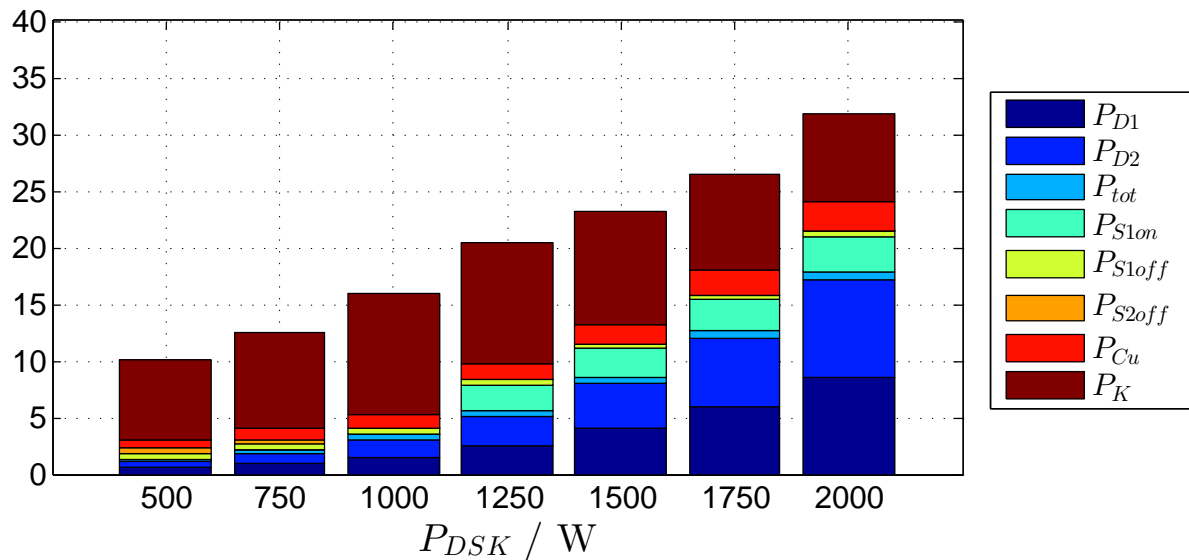


Abbildung 7.19: Aufteilung der berechneten Einzelverluste auf die berechneten Gesamtverluste

Die Aufteilung der berechneten Gesamtverluste ΔP_{rech} ist in Abbildung 7.19 zu sehen. Bei kleineren und mittleren Leistungen überragen die Kernverluste die Gesamtverluste. Bei 1000 W und niedriger treten keine Einschaltverluste des HS-eGaN-FET T1 in Erscheinung, da der Synchronwandler teilweise als HSS arbeitet (wenn sich die Energieflussrichtung umkehrt). Daher treten geringe Ausschaltverluste in T2 auf. Bei hohen Leistungen dominieren die Durchlassverluste der eGaN-FETs. Bei 2000 W beträgt der Anteil 50% an den Gesamtverlusten.

7.2.4 Temperaturmessung

Mit der Temperaturmessung soll eine möglichst genaue Abschätzung der Sperrschichttemperatur erreicht werden, um so die zulässigen Leistungsgrenzen des Moduls feststellen zu können. Der erste Ansatz war die Erfassung der Gehäusetemperatur des LS-eGaN-FET mit einem dünnen Typ T-Thermoelement mit einer Dicke von 40 μm . Das Thermoelement sollte dazu in die Wärmeleitpastenschicht zwischen eGaN-FET Gehäuse und AlN-Keramik gebracht werden ohne dabei merklich den R_{TH} des Gesamtpfades zu erhöhen. Durch den $R_{TH,JC}$ aus dem Datenblatt und durch Messung der Gehäusetemperatur bei einer definierten Verlustleistungseinspeisung ist die Berechnung der Sperrschichttemperatur möglich. Im Synchronbetrieb kann anhand der Gehäusetemperatur auf ϑ_J geschlossen werden. Die Drähte wurden bei der Firma Rössel Messtechnik erworben. Das Institut für Werkstoff und Fügechnik der Otto-von-Guericke-Universität (OvGU) fügte die beiden Drähte mit dem Laserschweißverfahren zusammen. Abbildung 7.21a zeigt links das dünne Thermoelement im direkten Vergleich mit einem Standard-Thermoelement, welches für die Messung der Kühlkörpertemperatur verwendet wurde. Praktisch ließ sich diese Temperaturmessung nicht realisieren, da die Kühlung des Synchronwandlers bereits ohne Eingriff in den thermischen Pfad an die Grenzen stieß. Eine zukünftige Verbesserung der Kühlung und/oder Verringerung der Verluste, sollte es ermöglichen das sehr feine Thermoelement einzusetzen. Stattdessen wurden herkömmliche Temperaturmessverfahren wie Infrarotmessung und die Erfassung der Kühlkörpertemperatur mit einem Thermoelement verwendet.

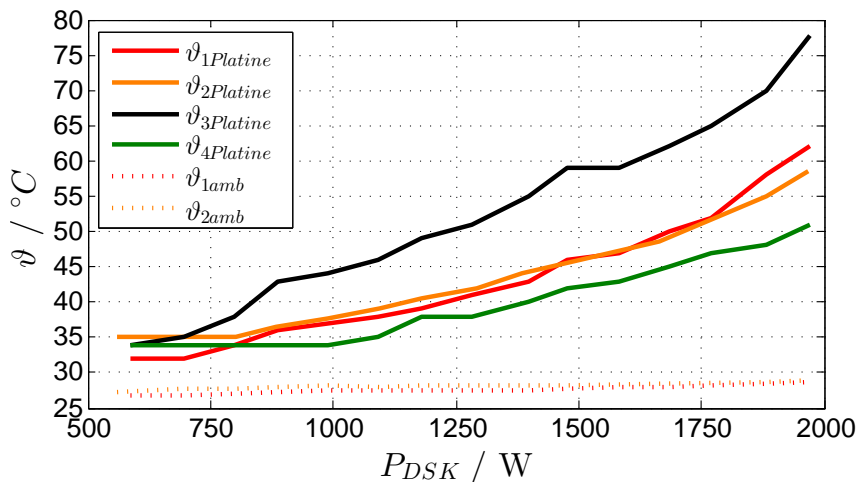


Abbildung 7.20: Temperaturen verschiedener Platinen ($\vartheta_{X\text{Platine}}$) und Umgebungstemperaturen ($\vartheta_{X\text{amb}}$)

Infrarotmessung Für die Infrarotmessung wurde in die Sicherheitsbox (7.13) eine Öffnung gebohrt, durch die die Platinenrückseite, mit der Kamera, fokussiert wurde. Während der Messung war der Raum abgedunkelt. Metallisch glänzende Stellen, wie z.B. die

kurzgeschlossenen Shunt PADS (siehe Abbildung 6.3) wurden geschwärzt, wodurch sich der Emissionsgrad und die Genauigkeit der Temperaturmessung erhöht.

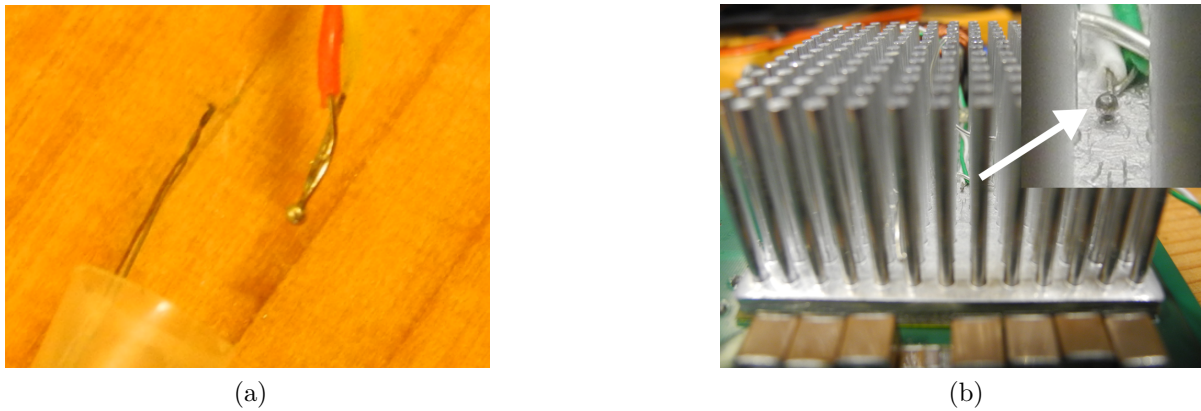


Abbildung 7.21: (a) Gegenüberstellung eines Standard-Thermoelementes mit einem sehr dünnen Thermoelement (b) Installation des Thermoelementes in der Mitte des Kühlkörpers

Messung der Kühlkörpertemperatur mit Thermoelement Bei den ersten Messungen mit dem Thermoelement wurde der Sensor am Rand des Kühlkörpers installiert. Aufgrund der geringen gemessenen Temperaturen wurde das Thermoelement in der Mitte des Kühlkörpers, wie in Abbildung 7.21b zu sehen, angebracht. Die im Zentrum des Kühlkörpers gemessene Temperatur lag bei 2kW um 8°C höher als am Rand.

In Abbildung 7.20 ist der Verlauf der Temperaturen ϑ über der Ausgangsleistung P_{DSK} ersichtlich. $\vartheta_{XPlatine}$ zeigt die maximalen Temperaturen der Platinenrückseite von vier, im Einzelbetrieb getesteten, Wandlern. Diese Temperaturen wurden mit Hilfe der Wärmebildkamera ermittelt (Vgl. Abbildung 7.22a und 7.22b). Es sind die Temperaturverläufe von Platine 1 und 2 ($\vartheta_{1Platine}$ und $\vartheta_{2Platine}$), deren Wirkungsgrad im vorherigen Kapitel vorgestellt wurde, sowie die Temperaturen zweier weiterer Platinen dargestellt. Die beiden Letzteren veranschaulichen die Temperaturen der Synchronwandler mit der schlechtesten (schwarze Kennlinie, $\vartheta_{3Platine}$) bzw. besten Entwärmung (grüne Kennlinie, $\vartheta_{4Platine}$). Die Ergebnisse zeigen, dass die Temperaturen der Synchronwandler sehr stark voneinander abweichen. Als Hauptursache werden die von Hand aufgetragenen Schichten der Wärmeleitpaste angesehen. Variierende Dicken der Wärmeleitpaste, Lufteinschlüsse, unterschiedliche Drehmomente beim Festziehen der Kühlkörperschrauben sowie die nicht exakt parallele Anordnung der Schichtenfolge nach Abbildung 4.5 führen zu voneinander abweichenden thermischen Widerständen zwischen dem Gehäuse des eGaN-FET und dem Kühlkörper der einzelnen Module. Die Infrarotaufnahmen bei 2 kW für Platine 2 und 3 sind in Abbildung 7.22a und 7.22b dargestellt. In den Aufnahmen sind die DC/DC Wandler, sowie der LS und HS Treiber gut zu erkennen. Die heißeste Fläche befindet sich unterhalb des HS-Transistors T1 und dem Schaltknoten, was mit Hilfe der Schaltplanausschnitte in 7.23 und 7.24 gut zu

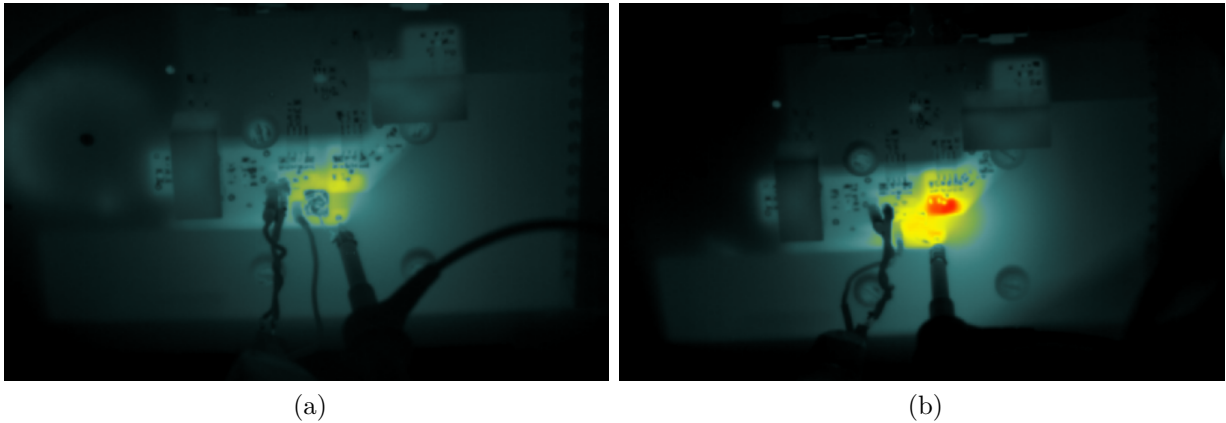


Abbildung 7.22: (a) Thermobild Platine 2 (b) Thermobild Platine 3

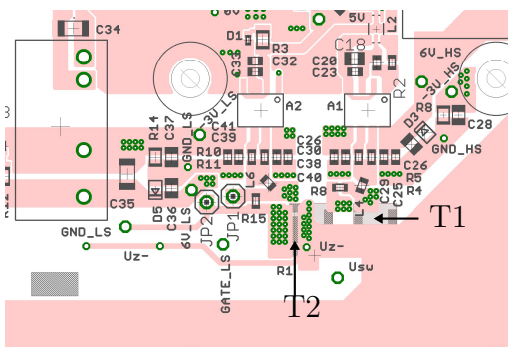


Abbildung 7.23: Layoutausschnitt der Platinenrückseite

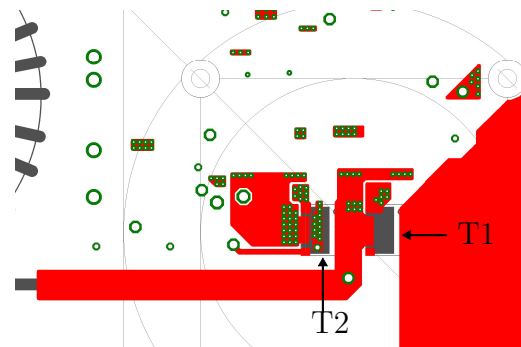


Abbildung 7.24: Layoutausschnitt der gespiegelten Platinenvorderseite

erkennen ist. Der Temperaturanstieg $\vartheta_{XPlatine}$ in Abbildung 7.20 verhält sich proportional zur Verlustleistung (Vgl. 7.18b) des Wandlers. Die bei ca. 1600 W einsetzende Zunahme der Steigung der absoluten Verluste von Platine 1 und 2 ist auch im Temperaturverlauf $\vartheta_{1Platine}$ und $\vartheta_{2Platine}$ ersichtlich. Anhand dieser Tatsache, kann darauf geschlossen, dass der Grund für die Zunahme der Gesamtverluste ab 1600 W in den LHL liegen.

Zum Abschluss dieses Kapitels wird ein Vergleich aus gemessener und berechneter Kühlkörpertemperatur vorgenommen werden. Als Grundlage für die Berechnung der Kühlkörpertemperatur dienen die LHL-Verluste der berechneten Gesamtverluste aus Kapitel 7.2.3, da sie mit den gemessenen Verlusten gut übereinstimmen. Für die Berechnung wurde derselbe thermische Pfad wie in Abbildung 4.5 mit den R_{TH} Werten aus Tabelle 4.4 verwendet. Des weiteren wurde innerhalb der Rechnung die gemessene Umgebungstemperatur ϑ_{2amb} verwendet, da sie mit 26,9 bis 28,8 °C deutlich von der zuvor angenommenen Umgebungstemperatur (25 °C) abweicht. Die berechnete und die gemessene Kühlkörpertemperatur $\vartheta_{S2,r} / \vartheta_{S2,m}$ sind in Abbildung 7.25 zu sehen. Beide Temperaturverläufe weisen eine hohe Übereinstimmung auf. D.h. die berechnete Verlustleistung ΔP_{rech} und der dem Datenblatt entnommene $R_{TH,SA}$ stimmen gut mit den tatsächlichen Werten für ΔP_2 und $R_{TH,SA}$ überein. Es stellt sich nun die Frage hinsichtlich der Plausibilität der berechne-

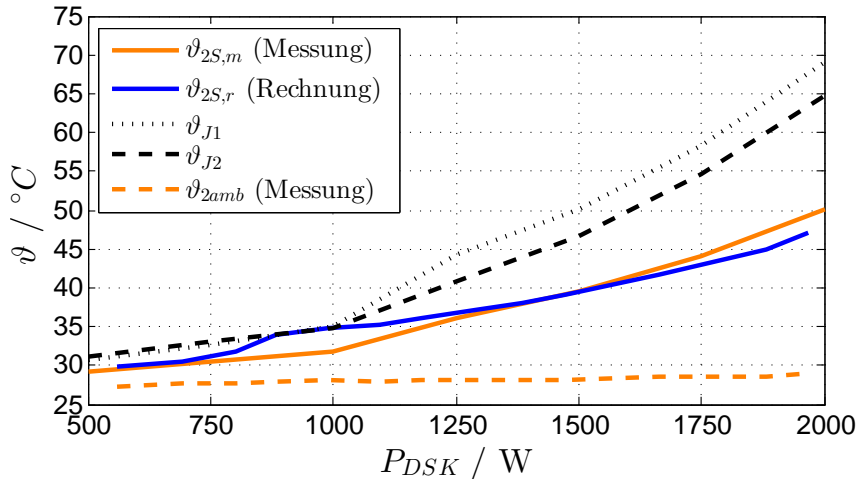


Abbildung 7.25

ten Sperrschichttemperaturen $\vartheta_{J1}/\vartheta_{J2}$. Unter den angenommenen R_{TH} aus Tabelle 4.4 ergäben sich für den HS- und für den LS-Transistor $69^{\circ}\text{C} / 65^{\circ}\text{C}$ Sperrschichttemperatur bei $P_{DSK} = 2\text{ kW}$. Die tatsächlichen Temperaturen sind deutlich höher, da das erste Modul bereits bei $2,2\text{ kW}$, aufgrund von Überhitzung, versagt hat. Zu erwarten sind Sperrschichttemperaturen, wie diejenigen die bei der Verlustleistungsberechnung in Tabelle 7.4 verwendet wurden. Demnach müssen die thermischen Pfade der beiden LHL einen höheren R_{TH} besitzen als diejenigen die in 4.4 mit $R_{TH,1} = R_{TH,2} = 0,86^{\circ}\text{C}\text{W}^{-1}$ angenommen wurden. Nimmt man für 2 kW ϑ_{JX} mit 130°C an, ergäbe sich ein $R_{TH,1} = 6,6^{\circ}\text{C}\text{W}^{-1}$ und $R_{TH,2} = 8,5^{\circ}\text{C}\text{W}^{-1}$ (Vgl. Abbildung 4.5).

Neben dem Aluminium Stiftkühlkörper wurde auch der AlN-Kühlkörper mit Platine 2 verwendet und durch selbige Temperaturmessung erprobt. Bei 1500 W betrug die Kühlkörpertemperatur $42,9^{\circ}\text{C}$ und die Platinentemperatur $48,2^{\circ}\text{C}$. Die Werte sind $3,8^{\circ}\text{C}$ bzw. $2,7^{\circ}\text{C}$ höher als bei Verwendung eines Aluminium Stiftkühlkörpers.

7.3 Parallelbetrieb Synchron-TSS

Nachdem die 2 Module im Einzelbetrieb erfolgreich getestet wurden, erfolgte die Untersuchung im Parallelbetrieb. Zunächst wurden die Wandler, wie in Abb. 7.26 zu sehen, direkt

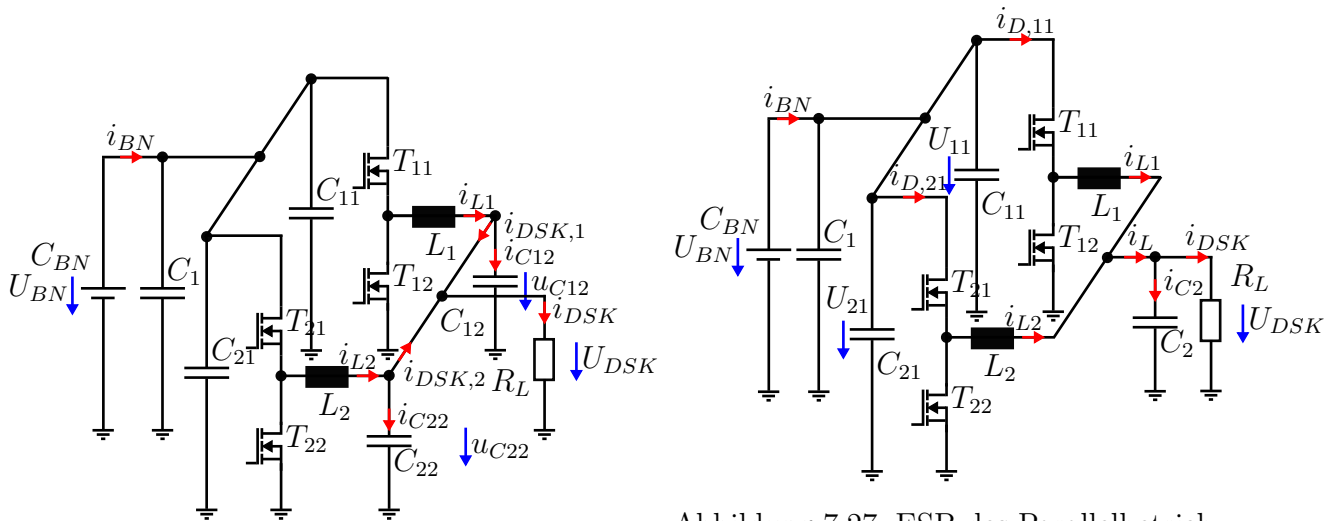


Abbildung 7.26: ESB des Parallelbetriebstests Nr. 1

Abbildung 7.27: ESB des Parallelbetriebstests Nr. 2, welches für alle weiteren Tests verwendet wurde

parallelgeschaltet und die Ströme i_{DSK1} und i_{DSK2} oszillographiert. Anhand der Verläufe in Abbildung 7.29a ist ersichtlich, dass die Ströme einen hohen Wechselanteil tragen. Durch die phasenversetzte Ansteuerung ergibt sich eine Spannungsdifferenz zwischen den U_{C12} und U_{C22} aufgrund der dazwischenliegenden Leitungsimpedanz. Hierdurch fließen Ausgleichsströme zwischen den beiden Kondensatoren.

Als erste Maßnahme wurden die Module im Chassis dichter zusammen gefügt (Abbildung 7.28 zeigt den ersten Aufbau mit großen Abständen zwischen den Modulen). Die Oszillation in i_{DSK1} und i_{DSK2} war jedoch weiterhin vorhanden. Um Ausgleichsströme zwischen den Kondensatoren zu minimieren, wurden die Drosselströme wie in Abbildung 7.27 zu einem Sternpunkt zusammengeführt. Dies entspricht dem eigentlichen Prinzip des Parallel- bzw. Interleaved-Betriebes, da es durch die phasenversetzte Ansteuerung zur Stromrippelreduzierung bzw. -auslöschung kommt und damit den Filteraufwand reduziert. Der Strom i_L , als Summe der beiden Drosselströme i_{L1} und i_{L2} , weist in Abbildung 7.29b nahezu keinen Stromrippel auf, da sich der Aussteuergrad bei ca. 0,5 befindet. Das erzielte Resultat wurde als ausreichend akzeptiert, womit der Parallelbetrieb im folgenden Abschnitt bei maximaler Eingangsspannung und höheren Leistungen betrachtet wird.



Abbildung 7.28: Testaufbau für den Parallelbetrieb

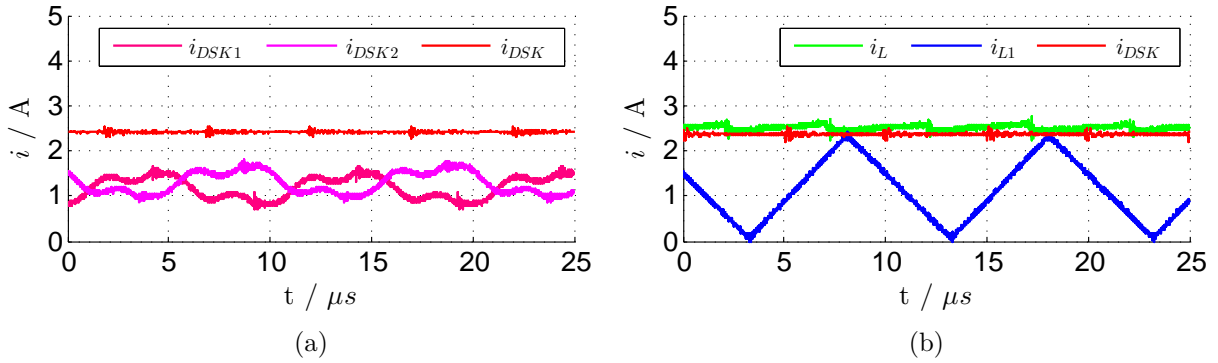


Abbildung 7.29: (a) gemessene Ströme im Parallelbetrieb nach 7.26 (b) gemessene Ströme im Parallelbetrieb nach 7.27

7.3.1 Verläufe

Die Verläufe der Eingangs-, Ausgangs- und Drosselströme (i_{BN} , i_{DSK} , i_{L1} und i_{L2}) sowie von $u_{DS,2}$ und $u_{GS,2}$ werden in diesem Abschnitt vorgestellt. Abbildung 7.30a und 7.30b zeigen i_{BN} und i_{DSK} für vier verschiedene Ausgangsleistungen ($P_{DSK} = 250 \text{ W}$; 1000 W ; 2000 W ; 3900 W). Die Grundschiwingung der Eingangsströme $i_{D,11}$ und $i_{D,12}$ verursacht an der Eingangsimpedanz der Kondensatoren einen sinusförmigen Spannungsabfall mit der doppelten Taktfrequenz des Synchronwandlers. Diese Wechselspannung sorgt für einen sinusförmigen Wechselanteil des Bordnetstromes i_{BN} , wie er in Abbildung 7.30a gut zu erkennen ist. Die Ursache für die Frequenz des Wechselanteils des Stromes mit $f_{i_{BN}} = 200 \text{ kHz}$ liegt an der phasenversetzten Ansteuerung der beiden Wandler. Der ausgangsseitige Strom i_{DSK} ist in Abbildung 7.30b zu sehen. Aufgrund des LC-Filters wird am Ausgang, im Vergleich zum Eingang, eine deutlich geringere Stromwelligkeit erreicht. Der Verlauf der Drosselströme i_{L1} und i_{L2} ist in Abbildung 7.31b zu sehen. Der

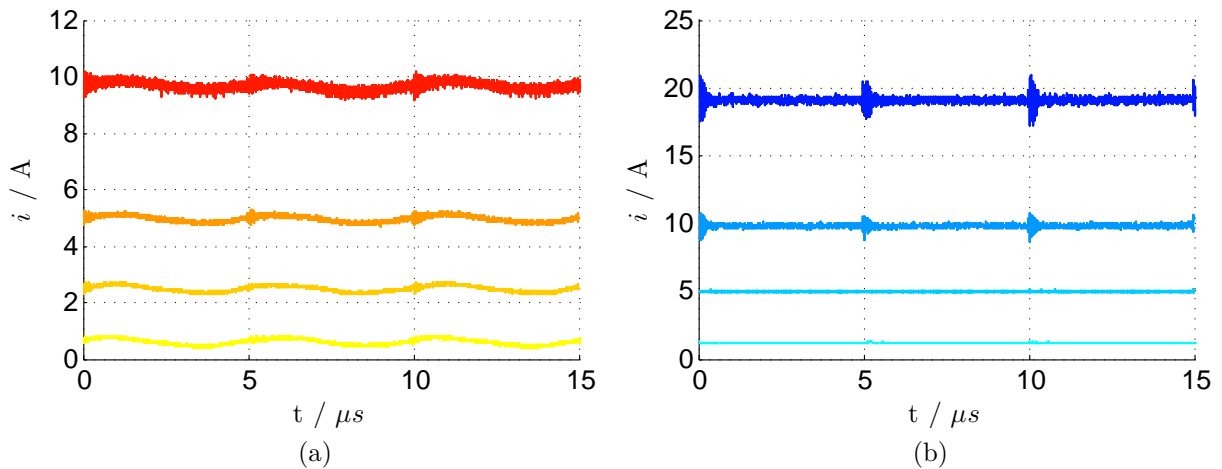


Abbildung 7.30: (a) i_{BN} bei $P_{DSK} = 250 \text{ W}$; 1000 W ; 2000 W ; 3900 W (b) i_{DSK} bei $P_{DSK} = 250 \text{ W}$; 1000 W ; 2000 W ; 3900 W

Stromrippel beträgt 10 A. Dies ist der maximale Wert, da es sich um den “worst case“ Arbeitspunkt handelt, nach dem die Drossel in 4.4.1 ausgelegt wurde. Mit Zunahme des Gleichanteils bleibt der Rippel konstant. Bei niedrigen Leistungen ist erkennbar, dass sich

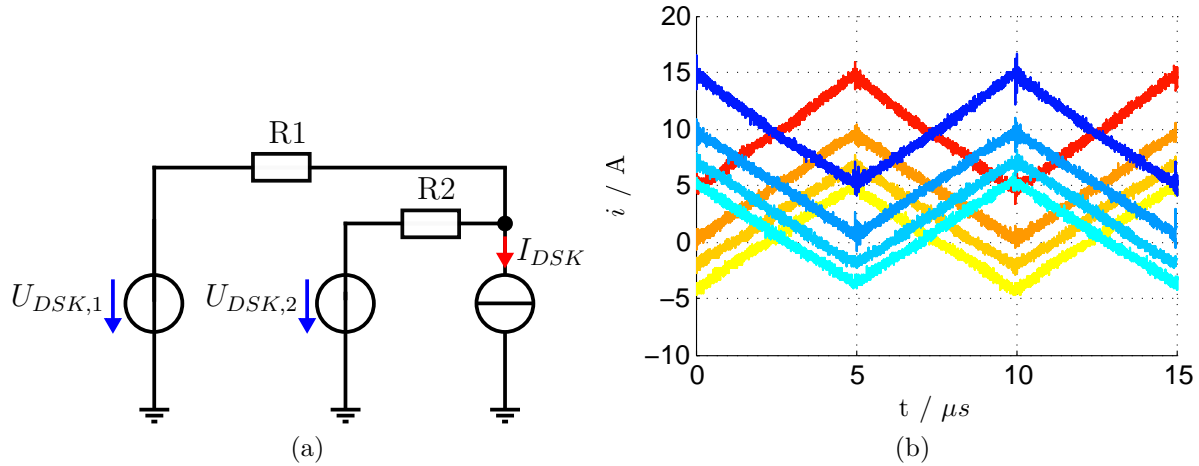


Abbildung 7.31: (a) ESB zur Beschreibung der Gleichstromaufteilung zweier paralleler Wandler (in Anlehnung an [97]) (b) Drosselströme i_{L1} / i_{L2} für $P_{DSK} = 250; 1000; 2000; 3900W$

die Gleichanteile I_{L1} und I_{L2} geringfügig unterscheiden. Als Ursache dieser Abweichung kommen mehrere Möglichkeiten in Betracht. Am plausibelsten ist eine Abweichung der ohmschen Anteile aus $R_{DS(on),hs}$, $R_{DS(on),ls}$, der ohmsche Anteil der Drossel und der Kupferpfade beider Wandler. Anhand von Abbildung 7.31a lässt sich die Stromaufteilung der Module veranschaulichen. Im Idealfall teilt sich im Parallelbetrieb der Gesamtstrom I_{DSK} mit $\frac{I_{DSK}}{2}$ auf die 2 Wandler auf, wenn gilt $R_1 = R_2$. Die Spannungen $U_{DSK,1}$ und $U_{DSK,2}$ werden als gleich groß angenommen und berechnen sich nach $U_{DSK,X} = U_{BN} \cdot a_{TX1}$. Entsprechend Abbildung 7.31b müssen sich die ohmsche Anteile unter den beiden Modulen unterscheiden. Ein unausgeglichener Gleichstrom ist besonders für die Speicherdrossel von Nachteil, da so die Gefahr besteht, dass diese in Sättigung gerät [97]. Eine weitere Ursache für eine unterschiedliche Stromaufteilung sind abweichende Aussteuergrade zwischen den parallelen Wandlern. Dieses Problem tritt jedoch meist nur bei analogen Steuerungen auf und hat einen weit aus größeren Effekt auf die Stromaufteilung als die voneinander abweichenden Pfadwiderstände. Die hohe Genauigkeit digitaler Steuerungen führt bezüglich der Stromaufteilung zu keinen Problemen, wie dies in Abbildung 7.31b anhand der geringen Abweichungen ersichtlich ist [97][98].

Die Verläufe von $u_{DS,2}$ und $u_{GS,2}$, bei verschiedenen Ausgangsleistungen, sind in Abbildung 7.32a und 7.32b dargestellt. Aus den Verläufen sind keine Abweichungen zu den Schaltvorgängen im Einzelbetrieb aus dem Abschnitt 7.2.2 ersichtlich. Im Ausschaltvorgang des HS-Transistors 7.32a ist erkennbar, dass die Gate-Source-Spannung $u_{GS,2}$ bei geringen Lastströmen früher ansteigt als es bei höheren Leistungen der Fall ist. Scheinbar ist die

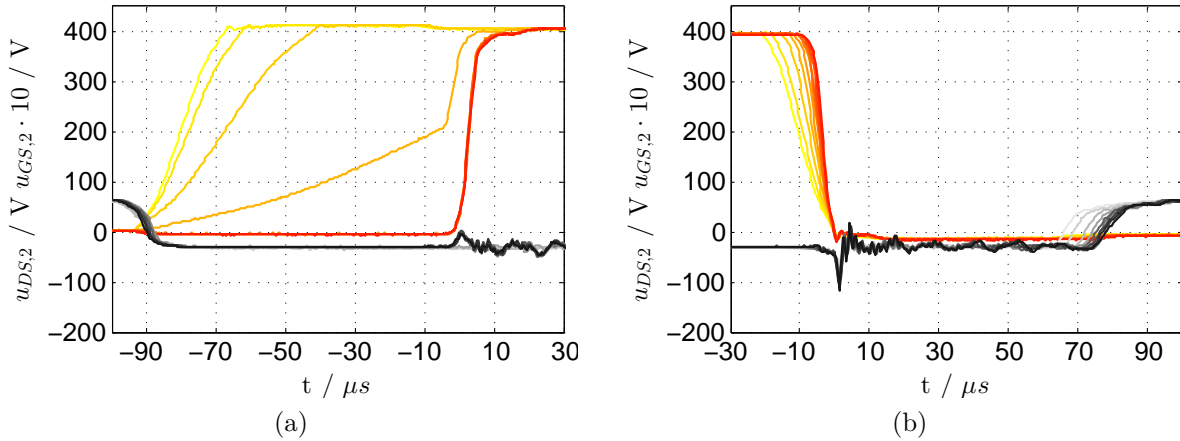


Abbildung 7.32: Verlauf von $u_{DS,2}$ und $u_{GS,2}$ (geringe Leistung $u_{DS,2}$ gelb, $u_{GS,2}$ grau; hohe Leistung $u_{DS,2}$ rot, $u_{GS,2}$ schwarz) (a) Kommutierung von dem LS- auf den HS-eGaN-FET (b) Kommutierung von dem HS- auf den LS-eGaN-FET

Totzeit bei geringer Last kürzer als bei hoher Last. Die Ursache ist die starke Lastabhängigkeit von t_{fu} , wobei bei geringen Lasten die längsten Zeiten der fallenden Flanke von $u_{DS,2}$ auftreten und somit die Zeitspanne verkürzen bei der $u_{DS,2} = 0 \text{ V}$ erreicht und $u_{GS,2}$ ansteigt. Die Totzeit t_{tot} , die definiert ist als Zeitspanne in der das Ansteuersignal des HS- und des LS-Transistor null ist (Vgl. Abb. 3.4), bleibt jedoch konstant. Bei einer Verkürzung der Totzeit muss die Laststromabhängigkeit von t_{fu} beachtet werden.

Die steigende Flanke von $u_{DS,2}$ (Vgl. 7.32a) beginnt zum einen beim Ausschalten von T2 ($\frac{\Delta i_L}{2} > I_{DSK,X}$) und zum anderen beim Einschalten des HS-eGaN-FET ($\frac{\Delta i_L}{2} < I_{DSK,X}$). Beginnt die Flanke von $u_{DS,2}$ bereits beim Ausschalten von T2 anzusteigen, dann liegt ein positiver Drainstrom $i_{D,2}$ vor, da der Stromrippel größer ist als der Gleichanteil des Drosselstromes. Mit zunehmender Leistung, fällt zunächst die Anstiegszeit t_{ru} ab, was mit der Laststromabhängigkeit von t_{ru} erklärt werden kann. Bei $I_{DSK,1} = I_{DSK,2} = 3,75 \text{ A}$ (750 W je Modul, vierte $u_{DS,2}$ -Kennlinie von links in Abbildung 7.31a) ist der positive Drainstrom am kleinsten. Daraus resultiert der langsamste Anstieg von $u_{DS,2}$. Im Falle von $\frac{\Delta i_L}{2} < I_{DSK}$ leitet der HS-Transistor die Kommutierung zwischen HS und LS. Bezüglich des Schaltverhaltens gibt es keine erkennbaren Unterschiede zu den Verläufen im Einzelbetrieb in Kapitel 7.2.2.

7.3.2 Wirkungsgrad

Die Wirkungsgradmessung wurde unter den gleichen Testbedingungen wie im Einzelbetrieb durchgeführt. Der Wirkungsgrad des Parallelbetriebes $\eta_{1||2}$, sowie die Wirkungsgrade des Einzelbetriebs η_1 und η_2 , sind in Abbildung 7.33 zu sehen. Bei Ausgangsleistungen von $P_{DSK} < 1000 \text{ W}$ ist der Wirkungsgrad im Einzelbetrieb höher als im Parallelbetrieb. Zwischen $1000 \text{ W} \leq P_{DSK} \leq 1400 \text{ W}$ sind die Wirkungsgrade in etwa gleich groß. Oberhalb von

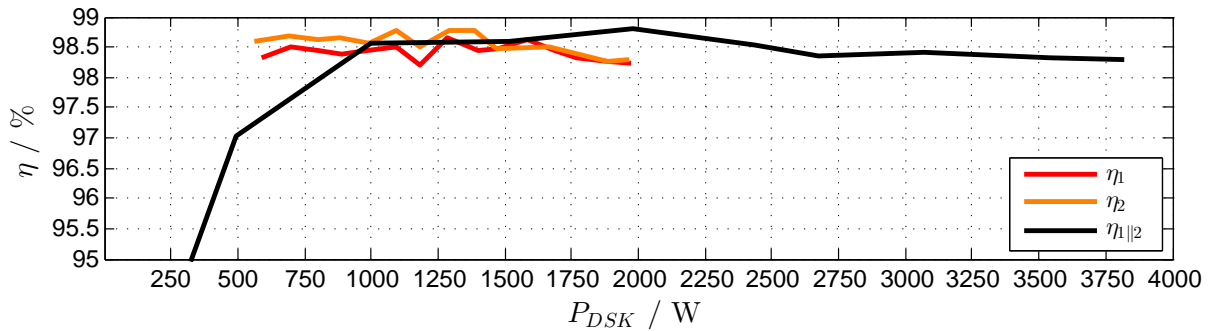


Abbildung 7.33: Wirkungsgrad im Einzel- und Parallelbetrieb

$P_{DSK} = 1400 \text{ W}$ nimmt $\eta_{1||2}$ weiter zu, wohingegen die Wirkungsgrade η_1 und η_2 absinken. Bei 2000 W erreicht $\eta_{1||2}$ seinen maximalen Wirkungsgrad mit $\eta_{1||2,max} = 98,79 \%$. Bei der maximalen getesteten Ausgangsleistung $P_{DSK,max} = 3822 \text{ W}$ beträgt der Wirkungsgrad $\eta_{1||2} = 98,31 \%$. Den Wirkungsgrad betreffend ist es sinnvoll bei Leistungen oberhalb von $P_{DSK} = 1400 \text{ W}$ bereits ein zusätzliches Modul hinzu zuschalten. Aus Sicht des Wirkungsgrades macht es keinen Unterschied in dem Intervall $1000 \text{ W} \leq P_{DSK} \leq 1400 \text{ W}$ einen oder zwei Wandler zu betreiben, da die Wirkungsgrade gleich groß sind. Hinsichtlich der thermomechanischen Belastung stellt sich die Frage, ob es sinnvoller ist einen Wandler bei voller Last zu betreiben oder beide Module unter halber Last arbeiten zu lassen. Der

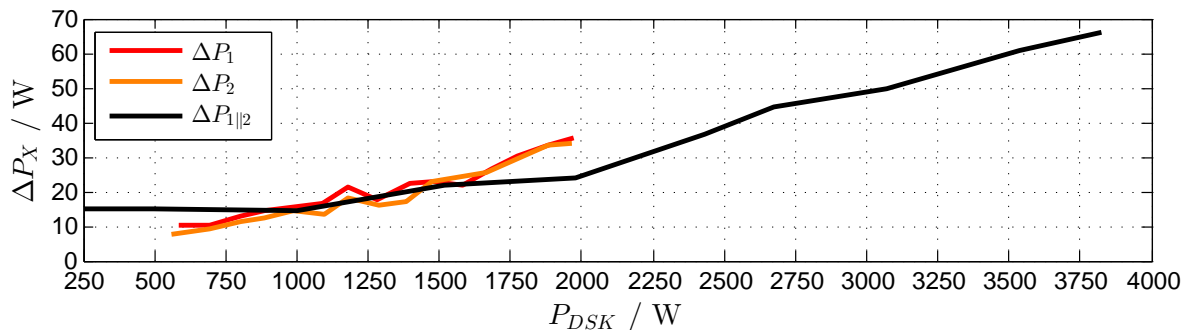


Abbildung 7.34: absolute Verluste im Einzel- und im Parallelbetrieb

Verlauf der absoluten Verluste ist in Abbildung 7.34 dargestellt. Die geringen absoluten Verluste ΔP_1 und ΔP_2 bei $P_{DSK} = 1000 \text{ W}$ spiegeln sich im Parallelbetrieb bei $\Delta P_{1||2}$ und $P_{DSK} = 2000 \text{ W}$ wider. Der Unterschied der absoluten Verluste bei $P_{DSK} = 2000 \text{ W}$ beträgt $\Delta P_1 - \Delta P_{1||2} = 11 \text{ W}$. Der Wirkungsgrad unterscheidet sich um $0,49 \%$.

7.3.3 Temperaturmessung

Im Parallelbetrieb wurden beide Kühlkörpertemperaturen mit Hilfe zweier Thermoelemente bestimmt. Die Platinentemperatur konnte nur für einen Wandler erfasst werden, da aufgrund des Einbaus der Wandler in dem 19"Chassis, Platine 1 verdeckt wurde.

Für eine kontinuierliche Luftzirkulation wurden 2 Lüfter verwendet, wobei Platine 2 aufbaubedingt einem geringeren Luftstrom ausgesetzt war als Platine 1. Aufgrund der Tatsache, dass Platine 1 im Einzelbetrieb eine schlechtere Kühlung aufwies wurde sie im Parallelbetrieb beim stärkeren Luftstrom platziert. Die Kühlkörpertemperaturen sowie

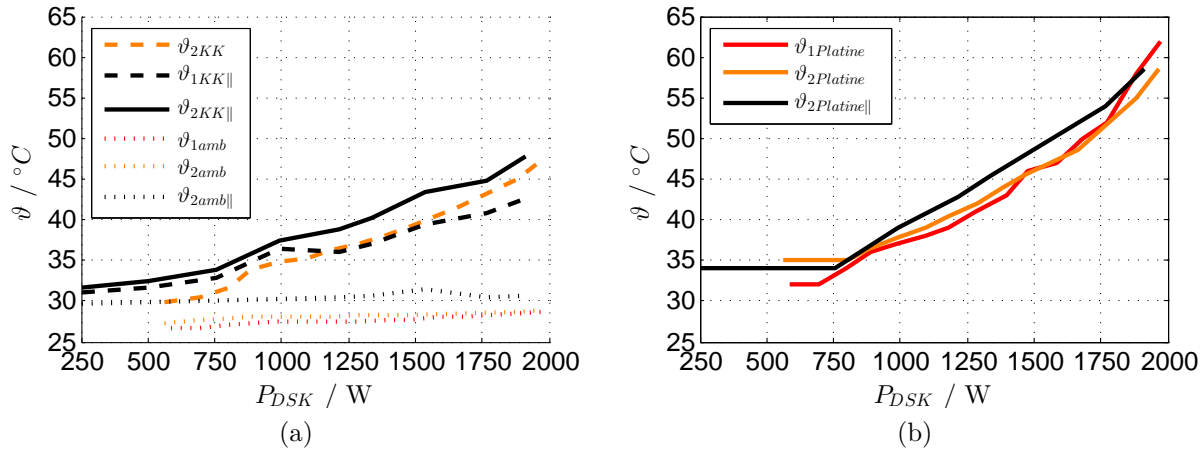


Abbildung 7.35: (a) Kühlkörpertemperatur im Einzel- und im Parallelbetrieb (b) Platinentemperatur im Einzel- und im Parallelbetrieb

die Umgebungstemperaturen des Einzel- und Parallelbetriebs sind in Abbildung 7.35a zu sehen. Die Kühlkörpertemperaturen $\vartheta_{1KK||}$ und $\vartheta_{2KK||}$ sowie die Umgebungstemperatur wurden je Modulleistung aufgetragen, indem die Gesamtleistung durch zwei geteilt wurde. Als Kühlkörpertemperatur im Einzelbetrieb steht nur ϑ_{2KK} zur Verfügung, da die Messung der Kühlkörpertemperatur von Platine 1 am Rand des Kühlkörpers durchgeführt wurde. Diese Ergebnisse sind für einen Vergleich nicht brauchbar. Bei niedrigen Leistungen $P_{DSK} \leq 750 \text{ W}$ sind die Kühlkörpertemperaturen $\vartheta_{1KK||}$ und $\vartheta_{2KK||}$ aufgrund der um 2°C höheren Umgebungstemperatur $\vartheta_{2amb||}$ höher als ϑ_{2KK} . Von 1100 W bis 1500 W besitzen $\vartheta_{1KK||}$ und ϑ_{2KK} den selben Verlauf, wobei ab 1500 W ϑ_{2KK} geringer ansteigt. Der ähnliche Verlauf beider Temperaturen lässt sich damit begründen, dass beide Kühlkörper einem senkrechten Luftstrom ausgesetzt waren. Der Kühlkörper von Platine 1 erhielt zusätzlich einen geringen horizontalen Anteil anströmender Luft des Lüfters von Platine 2. Dies erklärt die geringere Zunahme von $\vartheta_{1KK||}$ im Vergleich zu ϑ_{2KK} . Auffallend ist die Abweichung von $\vartheta_{2KK||}$ zu $\vartheta_{1KK||}$ oberhalb von 1000 W , wobei der Temperaturunterschied bis zu 3°C beträgt. Die Ursache ist die ungünstigere Anströmrichtung der Luft, wodurch nur ein Teil des Luftstroms des Lüfters von Platine 2 horizontal auf den Kühlkörper traf.

In Abbildung 7.35b ist der Temperaturverlauf der maximalen Platinentemperatur (Rückseite) zu sehen. $\vartheta_{2Platine||}$ weist oberhalb von 1000 W eine um 2 bis 3°C höhere Temperatur gegenüber den Platinentemperaturen $\vartheta_{1Platine}$ und $\vartheta_{2Platine}$ auf. Der geringere Luftstrom, sowie die höhere Umgebungstemperatur ist hierfür die Ursache.

8 Zusammenfassung und Ausblick

8.1 Zusammenfassung

In Kapitel 2 wurde die Bedeutung und das Potential von GaN in der Leistungselektronik beschrieben. Es wurde zudem die Funktionsweise von einem dGaN-FET und den verschiedenen eGaN-FET-Varianten erklärt, da sich die internen Vorgänge im Bauteil zu denen des Si MOSFETs unterscheiden. Ein Vergleich von Si, SiC und GaN LHL in Kapitel 2.3 zeigt, dass die bereits auf dem Markt erschienenen eGaN-FETs, hinsichtlich der Schalt- und Durchlassverluste und aufgrund ihres Packages, sich von den anderen Technologien absetzen. Eine detaillierte Beschreibung der im ESB 2.11 gezeigten parasitären Elemente half dabei deren Auswirkungen auf das Schaltverhalten zu verstehen und diente somit als Richtlinie bei der Erstellung des Layouts um parasitäre Effekte zu minimieren. Die analytische Beschreibung des $\frac{du_{DS}}{dt}$ und des $\frac{di_D}{dt}$ sorgte für das nötige Verständnis über das Verhalten der Strom- und Spannungsverläufe bei unterschiedlichen Lastbedingungen und Gatekonfigurationen.

In Kapitel 3.1 wurde zunächst die Funktionsweise eines TSSs erklärt um darauf aufbauend die Vorteile des Synchronwandlers anhand der zeitlichen Verläufe des LS- und HS-Transistors vorzustellen. Probleme, die sich durch die schnellen Strom- und Spannungsgradienten beim Synchronwandler ergeben, wurden erläutert und Lösungen vorgestellt. Für die Berechnung der Gesamtverluste des Wandlers sind die Formeln der wesentlichen Verlustquellen (LHL, Speicherdrossel) in Abschnitt 3.3 aufgelistet. Die sich ergebenden Vorteile des Parallelbetriebs sind im Abschnitt 3.4 dargelegt.

Die Dimensionierung des Kühlkörpers erfolgte auf Basis der berechneten LHL-Verluste und anhand der Berechnung des erforderlichen $R_{TH,JC}$ in Kapitel 4. Anhand der Berechnungen wurden drei verschiedene Kühlkonzepte ausgearbeitet, wobei nur zwei davon angewendet wurden. Der Eingangsfiler C_1 und der Ausgangsfiler, bestehend aus C_2 und L , wurden anhand von "worst case" Rechnungen ausgelegt. Zur Bewertung der Filter dienen die Ergebnisse einer Impedanzanalyse.

Die Benennung der wesentlichen Anforderungen an die Messtechnik und die Auswahl des Messequipments erfolgte in Kapitel 5. Im weiteren Verlauf dieser Masterarbeit wurden die beiden entwickelten Layouts für einen bidirektionalen Synchronwandler vorgestellt, wobei die Schwachstellen und die daraus gezogenen Konsequenzen des ersten Layouts benannt

wurden. Eine detaillierte Übersicht über die entwickelte vier lagige Platine, insbesondere mit Blick auf die Kommutierungsschleife, den Gatekreis und die verwendeten Bauteile ist in Abschnitt 6.2 vorgestellt worden.

Zur Untersuchung des Schaltverhaltens des LS-eGaN-FET wurde in Abschnitt 7.1 ein DPV bei $U_z = 400\text{ V}$, variierenden Drainströmen und unterschiedlichen Gatewiderständen durchgeführt. Die minimale Zeit der fallenden Spannungsflanke liegt bei $R_{Gon} = 0\ \Omega$ bei $t_{fu} = 2,05\text{ ns}$ und erreicht ein maximales $\frac{du_{DS}}{dt} = -203,2\text{ Vns}^{-1}$. Es konnte gezeigt werden, dass der Einfluss eines Koaxialshunts die zeitlichen Verläufe von $u_{GS,2}$ und $u_{DS,2}$ deutlich beeinflusst und sogar t_{fu} verringert.

Beim Ausschaltvorgang des LS-Transistors wurden geringere Spannungssteilheiten gemessen als beim Einschalten. Die minimale Zeit der steigenden Flanke von $u_{DS,2}$ beträgt $t_{ru} = 3,9\text{ ns}$. Der höchste Spannungsgradient beträgt beim Ausschalten $\frac{du_{DS}}{dt} = 138,3\text{ Vns}^{-1}$. Durch die Messungen konnte weiterhin gezeigt werden, dass im Gegensatz zum Einschaltvorgang, beim Ausschalten eine hohe Laststromabhängigkeit bei t_{ru} auftritt. Bei geringen Lastströmen lässt sich t_{ru} durch Veränderung des R_{Gon} nur minimal beeinflussen. Aus dem Spannungsverlauf von $u_{DS,2}$ während des Ausschaltens wurde die Kommutierungsinduktivität L_σ zu $2,39\text{ nH}$ bestimmt. Mit Hilfe der Schaltverläufe und einem Matlab Skript wurden die Schaltenergien für verschiedene Drainströme und Gatewiderstände berechnet. Die Einschalt- und Ausschaltenergien bei $i_{D,2} = 10\text{ A}$ betragen $43\ \mu\text{Ws} / 5\ \mu\text{Ws}$ ($R_{Gon} = 10\ \Omega / R_{Goff} = 5\ \Omega$).

Bei der Inbetriebnahme des Synchronwandlers des zweiten Layouts ergab sich kein Brückenkurzschluss, was beim ersten Design noch der Fall war. Dennoch kam es bei hohen Leistungen $P_{BN} > 2,2\text{ kW}$ zur Zerstörung des Wandlers. Die Ursache für das Versagen der Schaltung war eine thermische Überhitzung der LHL. Alle weiteren Messungen wurden, um eine erneute Zerstörung des Wandlers zu vermeiden, bis $P_{BN} = 2\text{ kW}$ durchgeführt. Die nach der Spezifikation definierten minimalen und maximalen Aussteuergrade wurden sowohl für den TSS- als auch für den HSS-Betrieb bei $P_{BN} = 500\text{ W}$ im Einzelbetrieb getestet. Alle weiteren Messungen wurden im TSS-Betrieb durchgeführt. Der Wirkungsgrad beim Betrieb eines einzelnen Wandlers, unter Anwendung der Einstellungen des Synchronwandlers in Tabelle 7.3, liegt zwischen 600 W und 2000 W oberhalb von 98% . Der maximale Wirkungsgrad der beiden Platinen wird bei $P_{DSK} = 1300\text{ W}$ erreicht und beträgt $\eta_{1max} = 98,65\%$ und $\eta_{2max} = 98,77\%$. Die berechneten Verluste zeigen eine gute Übereinstimmung mit den gemessenen Verlusten. Zur Bestimmung der Temperatur erfolgte eine Infrarotmessung der Platinenrückseite. Die Kühlkörpertemperatur wurde mit einem Thermoelement bestimmt. Die Synchronwandler wiesen untereinander hohe Temperaturunterschiede auf der Rückseite der Platine auf, was sich auf die unterschiedlichen thermischen Pfade zurückführen ließ.

Im Parallelbetrieb wurden die beiden Wandler so angepasst, dass die Drosselströme zu einem Sternpunkt zusammengeführt wurden und nur ein ausgangsseitiger Filter genutzt wurde. Bei Belastung der parallelen Wandler zeigten sich geringe (bei niedrigen Leistungen) bis keine Abweichungen (bei hohen Leistungen) zwischen den Gleichanteilen $I_{DSK,1}$ und $I_{DSK,2}$. Der Wirkungsgrad der parallelen Wandler wurde bei einer ausgangsseitigen Leistung zwischen 250 W und 3822 W getestet. Oberhalb von 1400 W ergibt sich ein höherer Wirkungsgrad zweier Wandler im Parallelbetrieb im Vergleich zu einem Modul im Einzelbetrieb. Der höchste Wirkungsgrad wird bei $P_{DSK} = 2000$ W mit $\eta_{1||2} = 98,79\%$ erreicht. Die Temperaturmessung ergab ähnliche Werte wie im Einzelbetrieb. Der parallele Aufbau der Wandler im 19" Chassis verhinderte identische Luftströme an beiden Kühlkörpern, wodurch das Modul 1 unter den gleichen Bedingungen gekühlt wurde wie im Einzelbetrieb, Modul 2 erfuhr einen geringeren Luftstrom und damit eine schlechtere Kühlung.

8.2 Diskussion und Ausblick

Das Ziel, den Wandler bei einer Leistung von $P_{DSK} = 2500$ W zu betreiben, konnte nicht erreicht werden. Um den Betrieb bei der geforderten Leistung zukünftig zu ermöglichen, ist ein Lösungsansatz die Verringerung der LHL-Verluste. Dies kann zum einen durch Parallelschalten eines weiteren GS66506T zu T1 und T2 erreicht werden. Die berechneten Durchlassverluste P_D , die bei $P_{DSK} = 2000$ W 17 W betragen, halbieren sich hierdurch. Die einfachere, wenngleich teurere Variante, ist das Ersetzen des GS66506T durch einen eGaN-FET mit einer höheren Stromtragfähigkeit und damit geringeren Durchlassverlusten. Hierfür bietet sich der GS66516T an. Die Verlustleistung bestimmenden Daten der beiden LHL sind in Tabelle 8.1 zu finden. Der GS66516T besitzt einen um mehr als $2\frac{1}{2}$ fach

Tabelle 8.1: Daten der eGaN-FETs GS66506T [48] und GS66516T [99]

Modell	$R_{DS(on)} / \Omega$		Q_G / C	$E_{OSS}; E_{on}; E_{off} / \mu W s$	$R_{TH,JC} / ^\circ C W^{-1}$
	$\vartheta_J = 25^\circ C$	$150^\circ C$			
GS66506T	67	175	4,4	5,3; 77 ; 7,5	0,7
GS66516T	25	65	12,1	14,1; 134,1 ; 14,7	0,3

geringeren $R_{DS(on)}$ mit 25 m Ω . Im Gegenzug besitzt der GS66516T eine um $2\frac{3}{4}$ größere Gateladung Q_G und Ausgangskapazität C_{OSS} . Daraus resultieren in etwa doppelt so hohe Ein- und Ausschaltverluste⁹. Es muss jedoch angemerkt werden, dass der in dieser Masterarbeit entwickelte Synchronwandler eine bipolare Spannungsversorgung mit $u_{GS} = -3$ V bis 6 V aufweist. Unter Anwendung dieser Gatetreiberspannung ergäben sich geringere

⁹Die Schaltenergien für $i_D = 20$ A, $u_{DS} = 400$ V und $u_{GS} = 0$ bis 6 V des GS66516T stammen aus dem Datenblatt. Es gilt für E_{on} : $R_{Gon} = 10 \Omega$ und für E_{off} : $R_{Goff} = 1 \Omega$. Die Schaltenergien des GS66506T wurden aus den Abbildung 7.12a und 7.12b entnommen

Schaltverluste beim GS66516T, als diejenigen aus dem Datenblatt. In Summe sind die Gesamtverluste $P_{V,LHL}$ bei dem GS66516T nach Tabelle 8.2 fast halb so groß wie die Gesamtverluste des GS66506T. Die größere Kühlfläche auf der Oberseite des GS66516T ermöglicht einen niedrigen R_{TH} mit $0,3\text{ }^{\circ}\text{C}\text{W}^{-1}$, welcher mehr als halb so gering ist wie der des GS66506T. Die bessere Kühlung durch den kleineren R_{TH} und die geringeren Verluste $P_{V,LHL}$ senken die beim Betrieb auftretende Sperrschichttemperatur ϑ_J und sollen eine thermische Zerstörung der LHL verhindern. Neben der Reduzierung der Schaltverluste

Tabelle 8.2: Verluste des GS66506T und des GS66516T bei $I_{DSK} = 20\text{ A}$, $\Delta i_L = 10\text{ A}$, $u_{DS} = 400\text{ V}$, $f = 100\text{ kHz}$, $t_{tot} = 90\text{ ns}$, $\vartheta_J = 150\text{ }^{\circ}\text{C}$

Modell		Schaltverluste $P_{S,X} / \text{W}$	Durchlassverluste $P_{D,X} / \text{W}$	$P_{V,X} / \text{W}$	$P_{V,LHL} / \text{W}$
GS66506T	T1	9	35,7	44,71	82,6
	T2	0,53	35,7	37,9	
GS66516T	T1	16,3	13,3	29,56	45,9
	T2	1,41	13,3	16,3	

ist eine Optimierung der Kühlung ein weiteres Mittel um den Wandler sicher bei 2500 W betreiben zu können. Die in Abschnitt 4.1.4 vorgestellte Wasserkühlung bietet das größte Potential, wenngleich die für eine elektrische Isolierung erforderlichen Zwischenschichten (AlN-Keramik in Verbindung mit Wärmeleitpaste), den größten thermischen Widerstand verursachen und damit das Kühlpotential der Wasserkühlung mindern.

Literaturverzeichnis

- [1] HENSEL, A. ; WILHELM, C. ; KRANZER, D.: Application of a new 600 V GaN transistor in power electronics for PV systems. In: *2012 15th International Power Electronics and Motion Control Conference (EPE/PEMC)*, 2012, S. DS3d.4–1–DS3d.4–5
- [2] KACHI, Tetsu: Recent progress of GaN power devices for automotive applications. In: *Japanese Journal of Applied Physics* 53 (2014), 09. <http://dx.doi.org/http://dx.doi.org/10.7567/JJAP.53.100210>. – DOI <http://dx.doi.org/10.7567/JJAP.53.100210>
- [3] SYSTEMS, GaN: *GS66508T/GS66516T-EVBD GaN E-HEMT Daughter Board and GS665MB-EVB Evaluation Platform*. http://gansystems.com/evaluationboards/GS665xxT-EVBDB_UserGuide_rev_20161014.pdf.
Version: rev. 161014, 2016
- [4] PERSSON, Eric: Practical Application of 600V GaN HEMTs in Power Electronics. In: *Applied Power Electronics Conference and Exposition*, 2016
- [5] HUANG, X. ; LI, Q. ; LIU, Z. ; LEE, F. C.: Analytical Loss Model of High Voltage GaN HEMT in Cascode Configuration. In: *IEEE Transactions on Power Electronics* 29 (2014), May, Nr. 5, S. 2208–2219. <http://dx.doi.org/10.1109/TPEL.2013.2267804>. – DOI 10.1109/TPEL.2013.2267804. – ISSN 0885–8993
- [6] LIDOW, Alex ; STRYDOM, Johan ; ROOIJ, Michael de ; REUSCH, David: *GaN Transistors for Efficient Power Conversion*. 2. Wiley, 2016
- [7] UEMOTO, Y. ; HIKITA, M. ; UENO, H. ; MATSUO, H. ; ISHIDA, H. ; YANAGIHARA, M. ; UEDA, T. ; TANAKA, T. ; UEDA, D.: Gate Injection Transistor (GIT) - A Normally-Off AlGaIn/GaN Power Transistor Using Conductivity Modulation. In: *IEEE Transactions on Electron Devices* 54 (2007), Dec, Nr. 12, S. 3393–3399. <http://dx.doi.org/10.1109/TED.2007.908601>. – DOI 10.1109/TED.2007.908601. – ISSN 0018–9383
- [8] PANASONIC: Principles and methods of driving GaN Gate Injection Transistors. 2016. – Forschungsbericht

- [9] MENEGHINI, Matteo (Hrsg.) ; MENEGHESSO, Gaudenzio (Hrsg.) ; ZANONI, Enrico (Hrsg.): *Power GaN Devices*. Springer, 2017. <http://dx.doi.org/DOI10.1007/978-3-319-43199-4>. <http://dx.doi.org/DOI10.1007/978-3-319-43199-4>
- [10] HOENE, E. ; OSTMANN, A. ; LAI, B. T. ; MARCZOK, C. ; MÜSING, A. ; KOLAR, J. W.: Ultra-Low-Inductance Power Module for Fast Switching Semiconductors. In: *International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management Nurember PCIM Europe*, 2013
- [11] WU, Thomas: *CDV/DT INDUCED TURN-ON IN SYNCHRONOUS BUCK REGULATORS*. 2007
- [12] REISCH, Michael: *Elektronische Bauelemente*. 2. Springer, 2007
- [13] HEGARTY, Tim: *Benefits of multiphasing buck converters - Part 1*. http://www.eetimes.com/document.asp?doc_id=1273224. Version: 11 2007
- [14] CAIN, Jeffrey: *Parasitic Inductance of Multilayer Ceramic Capacitors*. <http://www.avx.com/docs/techinfo/CeramicCapacitors/parasitc.pdf>
- [15] JOHNSON, Howard W. ; GRAHAM, Martin: *High-Speed Digital Design A Handbook of Black Magic*. Prentice Hall, 1993
- [16] LINDEMANN, Andreas ; TSCHÖKE, Helmut (Hrsg.): *Die Elektrifizierung des Antriebsstrangs*. Springer Vieweg, 2014. – ISBN 978-3658046439
- [17] BRUHLACHNER, Hartmut: *Neue Elektrolyte für Doppelschichtkondensatoren*, Universität Regensburg, Diss., 03 2004. https://epub.uni-regensburg.de/10263/1/Dissertation_Bruglachner.pdf
- [18] MÄRZ, Dr. M.: *Leistungselektronik für e-Fahrzeuge / Fraunhofer-Institut für Integrierte Systeme und Bauelementetechnologie*. 2010. – Forschungsbericht
- [19] HIGGELKE, Ralf: *Massenproduktion von GaN-on-Si-Transistoren angelaufen*. <http://www.elektroniknet.de/design-elektronik/halbleiter/massenproduktion-von-gan-on-si-transistoren-angelaufen-126115.html>. Version: 12 2015
- [20] CONSOLI, A. ; CACCIATO, M. ; SCARCELLA, G. ; TESTA, A.: A multiphase dc/dc converter for automotive dual-voltage-power systems. In: *IEEE Industry Applications Magazine* (2004), S. 35–42
- [21] HILLERINGMANN, Ulrich: *Silizium-Halbleitertechnologie*. 6. Springer, 2014

- [22] QUAY, Rüdiger: Galliumnitrid: Schnell und mit Potential. In: *Elektroniknet.de* (2017), 05. <http://www.elektroniknet.de/elektronik/halbleiter/licht-aus-dem-schatten-des-siliziums-141827-Seite-3.html>
- [23] LUTZ, Josef: *Halbleiter-Leistungselemente*. 1. Springer, 2006
- [24] ALEX LIDOW, Johan S.: *GaN Transistors for Efficient Power Conversion*. 1. Power Conversion Publications, 2012
- [25] YODER, M. N.: Wide bandgap semiconductor materials and devices. In: *IEEE Transactions on Electron Devices* 43 (1996), Oct, Nr. 10, S. 1633–1636. <http://dx.doi.org/10.1109/16.536807>. – DOI 10.1109/16.536807. – ISSN 0018–9383
- [26] MISHRA, U. K. ; PARIKH, P. ; WU, Yi-Feng: AlGa_N/Ga_N HEMTs-an overview of device operation and applications. In: *Proceedings of the IEEE* 90 (2002), Jun, Nr. 6, S. 1022–1031. <http://dx.doi.org/10.1109/JPROC.2002.1021567>. – DOI 10.1109/JPROC.2002.1021567. – ISSN 0018–9219
- [27] STEPANOV, S.I. ; NIKOLAEV, V.I. ; BOUGROV, V.E. ; RAMANOV, A.E.: Gallium Oxide: Properties and applications - a review. In: *Reviews in Advanced Materials Science* (2016), 63-86. http://www.ipme.ru/e-journals/RAMS/no_14416/06_14416_stepanov.pdf
- [28] HIGASHIWAKI, M. ; SASAKI, K. ; WONG, M. H. ; KAMIMURA, T. ; GOTO, K. ; NOMURA, K. ; THIEU, Q. T. ; TOGASHI, R. ; MURAKAMI, H. ; KUMAGAI, Y. ; MONEMAR, B. ; KOUKITU, A. ; KURAMATA, A. ; MASUI, T. ; YAMAKOSHI, S.: Current Status of Gallium Oxide-Based Power Device Technology. In: *2015 IEEE Compound Semiconductor Integrated Circuit Symposium (CSICS)*, 2015. – ISSN 1550–8781, S. 1–4
- [29] HUDGINS, J. L. ; SIMIN, G. S. ; SANTI, E. ; KHAN, M. A.: An assessment of wide bandgap semiconductors for power devices. In: *IEEE Transactions on Power Electronics* 18 (2003), May, Nr. 3, S. 907–914. <http://dx.doi.org/10.1109/TPEL.2003.810840>. – DOI 10.1109/TPEL.2003.810840. – ISSN 0885–8993
- [30] OZPINECI, B. ; TOLBERT, L. M.: Comparison of Wide-Bandgap Semiconductors for Power Electronic Applications / Oak Ridge National Laboratory. Version: 12 2003. http://web.eecs.utk.edu/~tolbert/publications/epe_2003_wide_bandgap.pdf. 2003. – Forschungsbericht
- [31] SCHRÖDER, Dierk: *Leistungselektronische Bauelemente*. 2. Springer, 2006
- [32] BALIGA, B. J.: *Fundamentals of Power Semiconductor Devices*. Springer, 2008

- [33] ARAÚJO, Samuel V.: *On the Perspectives of Wide-Band Gap Power Devices in Electronic-Based Power Conversion for Renewable Systems*, Universität Kassel, Diss., 2013
- [34] BALIGA, B. J.: Power semiconductor device figure of merit for high-frequency applications. In: *IEEE Electron Device Letters* 10 (1989), Oct, Nr. 10, S. 455–457. <http://dx.doi.org/10.1109/55.43098>. – DOI 10.1109/55.43098. – ISSN 0741–3106
- [35] KELLER, John: Infineon to boost expertise in GaN power semiconductors in buy of International Rectifier. In: *Military & Aerospace* (2014), 08. <http://www.militaryaerospace.com/articles/2014/08/infineon-acquires-ir.html>
- [36] RIEMENSCHNEIDER, Frank: Lets do it. In: *elektroninet.de* (2016). <http://www.elektroniknet.de/halbleiter/let-s-do-it-127662-Seite-2.html>
- [37] ELEKTROJOURNAL, Redaktion: CES 2017 II: Die österreichische Beteiligung. In: *elektrojournal.at* (2017). <http://www.elektrojournal.at/elektrojournal/ces-2017-ii-die-oesterreichische-beteiligung-137606>
- [38] THE CHEMICAL DAILY CO., Ltd.: Flosfia Develops Diode With Worlds Lowest On-resistance for Next-gen Semiconductors. In: *The Chemical Daily Co., Ltd.* (2016), 08. <https://www.japanchemicaldaily.com/2016/08/23/flosfia-develops-diode-worlds-lowest-resistance-next-gen-semiconductors/>
- [39] HIGASHIWAKI, M. ; SASAKI, K. ; KURAMATA, A. ; MASUI, T. ; YAMAKOSHI, S.: Gallium oxide (Ga_2O_3) metal-semiconductor field-effect transistors on single-crystal β - Ga_2O_3 (010) substrates. In: *Applied Physics Letters* 100 (2012), 01. <http://dx.doi.org/http://dx.doi.org/10.1063/1.3674287>. – DOI <http://dx.doi.org/10.1063/1.3674287>
- [40] SHIKATA, Shinichi: Single crystal diamond wafers for high power electronics. In: *Diamond and Related Materials* (2016). <https://doi.org/10.1016/j.diamond.2016.03.013>
- [41] AMANO, H. ; SAWAKI, N. ; AKASAKI, I.: Metalorganic vapor phase epitaxial growth of a high quality GaN film using an AlN buffer layer. In: *Applied Physics Letter* 48 (1986), 2, Nr. 5
- [42] KUHN, Bertram: *AlGaN/GaN-Heterostrukturen: Epitaxie und elektrische Eigenschaften*, Universität Stuttgart, Diss., 11 2001. <http://elib.uni-stuttgart.de/handle/11682/4685>

- [43] RÖNSCH, Sebastian: *Elektronische Transporteigenschaften von Halbleitern mit großer Bandlücke für die Anwendung in der Leistungselektronik*, Friedrich-Alexander-Universität Erlangen-Nürnberg, Diss., 2015. <https://opus4.kobv.de/opus4-fau/files/6202/SebastianRoenschDissertation.pdf>
- [44] HAO, Yue ; ZHANG, Jin-Feng ; ZHANG, Jin-Cheng: *Nitride Wide Bandgap Semiconductor Material and Electronic Devices*. Taylor & Francis, 2017
- [45] Infineon: *IPB60R099C7*. http://www.infineon.com/dgdl/Infineon-IPB60R099C7-DS-v02_00-EN.pdf?fileId=5546d46258fc0bc1015917abf8885e9d. Version: 2.0, 03 2016
- [46] BALIGA, B. J.: *Advanced Power MOSFET Concepts*. Springer, 2010. – ISBN 978-1441959164
- [47] ROBERTS, J.: Maximizing GaN Power Transistor Performance with Embedded Packaging. In: *APEC 2015*, 2015
- [48] SYSTEMS, GaN: *GS66506T Top-side cooled 650V E-mode GaN Transistor*. <http://www.gansystems.com/datasheets/GS66506T%20DS%20Rev%20170321.pdf>. Version: Rev 170321, 2017
- [49] INC., GaN S.: *Design with GaN Enhancement mode HEMT*. Version: 10 2016. http://www.gansystems.com/_uploads/whitepapers/91096_GaNSystems__GN001_Design_with_GaN_EHEMT_Rev3_20161007.pdf?pdf=GN001ApplicationGuide-DesignwithGaNEnhancementmodeHEMT
- [50] ERICKSON, Robert W. ; MAKSIMOVIC, Dragan: *Fundamentals of Powerelectronics*. 2. Springer US, 2001. <http://dx.doi.org/10.1007/b100747>. <http://dx.doi.org/10.1007/b100747>
- [51] YANG, Bo ; ZHANG, Jason: Effect and Utilization of Common Source Inductance in Synchronous Rectification. In: *APEC 2005*, 2005
- [52] REUSCH, D. ; STRYDOM, J.: Understanding the Effect of PCB Layout on Circuit Performance in a High-Frequency Gallium-Nitride-Based Point of Load Converter. In: *IEEE Transactions on Power Electronics* 29 (2014), April, Nr. 4, S. 2008–2015. <http://dx.doi.org/10.1109/TPEL.2013.2266103>. – DOI 10.1109/TPEL.2013.2266103. – ISSN 0885-8993
- [53] LAUTNER, J. ; PIEPENBREIER, B.: Analysis of GaN HEMT switching behavior. In: *2015 9th International Conference on Power Electronics and ECCE Asia (ICPE-ECCE Asia)*, 2015. – ISSN 2150-6078, S. 567–574

- [54] CONSOLI, A. ; MUSUMECI, S. ; ORITI, G. ; TESTA, A.: An innovative EMI reduction design technique in power converters. In: *IEEE Transactions on Electromagnetic Compatibility* 38 (1996), Nov, Nr. 4, S. 567–575. <http://dx.doi.org/10.1109/15.544311>. – DOI 10.1109/15.544311. – ISSN 0018–9375
- [55] ZACH, Franz: *Leistungselektronik Ein Handbuch*. 5. Springer Vieweg, 2015. <http://dx.doi.org/10.1007/978-3-658-04899-0>. <http://dx.doi.org/10.1007/978-3-658-04899-0>
- [56] BAUCH, Julia: Flexible switching speed control to improve switching losses and EMI by a gate driver with adjustable gate current. In: *CIPS* (2014), February
- [57] *Elektrochemische Speicher*. Springer Vieweg, 2015
- [58] PANASONIC: PGA26E07BA. Rev. 002. 2016. – Forschungsbericht
- [59] WANG, J. ; CHUNG, H. Shu-Hung: Impact of Parasitic Elements on the Spurious Triggering Pulse in Synchronous Buck Converter. In: *IEEE Transactions on Power Electronics* 29 (2014), Dec, Nr. 12, S. 6672–6685. <http://dx.doi.org/10.1109/TPEL.2014.2304454>. – DOI 10.1109/TPEL.2014.2304454. – ISSN 0885–8993
- [60] MAPPUS, Steve: *DV/DT Immunity Improved in Synchronous Buck Converters*. <http://powerelectronics.com/site-files/powerelectronics.com/files/archive/powerelectronics.com/mag/507PET22.pdf>. Version: 2005
- [61] SEMICONDUCTOR, ON: Understanding and Minimizing Ground Bounce. (2003)
- [62] HUANG, Xiucheng: *High Frequency GaN Characterization and Design Considerations*, Virginia Polytechnic Institute and State University, Diss., 2016. https://vtechworks.lib.vt.edu/bitstream/handle/10919/73188/Huang_X_D_2016.pdf?sequence=1&isAllowed=y
- [63] ROY, Roland van: *Reducing EMI in buck converters*. <http://www.richtek.com/Design%20Support/Technical%20Document/AN045>. Version: 01 2016Roy2016
- [64] KAM, K. W. ; POMMERENKE, D. ; LAM, Cheung-Wei ; STEINFELD, R.: EMI analysis methods for synchronous buck converter EMI root cause analysis. In: *2008 IEEE International Symposium on Electromagnetic Compatibility*, 2008. – ISSN 2158–110X, S. 1–7
- [65] FAIRCHILD: *Switch Node Ring Control in Synchronous Buck Regulators*. <https://www.fairchildsemi.com/application-notes/AN/AN-4162.pdf>. Version: 2015
- [66] INSTRUMENTS, Texas: *Ringling Reduction Techniques for NexFET High Performance MOSFETs*. <http://www.ti.com/lit/an/slpa010/slpa010.pdf>. Version: 2011

- [67] KAM, K. ; POMMERENKE, D. ; CENTOLA, F. ; LAM, C. w. ; STEINFELD, R.: EMC guideline for synchronous buck converter design. In: *2009 IEEE International Symposium on Electromagnetic Compatibility*, 2009. – ISSN 2158–110X, S. 47–52
- [68] WITTIG, Björn: *Verbesserung des Schalt- und Betriebsverhaltens von Leistungs-MOSFETs mit niedriger Spannungsfestigkeit und hoher Stromtragfähigkeit durch Optimierung der Treiberschaltung*, Diss., 07 2012
- [69] ERICKSON, Robert W. ; MAKSIMOVIĆ, Dragan: *Fundamentals of Power Electronics*. 2. KLUWER ACADEMIC PUBLISHERS, 2004. – ISBN 0–7923–7270–0
- [70] WEN, Davis: *Analysis of Buck Converter Efficiency*. 03 2014
- [71] KAZIMIERCZUK, Marian. K.: *High Frequency Magnetic Components*. 2. Wiley, 2014
- [72] IVERS-TIFFÉE, Ellen: *Werkstoffe der Elektrotechnik*. 10. Teubner, 2007. – ISBN 978–3–8351–0052–7
- [73] BABA, David: *Benefits of a multiphase buck converter*. <http://www.ti.com/lit/an/slyt449/slyt449.pdf>. Version: 2012
- [74] WETZEL, Thomas ; BÖCKH, Peter V.: *Wärmeübertragung*. 6. Springer, 2015
- [75] WINTRICH, Arendt ; GMBH, SEMIKRON I. (Hrsg.): *Applikationshandbuch Leistungshalbleiter*. Bd. 2. ISLE Verlag, 2015. – ISBN 978–3–938843–85–7
- [76] VDI: *VDI Wärmeatlas*. 11. Springer, 2013
- [77] Electronic Sensor: *sF-Weichlot für Thermoelemente und Edelstahl*. http://www.electronic-sensor.de/attachments/article/124/12-1_sf-weichlot.pdf. Version: 2013
- [78] POLENOV, Dieter: *DC/DC-Wandler zur Einbindung von Doppelschichtkondensatoren in das Fahrzeugenergiebordnetz*, Technischen Universität Chemnitz, Diss., 1 2009
- [79] WANG, H. ; BLAABJERG, F.: Reliability of Capacitors for DC-Link Applications in Power Electronic Converters. In: *IEEE Transactions on Industry Applications* 50 (2014), Sept, Nr. 5, S. 3569–3578. <http://dx.doi.org/10.1109/TIA.2014.2308357>. – DOI 10.1109/TIA.2014.2308357. – ISSN 0093–9994
- [80] FIORE, Richard: *ESR Losses in Ceramic Capacitors*. http://www.atceramics.com/documents/notes/esrlosses_appnote.pdf. Version: 2007
- [81] SCHLIENZ, Ulrich: *Schaltnetzteile und ihre Peripherie*. 3. Vieweg, 2007

- [82] ROHM: *Capacitor Calculation for Buck converter IC*. http://rohms.rohm.com/en/products/databook/applnote/ic/power/switching_regulator/capacitor_calculation_appli-e.pdf. Version: 2014
- [83] Magnetics: *Powder Cores*. 2015
- [84] WEISSGERBER, Wilfried: *Elektrotechnik für Ingenieure 2. 6*. Vieweg Verlag, 2007
- [85] LAIMER, Gerold ; KOLAR, Johann W.: Accurate Measurement of the Switching Losses of Ultra High Switching Speed CoolMOS Power Transistor / SiC Diode Combination Employed in Unity Power Factor PWM Rectifier Systems. In: *PCIM 2002* PCIM, 2002, 71-78
- [86] TEKTRONIX: ABCs of Probes / Tektronix. 2013. – Forschungsbericht
- [87] LECROY: *Understanding the Probing Problem*. <http://teledynelecroy.com/doc/probes-probing>. Version: 1999
- [88] TRANSPHORM: *Designing Hard-switched Bridges with GaN*. http://www.transphormusa.com/wp-content/uploads/2016/02/AN-0004_0.pdf. Version: 2014
- [89] HEEB, Michael: *Modellierung der parasitären passiven Elemente in IGBT-Hochleistungsmodulen*, Universität Kassel, Diss., 2014
- [90] HÖING, Klaus: Die verlässliche Signalaufnahme mit dem Oszilloskop. In: *Elektronik Praxis* (2015), 04
- [91] KONRAD, J. ; KOINI, M. ; SCHOSSMANN, M. ; M.PUFF: New demands on DC link power capacitors. In: *CESA 3.0 - Congress on Automotive Electronic Systems*, 2014
- [92] KUECK, Christian: *Power Supply Layout and EMI*. <http://cde.linear.com/docs/en/application-note/an139f.pdf>. Version: October 2012
- [93] BROWN, Jess: Power MOSFET Basics: Understanding Gate Charge and Using it to Assess Switching Performance / Vishay Siliconix. Version: 12 2004. <http://www.vishay.com/docs/73217/73217.pdf>. 2004. – Application Note. – 608
- [94] LECROY, Teledyne: *WaveRunner 6 Zi Oscilloscopes*. <http://cdn.teledynelecroy.com/files/pdf/waverunner-6zi-datasheet.pdf>. Version: 2017
- [95] HERNANDEZ, J. C. ; PETERSEN, L. P. ; ANDERSEN, M. A. E. ; PETERSEN, N. H.: Ultrafast switching superjunction MOSFETs for single phase PFC applications. In: *2014 IEEE Applied Power Electronics Conference and Exposition - APEC 2014*, 2014. – ISSN 1048–2334, S. 143–149

- [96] LEUENBERGER, David: *Multi-Input Module-Integrated PV Inverter Applying GaN Devices*, ETH Zürich, Diss., 2016
- [97] PETERCHEV, A. V. ; XIAO, Jinwen ; SANDERS, S. R.: Architecture and IC implementation of a digital VRM controller. In: *IEEE Transactions on Power Electronics* 18 (2003), Jan, Nr. 1, S. 356–364. <http://dx.doi.org/10.1109/TPEL.2002.807099>. – DOI 10.1109/TPEL.2002.807099. – ISSN 0885–8993
- [98] GARCIA, O. ; ZUMEL, P. ; CASTRO, A. de ; COBOS, A.: Automotive DC-DC bidirectional converter made with many interleaved buck stages. In: *IEEE Transactions on Power Electronics* 21 (2006), May, Nr. 3, S. 578–586. <http://dx.doi.org/10.1109/TPEL.2006.872379>. – DOI 10.1109/TPEL.2006.872379. – ISSN 0885–8993
- [99] GaN Systems: *GS66516T Top-side cooled 650V E-mode GaN Transistor*. <http://www.gansystems.com/datasheets/GS66516T%20DS%20Rev%20170413.pdf>. Version: 2017

A Anhang

A.1 Spezifikation

Tabelle A.1: Spezifikation für den TSS-Betrieb

Parameter	Beschreibung	min	max	Nennwert
P_{BN} / kW	Wirkleistung je Modul		2,5	
I_{BN} / A	Eingangsstrom		6,25	
$\Delta i_{L,max}$ / A	max. Welligkeit des Drosselstromes		10	
U_{BN} / V	Bordnetzspannung	290	400	400
$u_{BN,\Delta\%}$ / %	rel. Spannungswelligkeit von $U_{BN,min}$		5	
$U_{BN,\Delta}$ / V	Spannungswelligkeit $U_{BN,\Delta} = u_{BN,\Delta\%} \cdot U_{BN,min}$	-	-	14,5
U_{DSK} / V	Ausgangsspannung	115	240	
f / kHz	Taktfrequenz			100
a_{T1} (TSS-Betrieb)	Aussteuergrad T1	0,29	0,83	0,6

Tabelle A.2: Spezifikation für den HSS-Betrieb

Parameter	Beschreibung	min	max	Nennwert
P_{DSK} / kW	Wirkleistung je Modul		2,5	
I_{DSK} / A	Eingangsstrom		12,5	
$I_{DSK,\Delta}$ / A	Eingangsstromwelligkeit		10	
$\Delta i_{L,max}$ / A	max. Welligkeit des Drosselstromes		10	
U_{BN} / V	Bordnetzspannung	290	400	400
U_{DSK} / V	Eingangsspannung	115	240	200
$u_{DSK,\Delta\%}$ / %	rel. Spannungswelligkeit von $U_{DSK,min}$			5
$U_{DSK,\Delta}$ / V	Spannungswelligkeit $U_{DSK,\Delta} = u_{DSK,\Delta\%} \cdot U_{DSK,min}$	-	-	5,75
f / kHz	Taktfrequenz		100	
a_{T2} (HSS-Betrieb)	Aussteuergrad T2	0,17	0,71	0,4

A.2 Schaltplan

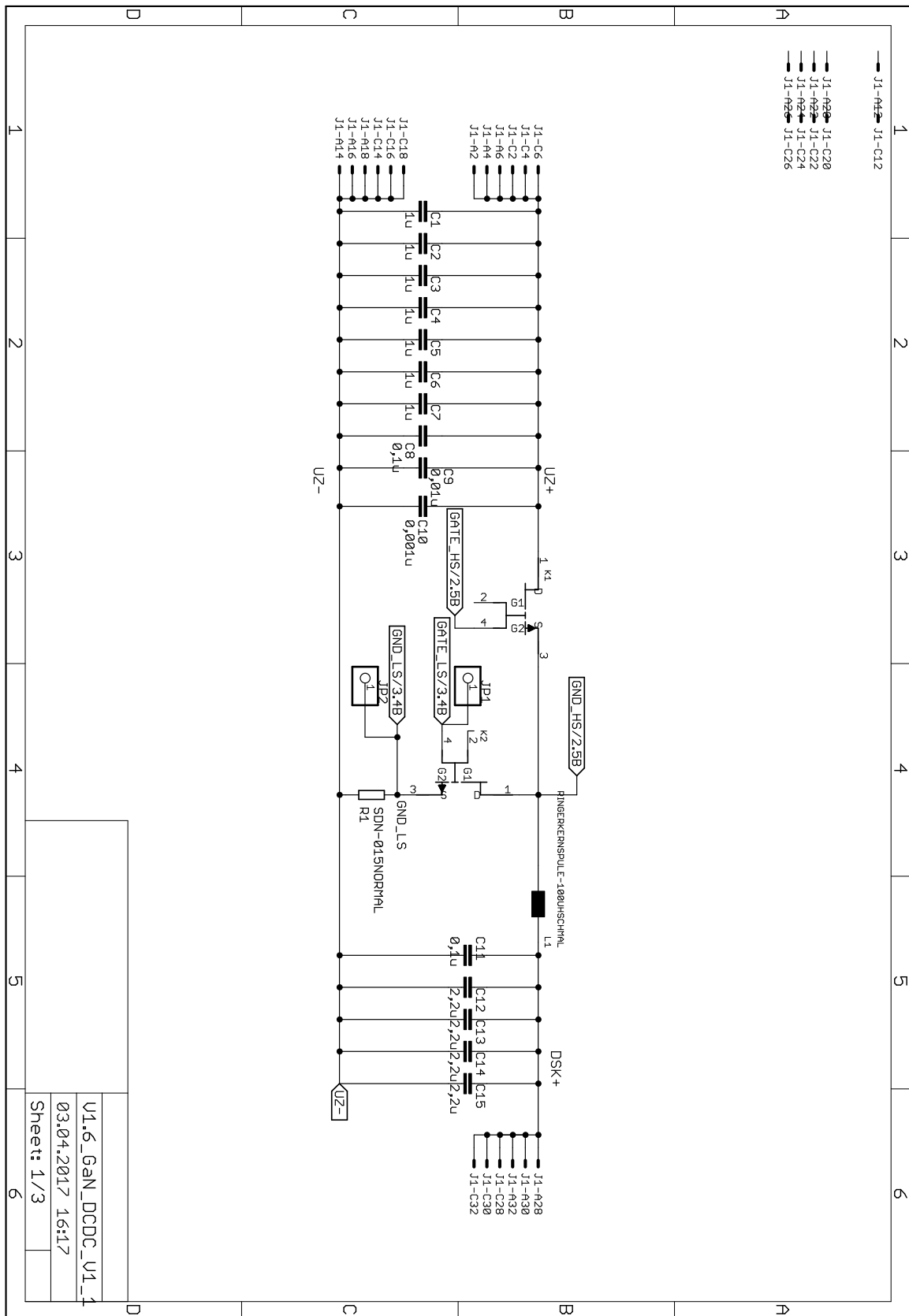


Abbildung A.1: Eagle Schaltplan des eGaN-FET Synchronwandlers (S. 1/3)

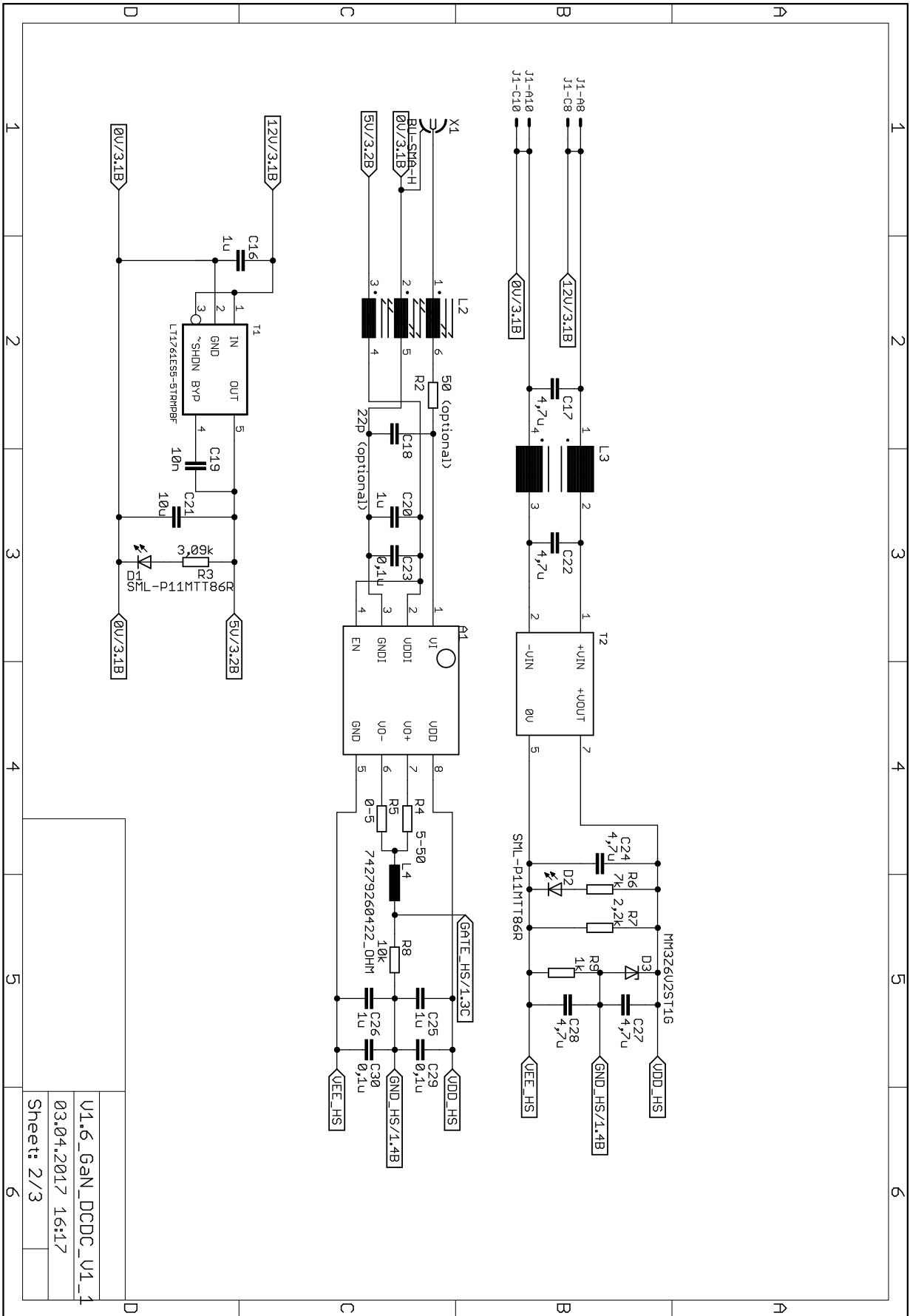


Abbildung A.2: Eagle Schaltplan des eGaN-FET Synchronwandlers (S. 2/3)

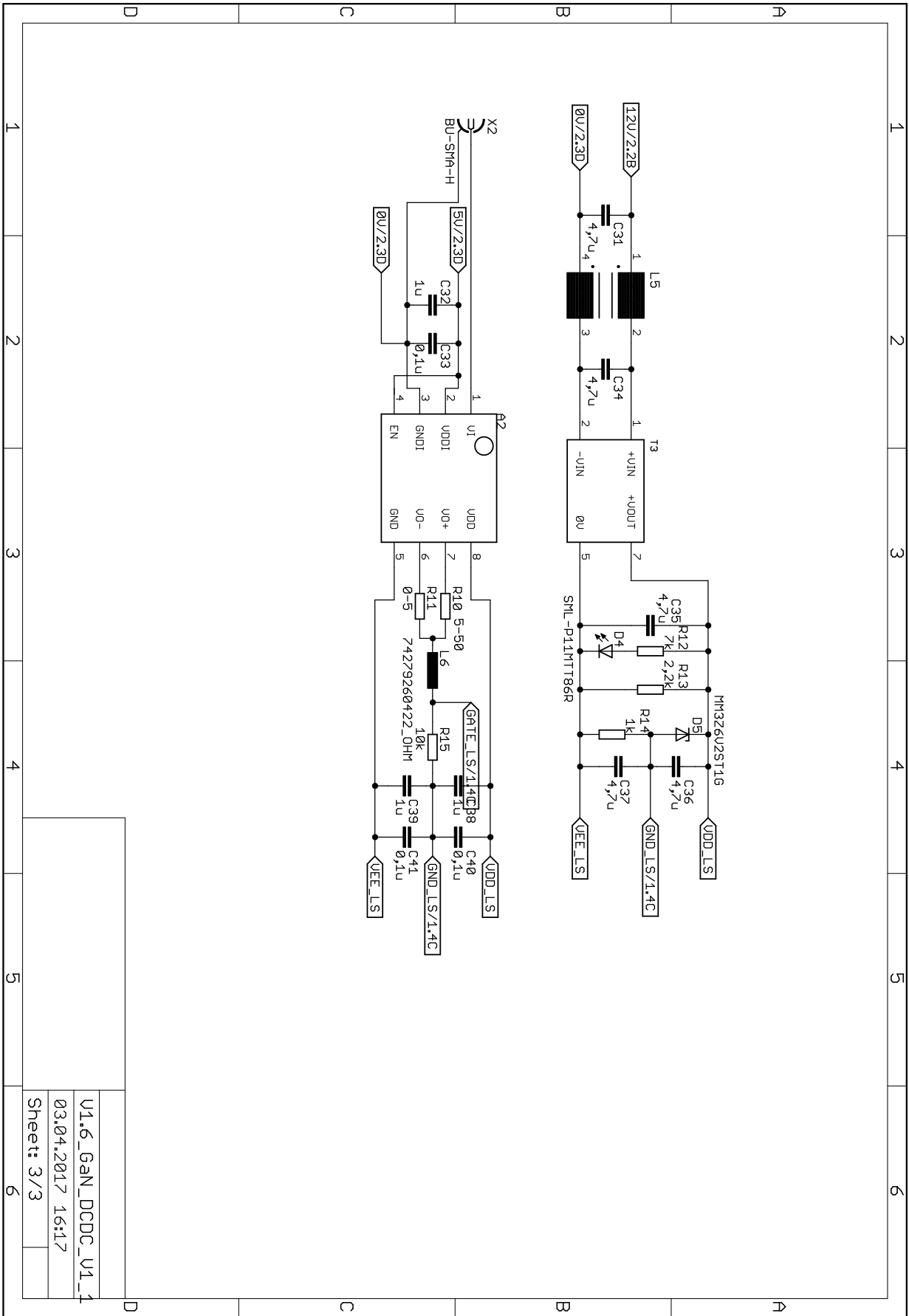


Abbildung A.3: Eagle Schaltplan des eGaN-FET Synchronwandlers (S. 3/3)

A.3 Leiterplattenlayout

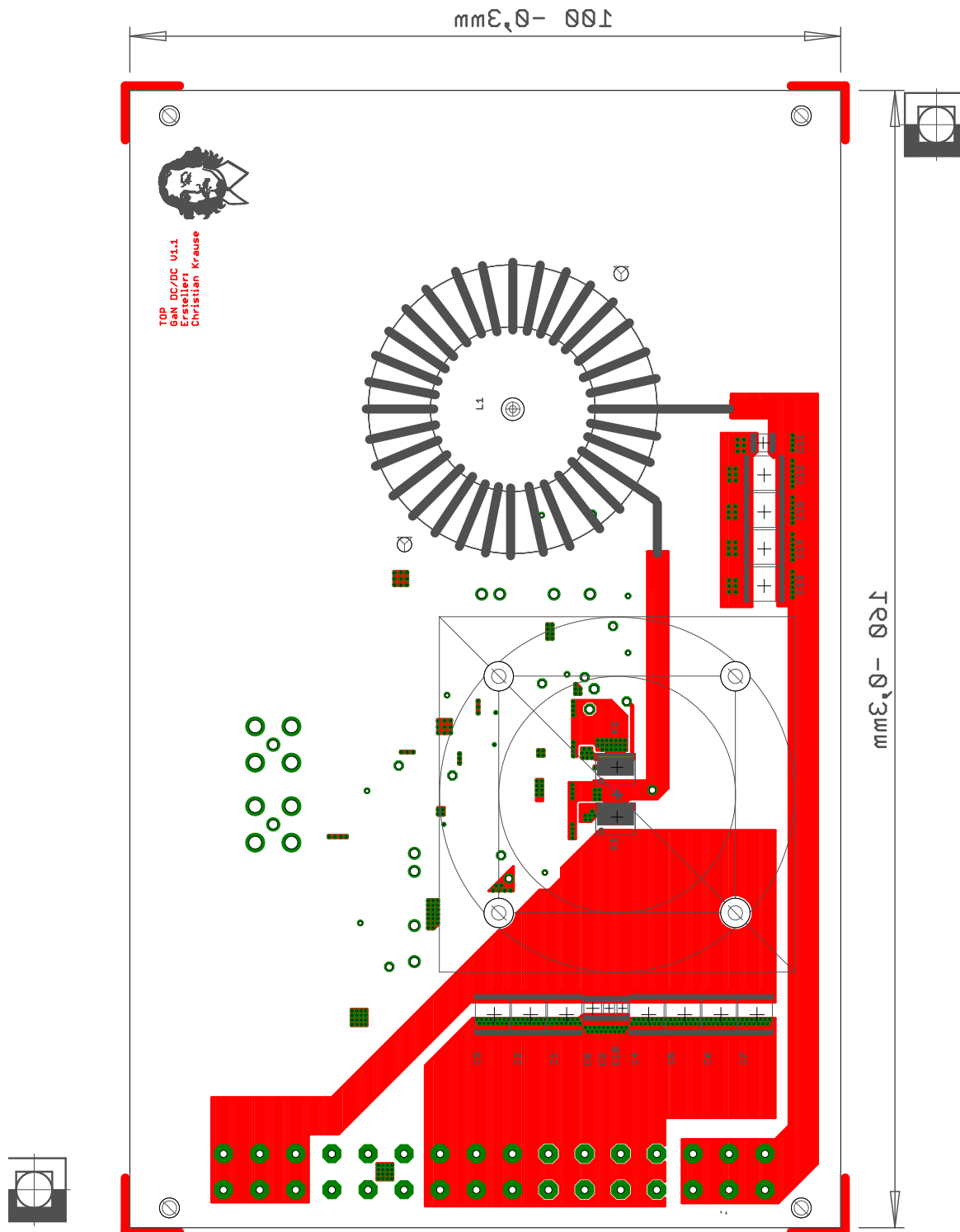


Abbildung A.4: Leiterplattenlage 1 (Oberseite) des eGaN-FET Synchronwandlers (S. 1/4)

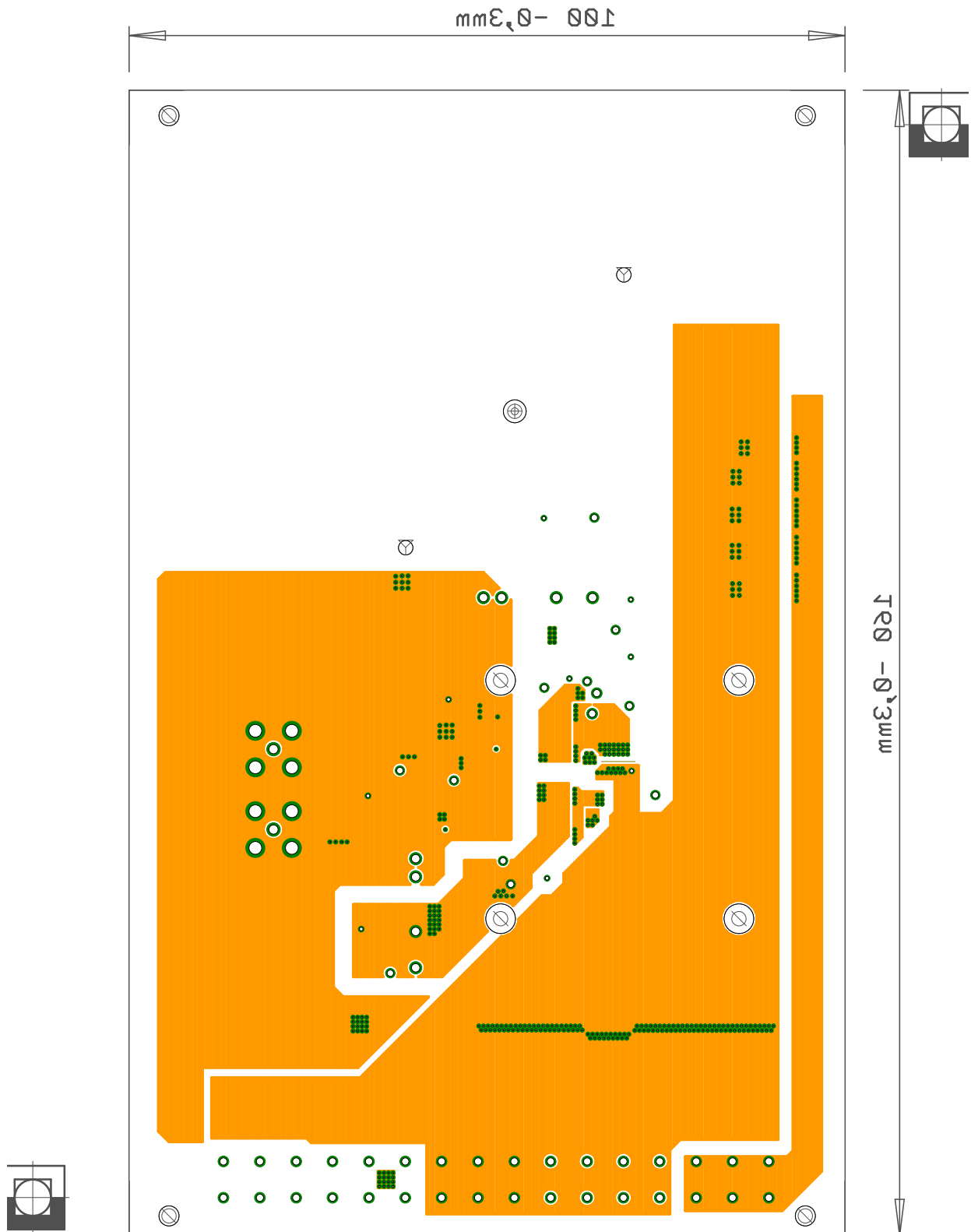


Abbildung A.5: Leiterplattenlage 2 des eGaN-FET Synchronwandlers (S. 2/4)

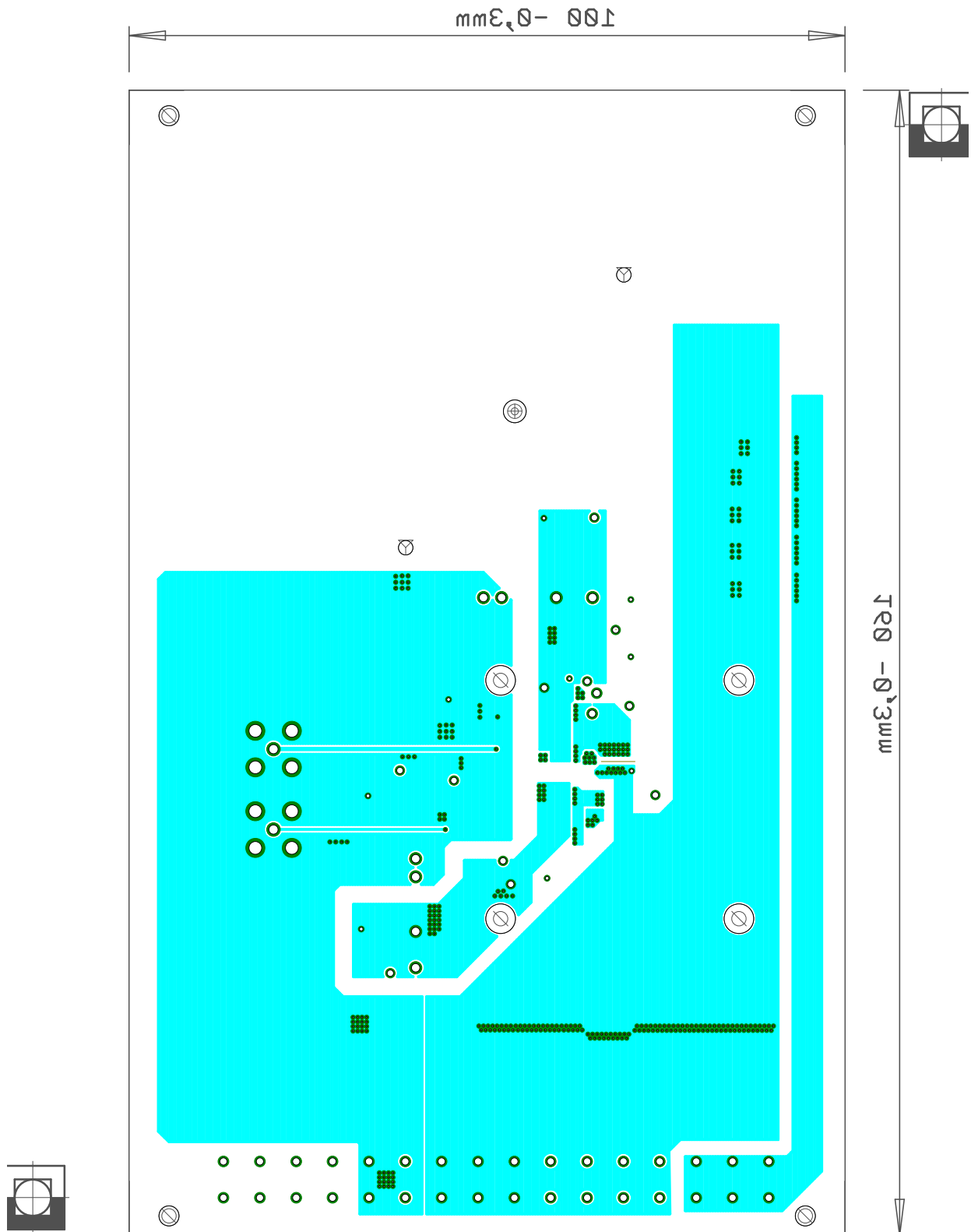


Abbildung A.6: Leiterplattenlage 3 des eGaN-FET Synchronwandlers (S. 3/4)

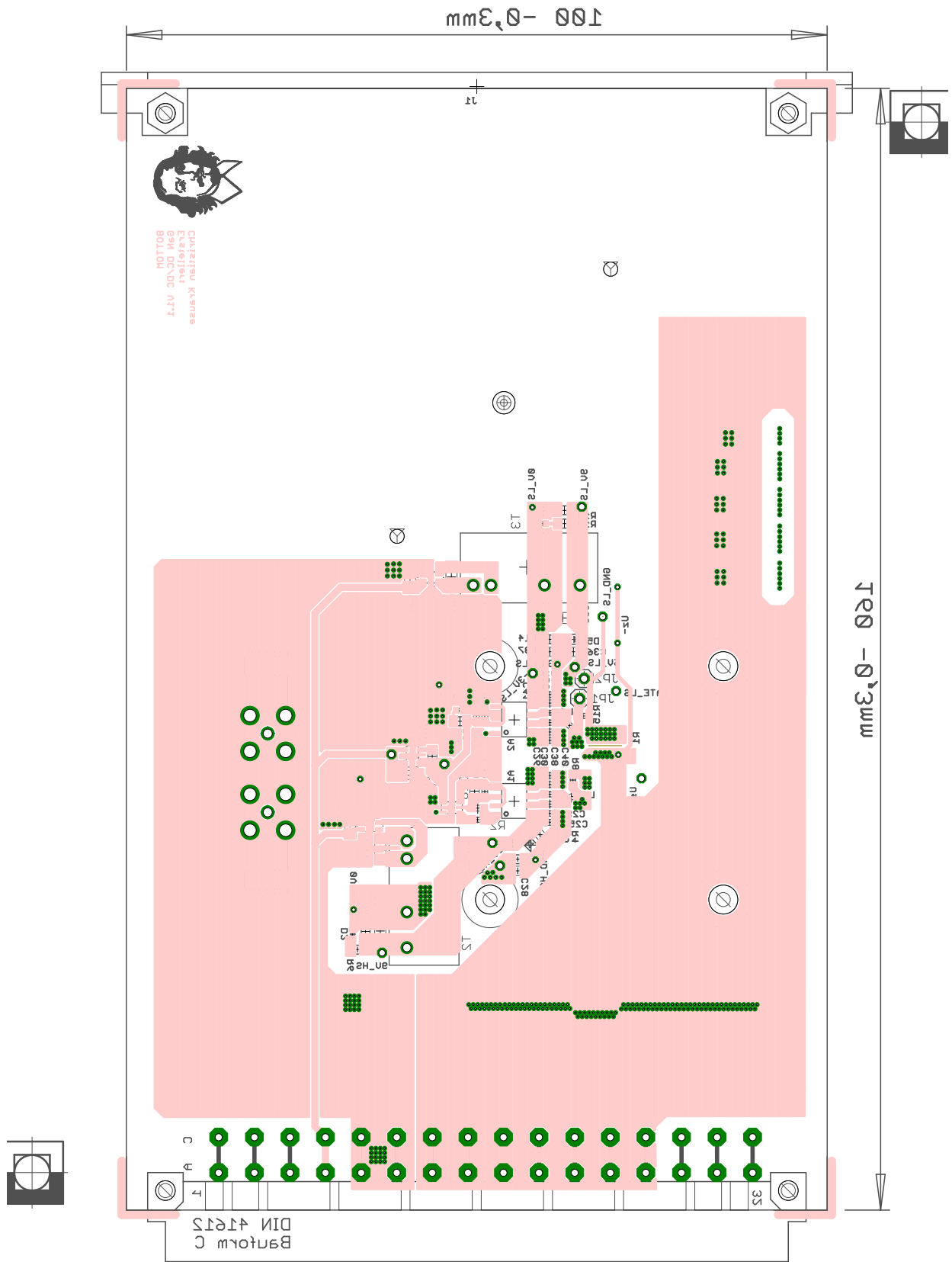


Abbildung A.7: Leiterplattenlage 4 (Unterseite) des eGaN-FET Synchronwandlers (S. 4/4)